

PLCC68 CycloneIII FPGA モジュール



AP68-04 シリーズ Rev2

ユーザーズマニュアル

Ver. 2.0



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 開発環境	2
2. 仕様	2
3. 製品説明	3
3.1. 各部名称	3
3.2. ピン配置	4
3.3. 電源	4
3.4. クロック	5
3.5. 設定スイッチ	5
3.6. 汎用 LED	5
4. FPGA コンフィギュレーション	6
4.1. JTAG 信号	6
4.2. バウンダリスキャン	6
4.3. コンフィグ ROM プログラミングファイルの作成	7
4.4. コンフィグ ROM アクセス	8
5. IC ソケットへの実装	8
6. サポートページ	9
7. お問い合わせについて	9

● はじめに

この度は PLCC68 Cyclone III FPGA モジュール AP68-04 シリーズをお買い上げいただきまして、誠にありがとうございます。

AP68-04 は、Intel (ALTERA) 社の高性能 FPGA Cyclone III シリーズを 68 ピン PLCC サイズに変換した FPGA モジュールです。電源回路、クロック、コンフィギュレーション ROMなどを装備した、使いやすいモジュールになっています。

ディップタイプの 68 ピン IC ソケットを用いて、2.54mm ピッチのユニバーサル基板に実装が可能です。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電圧を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2022/10/25	2.0	製品リビジョンの更新

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

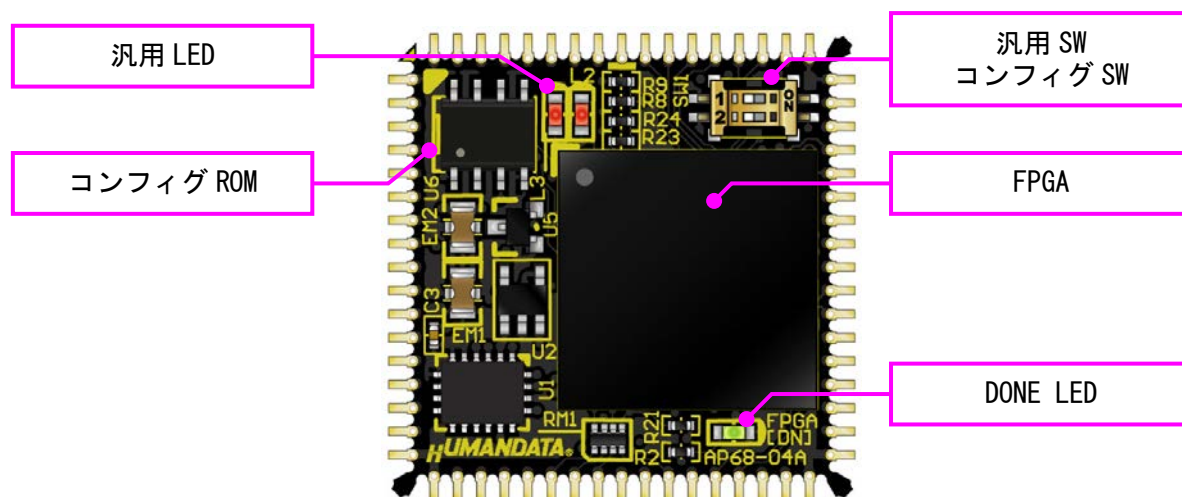
2. 仕様

製品型番	AP68-04-25
搭載 FPGA	EP3C25U256C8N
コンフィグ ROM	EPCQ16A (Intel, 16Mbit)
ユーザ I/O	50 本
I/O バンク	2 系統 (VIOA, VIOB)
クロック	オンボード 50MHz、外部入力 4 本 (ユーザ I/O と共通)
汎用スイッチ	1 (スライド)
汎用 LED	2
電源	DC 3.3[V]
I/O 電源 (VIOA/VIOB)	1.2[V]~3.3[V] (FPGA のデータシートをご参照下さい)
消費電流	FPGA デザインに依存
基板寸法	25.3 x 25.3 [mm] (約 5.0mm 厚)
質量	約 4 [g]
プリント基板	ガラスエポキシ 8 層基板 2.0t
リセット信号	コンフィグ用リセット信号 (typ. 240ms)
ステータス LED	DONE (緑)
挿抜耐久	10 回以上 (対 IC ソケット)

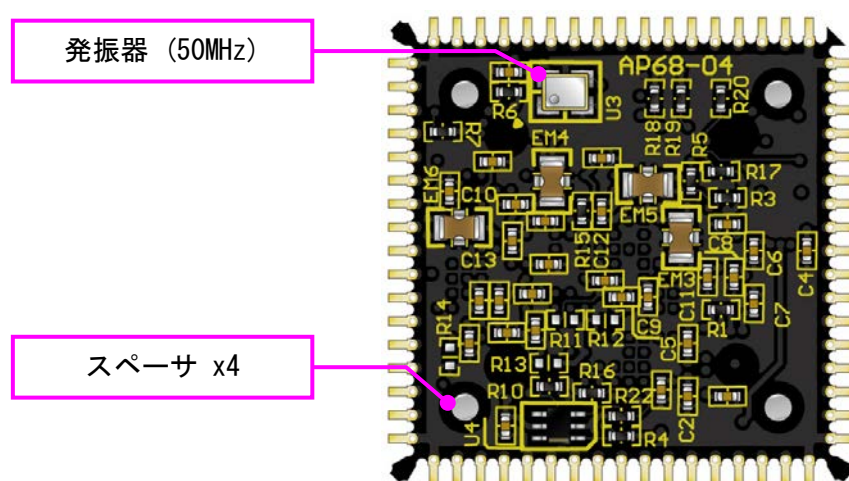
*これらの部品や仕様は、改良等の為、予告無く変更となる場合がございます

3. 製品説明

3.1. 各部名称

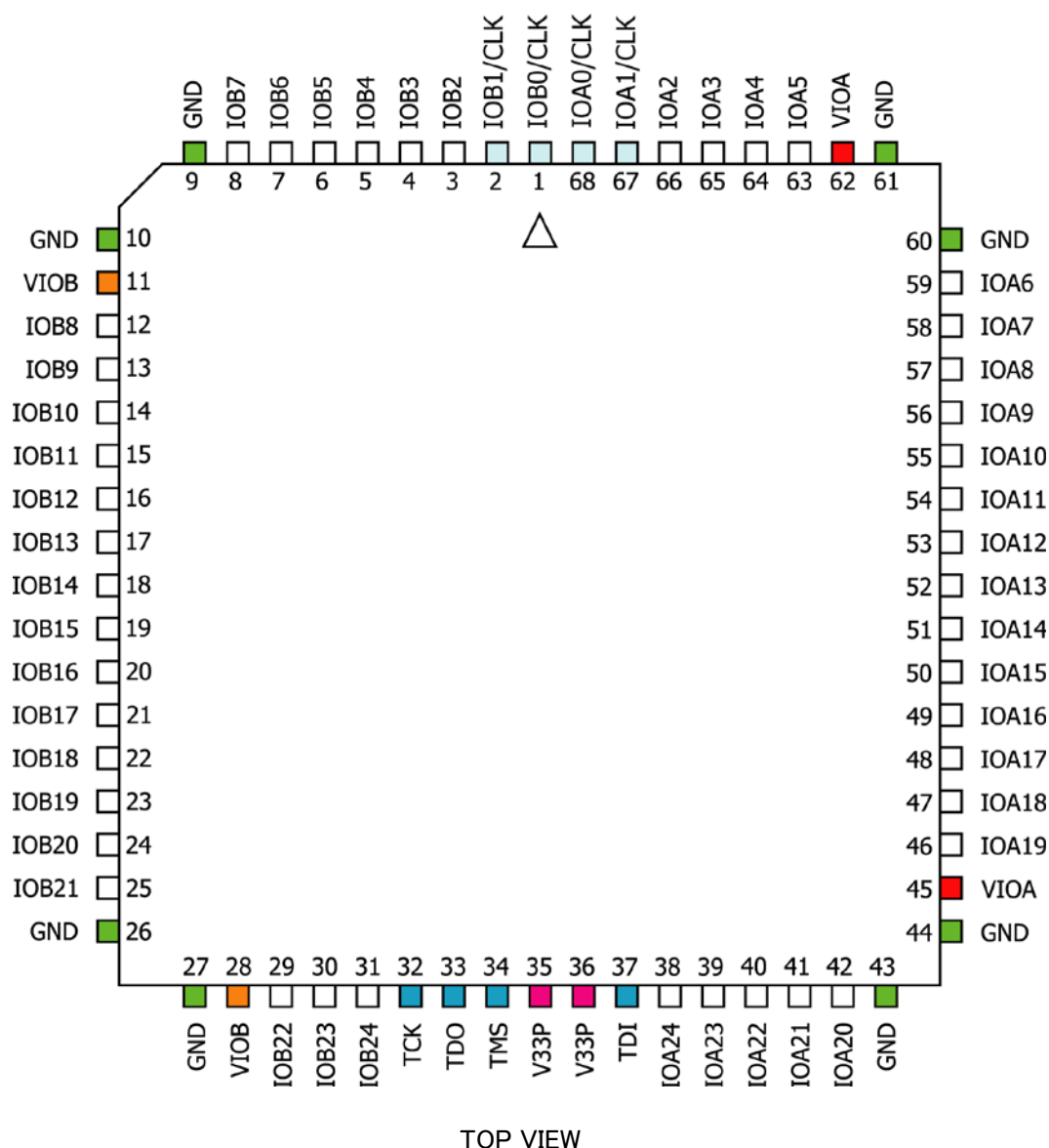


表面



裏面

3.2. ピン配置



3.3. 電源

電源入力ピン(35, 36)には 3.3V を供給してください。外部から供給する 3.3V 電源は充分安定して、余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

VIOA(45, 62), VIOB(11, 28)には任意の I/O 電圧を入力して下さい。未入力には出来ませんのでご注意ください。

内部で必要になる 2.5V、1.2V はオンボードレギュレータにより生成されます。

詳しくはFPGA のデータシートや回路図などを参照してください。

3.4. クロック

オンボードクロックとして 50MHz (U3) を搭載しています。IOA (0, 1), IOB (0, 1) より外部クロックを入力することも可能です。詳しくは回路図をご参照ください。

3.5. 設定スイッチ

設定スイッチ (SW1) によりコンフィギュレーションモードを変更することが可能です。プルアップ処理ですので ON で Low レベルとなります。汎用スイッチは自由にご使用頂けます。

SW1

番号	1	2
記号	MSEL0	ASW2
出荷時	ON	OFF
説明	モード設定	汎用

設定可能なコンフィギュレーションモードは下表をご参照ください。

- JIC ファイルを使用してコンフィグ ROM にデータを書き込む
- 電源投入時にコンフィグ ROM から FPGA をコンフィギュレーションする

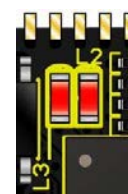
これらを行うには「Active Serial (AS)」モードに設定して下さい。

コンフィギュレーションモード	MSEL0 の設定
Passive Serial (PS)	ON
Active Serial (AS)	OFF

各モードの詳細については、FPGA のデータシートをご参照ください。

3.6. 汎用 LED

汎用 LED (L2, L3) を搭載しています。3.3V にプルアップされていますので、FPGA から Low 出力で点灯します。



4. FPGA コンフィギュレーション

JTAG 信号はピンに引き出されています。外部コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。モジュール外部にてコネクタ等に接続してご使用ください。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

4.1. JTAG 信号

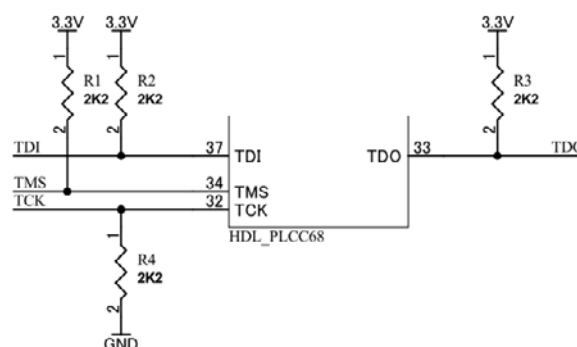
JTAG 信号のピン配置は下表のとおりです。必要な処理を製品外部にて行った上でご使用ください。使用状況に応じて、バッファ等を追加されることをお勧め致します。

未使用の際には、全ピンを GND に接続されるなどの処理をし、オープンにならないようにしてください。

(内部プルアップ、プルダウン抵抗による消費電流が問題になる際には、内部回路の処理に合わせ、GND または V33P への接続をしてください)

誤接続には充分注意してください。

ピン	信号名	方向
32	TCK	IN
33	TDO	OUT
34	TMS	IN
37	TDI	IN

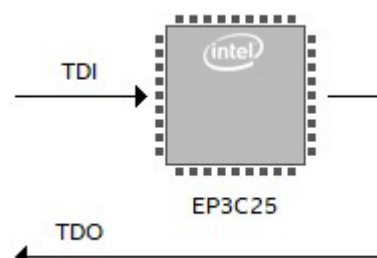


(JTAG 信号処理の例)

4.2. バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。

コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。



4.3. コンフィグ ROM プログラミングファイルの作成

コンフィグ ROM へ書き込むためには「JIC ファイル」が必要となります。

書き込みたい sof ファイルから、Quartus II を使用して作成することができます。作成方法の一例を以下に示します。

- (1) 「File」メニューより「Convert Programming Files...」を実行します
- (2) 設定画面にて必要な項目を設定します

- Programming file type: JTAG Indirect Configuration File (.jic)
- Configuration device: EPCQ16A
- File name: 任意
- Flash Loader: 「Add device」より「EP3C25」を追加
- SOF Data: 「Add File」より変換したい SOF ファイルを選択

Output programming file

Programming file type: JTAG Indirect Configuration File (.jic)

Options/Boot info... Configuration device: EPCQ16A Mode: Active Serial

File name: output_file.jic

Advanced... Remote/Local update difference file: NONE

☒ Create Memory Map File (Generate output_file.map)

☐ Create CvP files (Generate output_file.periph.jic and output_file.core.rbf)

☐ Create config data RPD (Generate output_file_auto.rpd)

Input files to convert

File/Data area	Properties	Start Address
Flash Loader		
EP3C25		
SOF Data	Page_0	<auto>
top.sof	EP3C25U256	

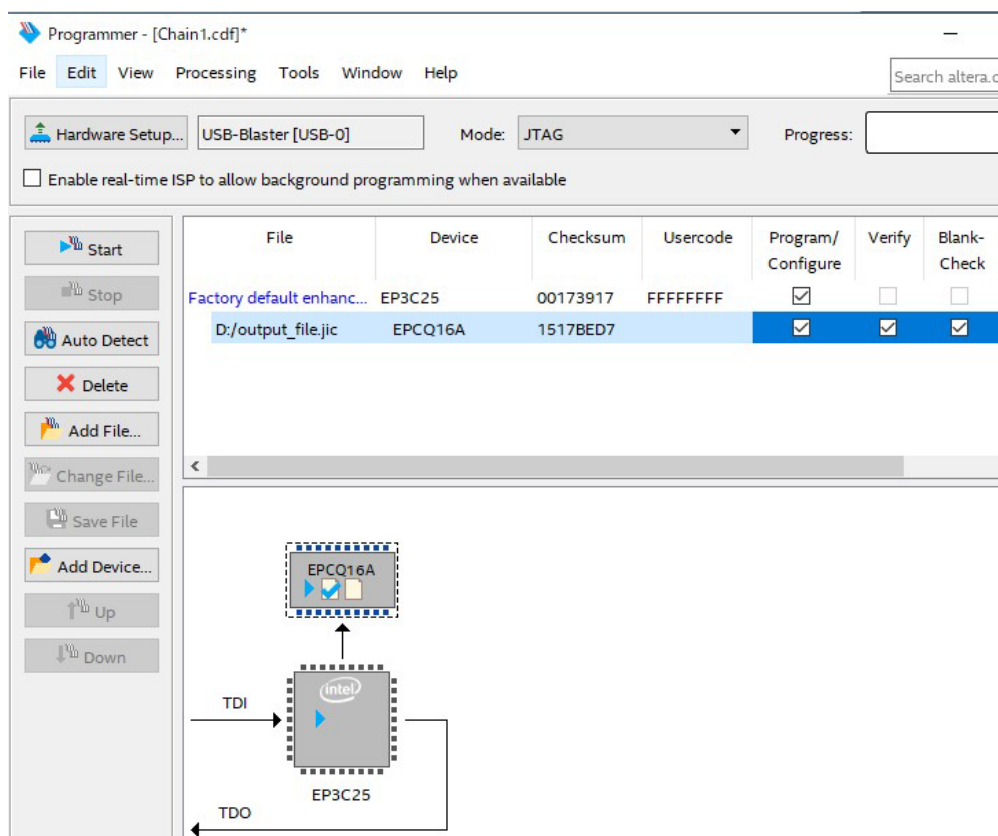
Add Hex Data
Add Sof Page
Add File...
Remove
Up
Down
Properties

Generate Close Help

- (3) 「Generate」ボタンをクリックします
- (4) 「Generated ***.jic successfully」 と表示されれば完了です

4. 4. コンフィグ ROM アクセス

バウンダリスキャン画面にて、「Add File」ボタンから JIC ファイルを開きます。実行する各項目のボックスにチェックを入れ、「Start」ボタンをクリックしてください。コマンド実行時にはコンフィギュレーションモードを「Active Serial」に設定してください。



5. IC ソケットへの実装

AP68-04 は 68 ピン IC ソケットへ実装してご使用頂くことを想定しております。裏面にスペーサを設置していますので、IC ソケットによっては、ソケット側のスペーサと本体のスペーサやその他部品とが干渉する可能性があります。IC ソケットの選択にはご注意ください。

IC ソケットへの挿入・取外しの際には充分お気を付け下さい。弊社では下記 IC ソケットにて搭載・動作確認を行っております。

タイプ	メーカー	メーカー型番
ディップ型	3M	8468-11B1-RK-TP
表面実装	山一電機	IC160Z-0684-240
		IC160Z-0684-300

PLCC68 CycloneⅢ FPGA モジュール
AP68-04 シリーズ Rev2
ユーザーズマニュアル

2022/10/25 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10 茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
