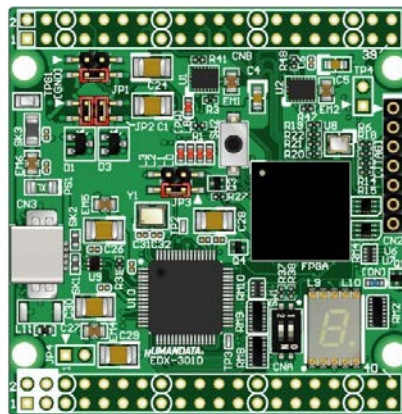


Spartan-6 USB-FPGA ボード
EDX-301 Rev2
ユーザーズマニュアル
Ver. 2.0



ヒューマンデータ

目 次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 開発環境.....	2
2. 製品の内容について.....	2
3. 仕様.....	3
4. 製品説明.....	4
4.1. 各部名称.....	4
4.2. ブロック図.....	5
4.3. クロック.....	5
4.4. ボード電源.....	6
4.5. I/O 電源.....	6
4.6. USB コントローラ.....	7
4.7. デバイスドライバのインストール.....	7
4.8. 設定スイッチ (SW1).....	7
5. FPGA コンフィギュレーション.....	8
5.1. 専用ツールを使用する.....	8
5.2. JTAG ダウンロードケーブルを使用する.....	8
5.3. コンフィギュレーション ROM を使用する.....	9
6. FT2232H 用 EEPROM の初期値 (参考).....	9
7. FPGA ピン割付け表.....	10
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. オンボードクロック.....	11
7.4. 外部クロック入力.....	11
7.5. USB インタフェース.....	12
7.6. 汎用 LED.....	12
7.7. 7 セグメント LED.....	12
7.8. 汎用スイッチ.....	13
8. サポートページ.....	13
9. お問い合わせについて.....	13

● はじめに

この度は USB-FPGA ボード EDX-301 をお買い上げ頂き、ありがとうございます。

Spartan-6 搭載 USB-FPGA ボード EDX-301 は、USB インタフェースをもつ PC に接続し、AMD 社の開発ソフト (ISE) などにより設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。



USB コントローラに FTDI 社の FT2232H を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信には仮想 COM ポートドライバにより行うことができます。

専用コンフィギュレーションツール「BBC[EDX-301]」により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことが出来ます。

AMD 社提供の開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電圧を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2023/07/27	2.0	製品リビジョンの更新

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

USB-FPGA ボード	EDX-301	1
付属品		1
ユーザ登録はがき		1

マニュアルなどは付属していません。製品の資料ページからダウンロードしてください。

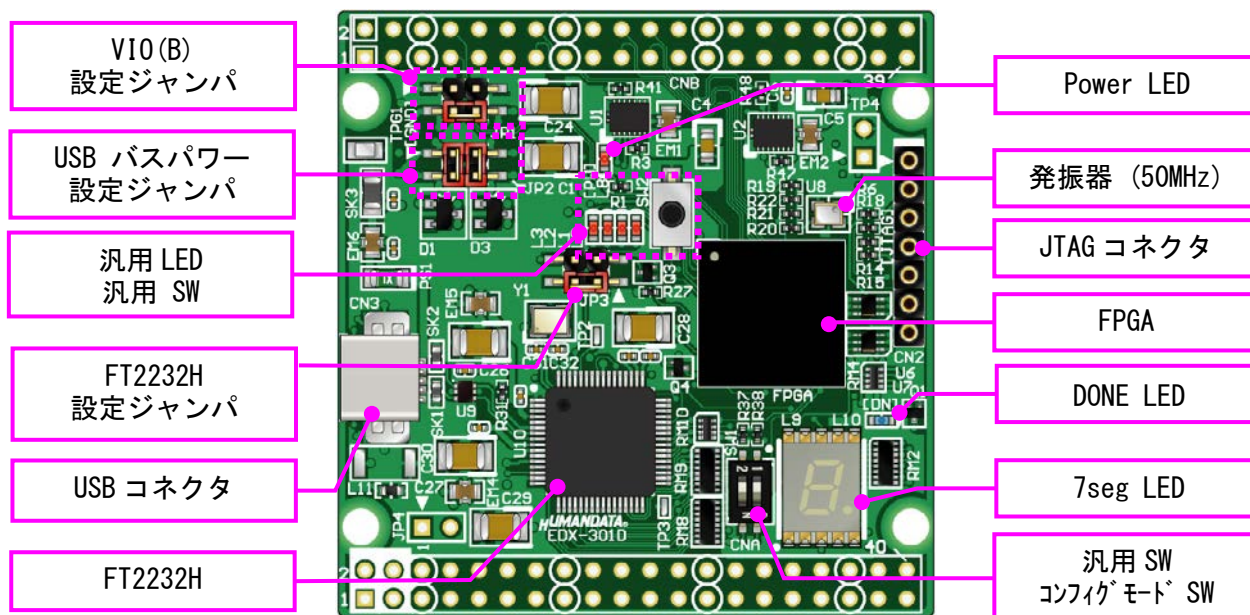
3. 仕様

製品型番	EDX-301
搭載 FPGA	XC6SLX16-2CSG225C
コンフィグ ROM	M25P16-VMF6P (16Mbit)
オンボードクロック	50MHz
外部クロック入力	ユーザ I/O コネクタ (CNA-26/27, CNB-26/27)
電源	DC 5.0[V]
消費電流	N/A (詳細は FPGA データシートをご参照ください)
基板寸法	53 x 54 [mm]
質量	約 18 [g]
ユーザ I/O	56 本 (CNA:28, CNB:28)
汎用スイッチ	2 (押しボタン x1, DIP x1bit)
汎用 LED	4
7 セグメント LED	1
プリント基板	ガラスエポキシ 6 層基板 1.6t
リセット信号	コンフィグ用リセット信号 (typ. 240ms)
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ
ステータス LED	POWER (赤), DONE (青)
付属品	SIL7 ロングピンヘッダ (本体に取付け済み) x1
	DIL40 ピンヘッダ x2
	USB ケーブル (Mini-B, 1.0m) x1

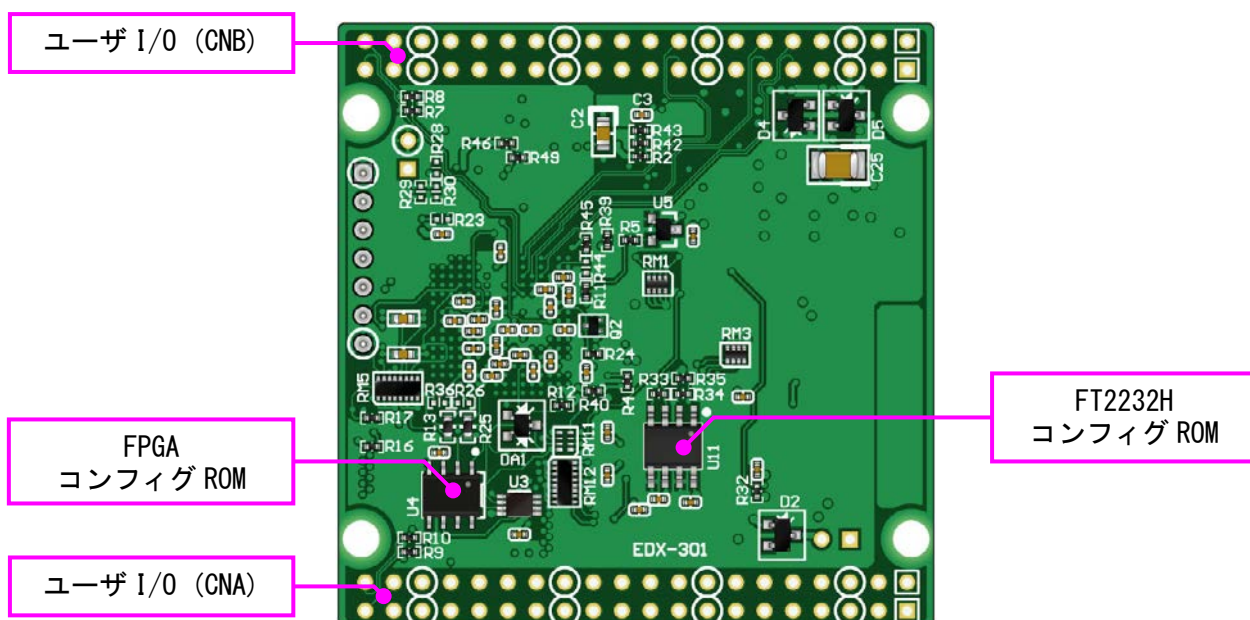
*これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部名称

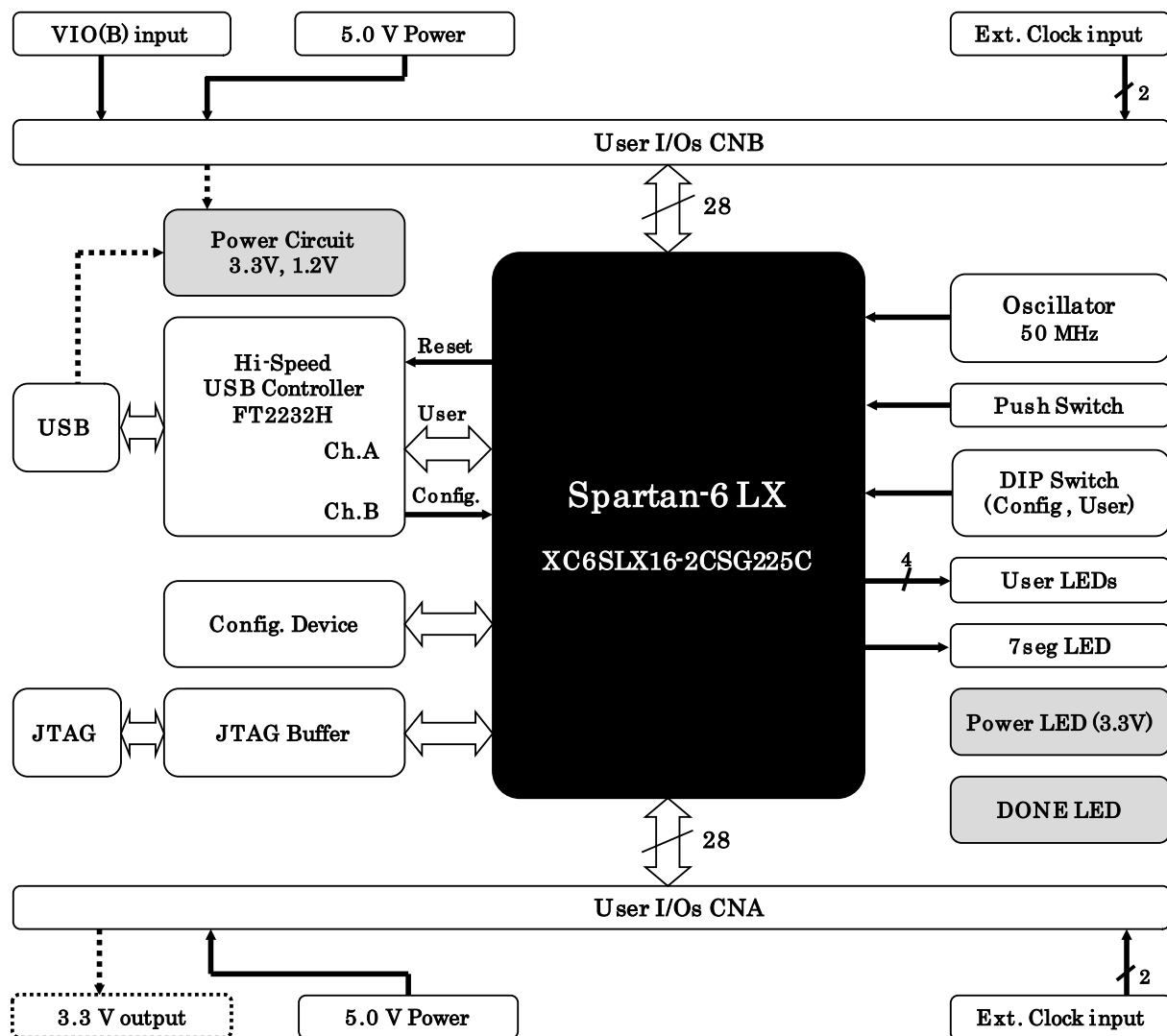


部品面



はんだ面

4.2. ブロック図



EDX-301 Rev.B

4.3. クロック

オンボードクロックとして 50MHz を搭載しています。ユーザ I/O より外部クロックを入力することも可能です。詳しくは回路図をご参照ください。

4.4. ボード電源

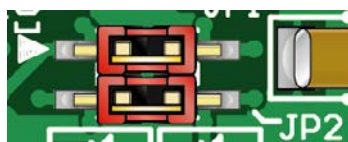
電源は CNA, CNB より 5.0V を供給してください。内部で必要になる 3.3V、1.2V はオンボードレギュレータにより生成されます。

外部から供給する電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 5.0V を超えることはできません。

JP2 の設定により、USB バスパワーを使用できます。



- ◆ 1-3, 2-4 間をショート（出荷時設定）
- ユーザコネクタからの電源入力のみを使用します



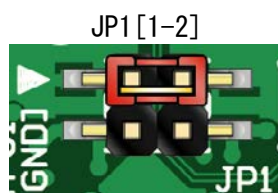
- ◆ 1-2, 3-4 間をショート
- USB バスパワーをボードに接続します
(FPGA の設計によって電流が不足する場合があります)

4.5. I/O 電源

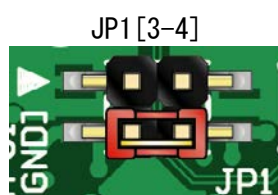
FPGA のバンクはボードでの用途によって、下表のようにグループ化されています。

FPGA BANK	Vcco	NET LABEL	BANK Group	用途
0	VCC0_0	VI0(B)	B	CNB I/O
1	VCC0_1	V33A	A	CNA I/O
2	VCC0_2	V33A	A	CNA I/O
3	VCC0_3	V33A	A	USB I/F

Bank Group A への Vcco, V33A は 3.3V 固定となっています。Bank Group B への Vcco, VI0(B) の供給元を、JP1 により設定できます。詳しくは FPGA のデータシートや回路図などを参照してください。



- ◆ 1-2 間をショート
- CNB からの外部入力を VI0(B) に使用
設計に合った電圧を CNB から供給することができます
- ◆ 1-2 間をショート
- 基板 B のみ、VI0(B) に V33A が供給されます



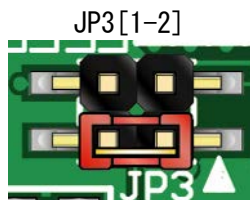
- ◆ 3-4 間をショート（出荷時設定）
- VI0(B) に V33A が供給されます
ジャンパを外すことにより切り離すことができます

4. 6. USB コントローラ

USB コントローラ IC として、FTDI 社の FT2232H を搭載しています。デュアルチャンネル IC ですので 2 つのチャンネル (A/B) が PC に認識されます。

チャンネル A はユーザ通信用として FPGA の汎用ポートに、チャンネル B は FPGA コンフィギュレーション用として制御ピンに接続されています。

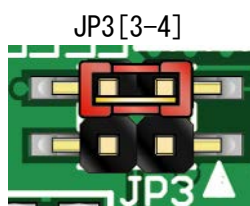
JP3 により、リセットと EEPROM への接続を設定できます。



SHORT : FT2232H 用 EEPROM を使用する (出荷時設定)

OPEN : FT2232H 用 EEPROM を使用しない

– FT2232H をデフォルト設定 (デフォルトディスクリプタ、A/B チャンネル共に UART モード) で PC に認識させる場合に使用します



SHORT : FPGA ピンを FT2232H リセットに接続する

– FPGA の接続ピンを High とすると FT2232H にリセットをかけることができます

OPEN : 接続しない (出荷時設定)

– BBC[EDX-301]を使用する場合は OPEN としてください

4. 7. デバイスドライバのインストール

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。初回接続時に、お使いの OS の指示に従いインストールを行ってください。

製品サポートページにて、デバイスドライバ インストールガイドを公開しておりますのでご参照ください。

デバイスドライバファイルのダウンロードは、製品サポートページから行ってください。

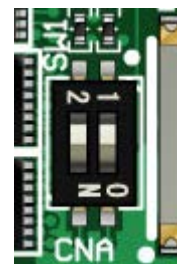
4. 8. 設定スイッチ (SW1)

X_M1 は FPGA の M1 ピンに接続されており、FPGA のコンフィギュレーションモードを変更することが可能です。SW1[2]は汎用用途に使用できます。

OFF で High(1), ON で Low(0) となります。

SW1

コンフィギュレーションモード	X_M1 [1]
マスタシリアル/SPI	ON
USB/JTAG	OFF



- マスタシリアル/SPI モード
電源投入時、コンフィギュレーション ROM を使用する場合に設定します
- USB/JTAG モード
USB または JTAG からコンフィギュレーションを行う場合に設定します
コンフィギュレーション ROM を使用しない場合もこの設定としてください

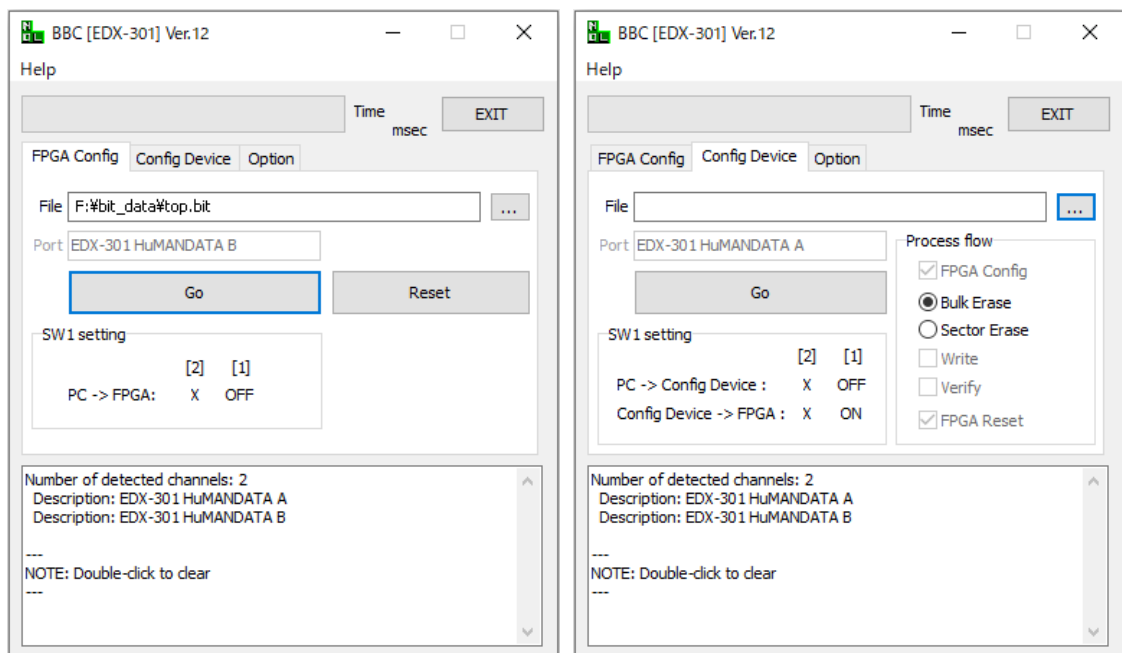
5. FPGA コンフィギュレーション

5.1. 専用ツールを使用する

BBC[EDX-301]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書込み、消去

製品サポートページからダウンロードしてご活用ください。



※画面は Ver.12 のものです

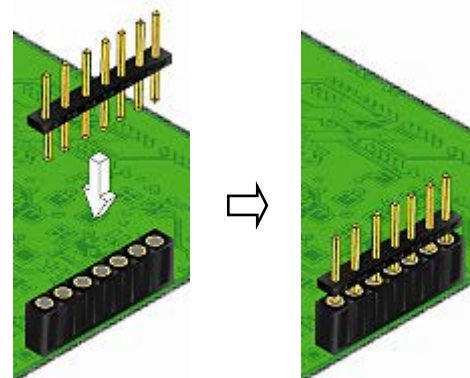
5.2. JTAG ダウンロードケーブルを使用する

AMD 社のツール (iMPACT や ChipScope) を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

CN2

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



ロングピンヘッダ

5.3. コンフィギュレーション ROM を使用する

コンフィギュレーション ROM に書込まれた回路データは、電源投入時に自動的に FPGA にコンフィギュレーションされます。電源投入時にコンフィギュレーションする場合、コンフィギュレーションモードを「マスタシリアル/SPI」としてください

ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

6. FT2232H 用 EEPROM の初期値（参考）

出荷時には以下のように設定されております。掲載の無い項目は FT Prog におけるテンプレートの初期設定のままです。

項目	設定
Vendor ID	0F87
Product ID	1021
Bus Powered	Selected
Max Bus Power	500
Manufacturer	HuMANDATA
Product Description	EDX-301 HuMANDATA
Serial Number Enabled	Unchecked
Port A - Hardware	245 FIFO
Port A - Driver	Virtual COM Port
Port B - Hardware	245 FIFO
Port B - Driver	D2XX Direct

7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	V33CN *1	–	1	2	–	V33CN *1	
	V50CN	–	3	4	–	V50CN	
		GND	5	6	GND		
A	IOA0	R4	7	8	N4	IOA1	A
A	IOA2	R5	9	10	P5	IOA3	A
A	IOA4	R6	11	12	N6	IOA5	A
A	IOA6	R7	13	14	P7	IOA7	A
		GND	15	16	GND		
A	IOA8	R8	17	18	N8	IOA9	A
A	IOA10	R9	19	20	P9	IOA11	A
A	IOA12	H13	21	22	H15	IOA13	A
A	IOA14	J15	23	24	J14	IOA15	A
		GND	25	26	GND		
A	IOA16	K15	27	28	K13	IOA17	A
A	IOA18	M15	29	30	M13	IOA19	A
A	IOA20	N15	31	32	N14	IOA21	A
A	IOA22	L15	33	34	L14	IOA23	A
		GND	35	36	GND		
A	IOA24	F15	37	38	F13	IOA25	A
A	IOA26 *2	E15	39	40	E14	IOA27 *3	A

(*1) JP4 を実装して、ボード上の 3.3V を出力することが出来ます

(*2) 抵抗 (R9) を介して EXCLK_A1 (K12) に接続されています

(*3) 抵抗 (R10) を介して EXCLK_A2 (L12) に接続されています

7.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB ピン#		FPGA ピン	NET LABEL	BANK Group
	VIO (B)	–	1	2	–	VIO (B)	
	V50CN	–	3	4	–	V50CN	
		GND	5	6	GND		
B	IOB0	B3	7	8	A3	IOB1	B
B	IOB2	C4	9	10	A4	IOB3	B
B	IOB4	D5	11	12	C5	IOB5	B
B	IOB6	B5	13	14	A5	IOB7	B
		GND	15	16	GND		
B	IOB8	C6	17	18	A6	IOB9	B
B	IOB10	B7	19	20	A7	IOB11	B
B	IOB12	C8	21	22	A8	IOB13	B
B	IOB14	F10	23	24	E9	IOB15	B
		GND	25	26	GND		
B	IOB16	D10	27	28	C9	IOB17	B
B	IOB18	D11	29	30	C11	IOB19	B
B	IOB20	B11	31	32	A11	IOB21	B
B	IOB22	C12	33	34	A12	IOB23	B
		GND	35	36	GND		
B	IOB24	B13	37	38	A13	IOB25	B
B	IOB26 *1	E6	39	40	D6	IOB27 *2	B

(*1) 抵抗 (R7) を介して EXCLK_BP1 (E7) に接続されています

(*2) 抵抗 (R8) を介して EXCLK_BN1 (D8) に接続されています

7.3. オンボードクロック

周波数	NET LABEL	FPGA ピン
50MHz	GCLK_50_B0	B9
	GCLK_50_B1	G14
	GCLK_50_B2	K8
	GCLK_50_B3	H3

7.4. 外部クロック入力

コネクタ	NET LABEL	FPGA ピン
CNA_39	EXCLK_A1	K12
CNA_40	EXCLK_A2	L12
CNB_39	EXCLK_BP1	E7
CNB_40	EXCLK_BN1	D8

7.5. USB インタフェース

NET LABEL	FPGA Pin	Operation Mode				
		RS232	245 FIFO (Sync)	Sync/Async Bit-bang	MPSSE	CPU Style FIFO
ADBUS0	G1	TDX	D0	D0	TCK/SK	D0
ADBUS1	H1	RXD	D1	D1	TDI/D0	D1
ADBUS2	J3	RTS#	D2	D2	TD0/DI	D2
ADBUS3	J2	CTS#	D3	D3	TMS/CS	D3
ADBUS4	J1	DTR#	D4	D4	GPIOL0	D4
ADBUS5	K3	DSR#	D5	D5	GPIOL1	D5
ADBUS6	K1	DCD#	D6	D6	GPIOL2	D6
ADBUS7	L2	RI#	D7	D7	GPIOL3	D7
ACBUS0	L1	TXDEN	RXF#	—	GPIOH0	CS#
ACBUS1	K5	—	TXE#	WRSTB#	GPIOH1	A0
ACBUS2	M3	—	RD#	RDSTB#	GPIOH2	RD#
ACBUS3	P1	RXLED#	WR#	—	GPIOH3	WR#
ACBUS4	P2	TXLED#	SIWUA	SIWUA	GPIOH4	SIWUA
ACBUS5	K4	—	CLKOUT	—	GPIOH5	—
ACBUS6	N1	—	OE#	—	GPIOH6	—
ACBUS7	N2	—	—	—	GPIOH7	—
USB-DET	G2					
XUSBRESET	M1					

*各動作モードの詳細については FT2232H のデータシートをご参照ください

7.6. 汎用 LED

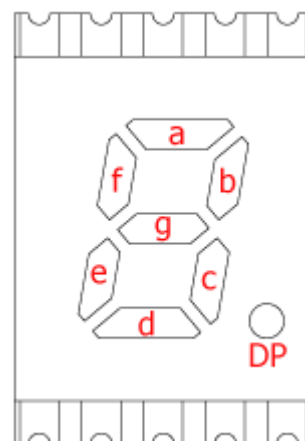
LED	NET LABEL	FPGA ピン
L0	ULED0	E1
L1	ULED1	D1
L2	ULED2	C1
L3	ULED3	C2

* Low で点灯します

7.7. 7セグメント LED

Segment	NET LABEL	FPGA ピン
a	SA_0	B14
b	SB_0	B15
c	SC_0	J13
d	SD_0	D13
e	SE_0	D15
f	SF_0	C15
g	SG_0	C14
DP	SDP_0	J11

* Low で点灯します



7.8. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW2	F1
SW1 [2]	ASW2	N5

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/EDX-301/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト
- デバイスドライバファイル
- デバイスドライバインストールガイド
- コンフィギュレーションツール BBC[EDX-301] ... 等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

9. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社は、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承ください。

Spartan-6 USB-FPGA ボード
EDX-301 Rev2
ユーザーズマニュアル

2023/07/27 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
