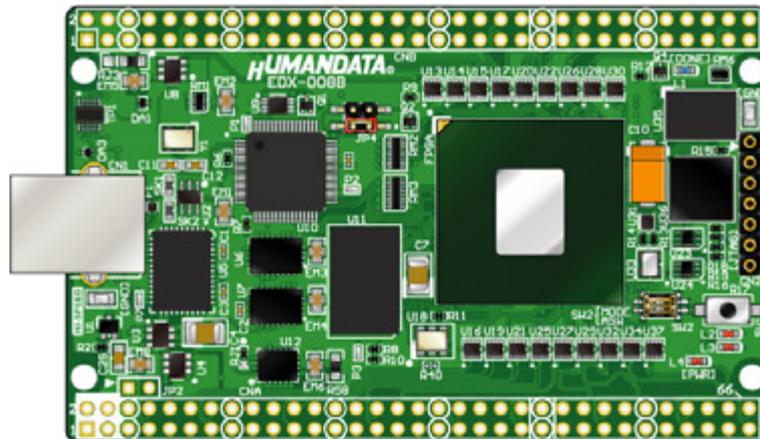


Kintex-7 USB-FPGA ボード



EDX-008 シリーズ
ユーザーズマニュアル

Ver. 1.2



ヒューマンデータ

目次

| | |
|---------------------------------|----|
| ● はじめに..... | 2 |
| ● ご注意..... | 2 |
| ● 改訂記録..... | 3 |
| 1. 開発環境..... | 3 |
| 2. 製品の内容について..... | 3 |
| 3. 仕様..... | 4 |
| 4. 製品説明..... | 5 |
| 4.1. 各部の名称..... | 5 |
| 4.2. ブロック図..... | 6 |
| 4.3. 発振器..... | 6 |
| 4.4. MRAM..... | 6 |
| 4.5. 電源..... | 7 |
| 4.6. VIO(B) 設定用ジャンパ抵抗..... | 7 |
| 4.7. FT2232H設定ジャンパ..... | 8 |
| 4.8. 設定スイッチ..... | 8 |
| 5. FPGAコンフィギュレーション..... | 9 |
| 5.1. 専用ツールを使用する..... | 9 |
| 5.2. JTAGダウンロードケーブルを使用する..... | 9 |
| 5.3. コンフィギュレーションROMを使用する..... | 10 |
| 6. デバイスドライバ..... | 10 |
| 7. FT2232H EEPROMの初期値 (参考)..... | 11 |
| 8. FPGAピン割付け表..... | 12 |
| 8.1. ユーザI/O (CNA)..... | 12 |
| 8.2. ユーザI/O (CNB)..... | 13 |
| 8.3. MRAM..... | 14 |
| 8.4. オンボードクロック..... | 14 |
| 8.5. 汎用LED..... | 14 |
| 8.6. 汎用スイッチ..... | 14 |
| 8.7. USBインタフェース..... | 15 |
| 8.8. DDR3SDRAM..... | 15 |
| 9. サポートページ..... | 16 |
| 10. お問い合わせについて..... | 16 |

● はじめに

この度は Kintex-7 搭載 USB-FPGA ボード EDX-008 シリーズをお買い上げ頂き、ありがとうございます。

EDX-008 シリーズは、USB インタフェースをもつ PC に接続し、XILINX 社の開発ソフト (ISE/Vivado) により設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。

USB コントローラに FTDI 社の FT2232H を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信には仮想 COM ポートドライバにより行うことができます。

専用コンフィギュレーションツール“BBC [EDX-008]”により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことができます。開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。どうぞご活用ください。

● ご注意

| | | |
|--|----|---|
|  禁止 | 1 | 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。 |
| | 2 | 水中、高湿度の場所での使用はご遠慮ください。 |
| | 3 | 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。 |
| | 4 | 基板表面に他の金属が接触した状態で電源を入れないでください。 |
| | 5 | 定格を越える電圧を加えないでください。 |
|  注意 | 6 | 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。 |
| | 7 | 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。 |
| | 8 | 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。 |
| | 9 | 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。 |
| | 10 | 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。 |
| | 11 | 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。 |
| | 12 | ノイズの多い環境での動作は保障しかねますのでご了承ください。 |
| | 13 | 静電気にご注意ください。 |

● 改訂記録

| 日付 | バージョン | 改訂内容 |
|------------|-------|---|
| 2014/07/17 | 1.0 | 初版発行 |
| 2015/11/05 | 1.1 | FPGA ピン割付表に「DDR3SDRAM」を追加 |
| 2017/06/07 | 1.2 | 仕様 DDR3 SDRAM 変更 [MT41J64M16JT-15E:G] → [MT41K64M16TW-107:J] |

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成していません。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

| | |
|---------------------------|---|
| USB-FPGA ボード EDX-008 シリーズ | 1 |
| 付属品 | 1 |
| ユーザ登録はがき | 1 |

マニュアルなどは付属していません。製品の資料ページからダウンロードして下さい。

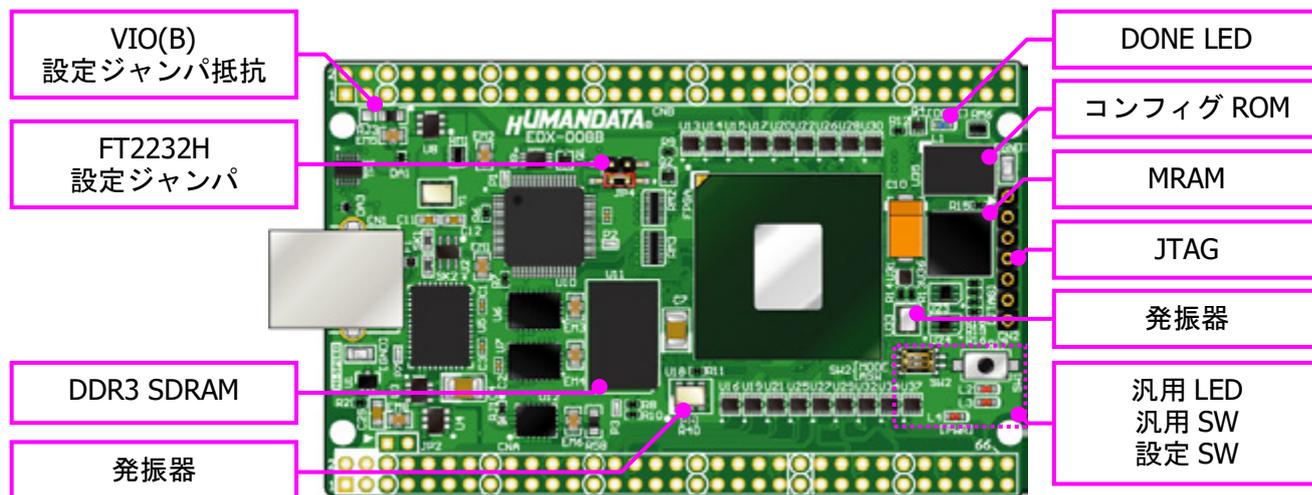
3. 仕様

| 製品型番 | EDX-008-70T | EDX-008-160T |
|-------------|--|-------------------|
| 搭載 FPGA | XC7K70T-1FBG484C | XC7K160T-1FBG484C |
| USB インタフェース | FT2232H (FTDI, チャンネル A をユーザ通信に使用可) | |
| ユーザ I/O | 100 本 (CNA:50, CNB:50) | |
| コンフィグ ROM | N25Q064 (Micron, 64Mbit) | |
| DDR3SDRAM | MT41K64M16TW-107:J (Micron, 1Gbit) | |
| MRAM | MR2A16AMA35 (Everspin, 4Mbit) | |
| 電源入力 | DC 5.0V (内部電源はオンボードレギュレータにより生成) | |
| オンボードクロック | 50MHz, 200MHz (外部供給可能) | |
| 汎用 LED | 2 個 | |
| 汎用スイッチ | 2 個 (押しボタン x1, DIP スイッチ x1bit) | |
| ステータス LED | 2 個 (POWER, DONE) | |
| リセット回路 | 搭載 (240ms typ.) | |
| I/O コネクタ | 66 ピンスルーホール 0.9 (typ.) [mmφ] x2 組 (2.54mm ピッチ) | |
| JTAG コネクタ | SIL7 ピン 丸ピンソケット 2.54mm ピッチ | |
| プリント基板 | ガラスエポキシ 6 層基板 1.6t | |
| 基板寸法 | 54 x 86 [mm] | |
| 質量 | 約 30 [g] | |
| 付属品 | SIL7 ロングピンヘッダ 1 個 | |
| | DIL80 ピンヘッダ 2 個 (任意にカット可能) | |
| | USB ケーブル (1.8m) 1 本 | |

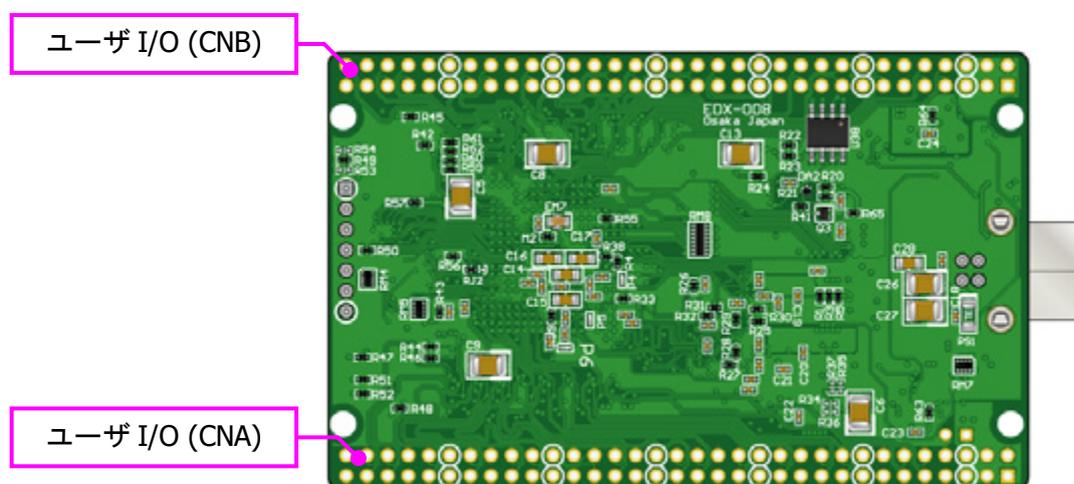
* これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部の名称

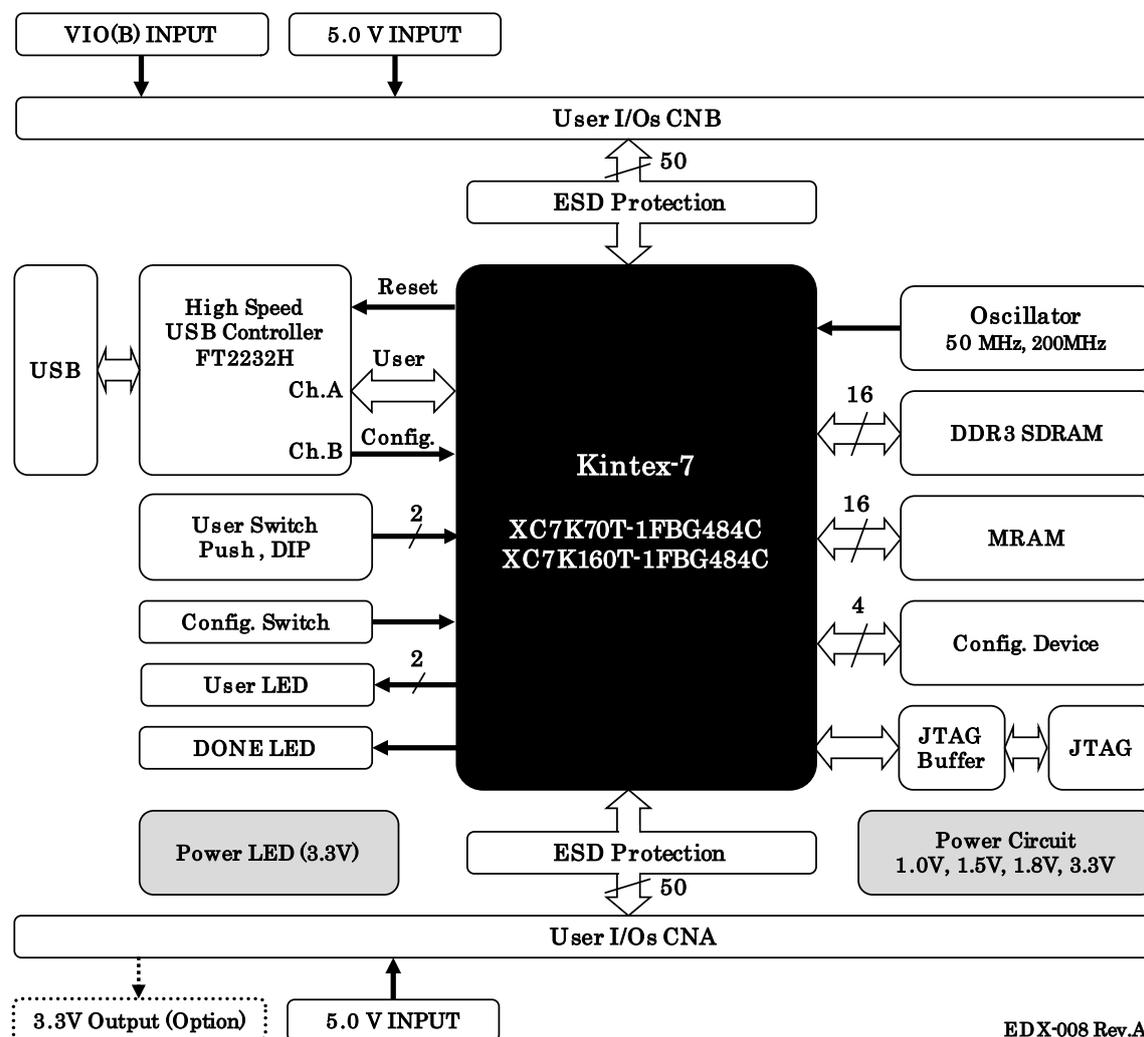


部品面



はんだ面

4.2. ブロック図



EDX-008 Rev.A

4.3. 発振器

オンボードクロックとして 50MHz と 200MHz を搭載しています。また、一部汎用 I/O がクロック入力ピンと兼用になっています。詳しくは回路図をご参照ください。

4.4. MRAM

不揮発性のメモリです。書き換え回数が事実上無制限で、RAM としても ROM としても使える便利なメモリです。

4.5. 電源

DC 5.0V 単一電源で動作します。CNA・CNB コネクタの 3, 4 番ピンより、十分な余裕のある電源を供給してください。

4.6. VIO(B) 設定用ジャンパ抵抗

本ボードでは、FPGA のバンクを下表のように 2 グループ (Bank Group A/B) に分けています。各々の I/O 電源 (Vcco) は分離されており、Group A は VCCOA (3.3V) に固定されています。

| FPGA BANK | Vcco 接続 | Bank Group |
|-----------|---------|------------|
| 13 | VCCOA | A |
| 14 | VCCOA | A |
| 15 | VCCOB | B |
| 16 | VCCOA | A |
| 33 | VDDR | - |
| 34 | VDDR | - |

Bank Group B は出荷時 VCCOA に固定されていますが、ジャンパ抵抗 "RJ3" の取り付け位置を変更することにより CNB からの入力を供給することが可能です。詳しくは回路図を参照してください。供給可能な電圧に関しては FPGA のデータシートをご参照ください。



- オンボード 3.3V (VCCOA) を VCCOB に使用します (出荷時)



- CNB からの外部入力を VCCOB に使用します
設計に合った電圧を CNB から供給することができます

4.7. FT2232H 設定ジャンパ

USB コントローラ IC として、FTDI 社の FT2232H を搭載しています。デュアルチャンネル IC ですので2つのチャンネル(A/B)が PC に認識されます。チャンネル A をユーザ通信用として使用できます。

JP4 により、FPGA からのリセット制御と、FT2232H の起動モードを設定できます。

JP4[1-2]



SHORT: FT2232H 用 EEPROM を使用する (出荷時設定)

OPEN : FT2232H 用 EEPROM を使用しない

- EEPROM を削除する場合に使用します

JP4[3-4]



SHORT: FPGA ピンを FT2232H リセットに接続する

- FPGA の接続ピンを High とすると FT2232H にリセットをかけることができます

OPEN : 接続しない (出荷時設定)

- BBC[EDX-008]を使用する場合は OPEN としてください

4.8. 設定スイッチ

SW2 により FPGA のコンフィギュレーションモードを変更できます

| 1 | 2 | コンギュレーションモード |
|--------|------|--------------|
| X_MODE | ASW2 | |
| ON | 汎用 | Master SPI |
| OFF | 汎用 | Slave Serial |



※ON=Low レベル

- Master SPI : コンフィギュレーション ROM を使用する
- Slave Serial : JTAG または BBC[EDX-008]を使用する

5. FPGA コンフィギュレーション

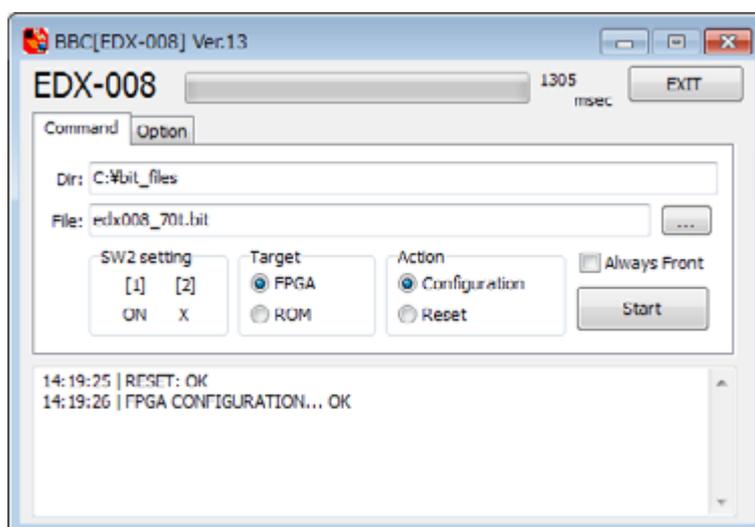
5.1. 専用ツールを使用する

BBC[EDX-008]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書込み、消去

製品サポートページからダウンロードしてご活用ください。

※コンフィギュレーションモードを“Slave Serial”としてください



*画面は開発中のものです

5.2. JTAG ダウンロードケーブルを使用する

XILINX 社のツール(ChipScope など)を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

ダウンロードケーブルとの接続には、本体取付けのロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

| CN2 | | |
|------|-----|-----|
| ピン番号 | 信号 | 方向 |
| 1 | GND | I/O |
| 2 | TCK | IN |
| 3 | TDO | OUT |
| 4 | TMS | IN |
| 5 | VCC | OUT |
| 6 | TDI | IN |
| 7 | GND | I/O |



5.3. コンフィギュレーション ROM を使用する

コンフィギュレーションモードを Master SPI とすることで、FPGA はコンフィギュレーション ROM に書込まれた回路データでコンフィギュレーションされます。（電源投入時）

ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

6. デバイスドライバ

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。お使いの OS の指示に従いインストールを行ってください。

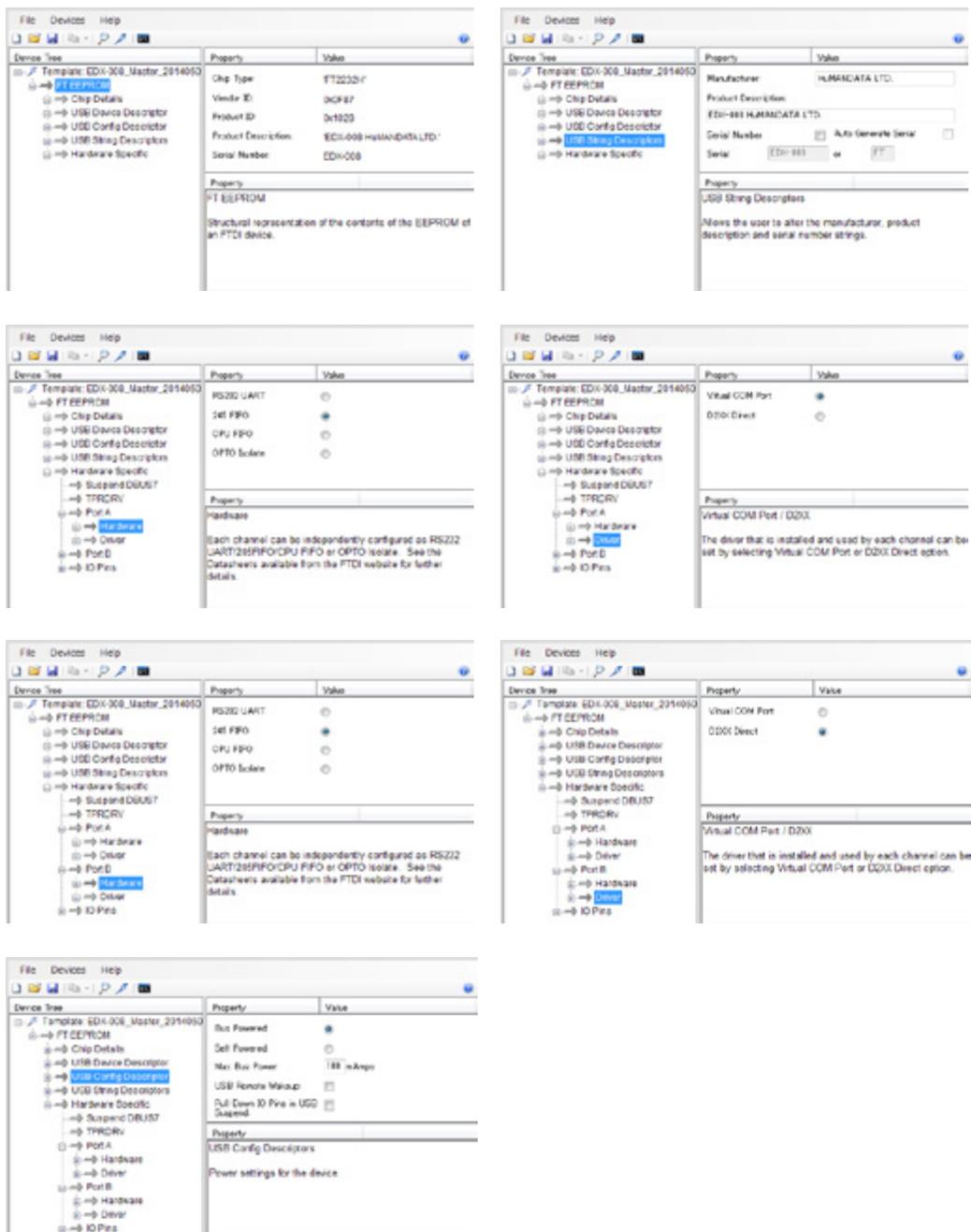
デバイスドライバファイル、デバイスドライバインストールガイドは製品サポートページにて公開しておりますのでご参照ください。



(デバイスドライバでの正常な認識例)

7. FT232H EEPROM の初期値（参考）

出荷時には以下のように設定されております。掲載の無い項目は初期設定のままです。



※内容確認時は PDF ファイルにて拡大表示してください。
サポートページよりダウンロードできます。

8. FPGA ピン割付け表

8.1. ユーザ I/O (CNA)

| BANK Group | ネットラベル | FPGA ピン | CNA | | FPGA ピン | ネットラベル | BANK Group |
|------------|--------|----------------|-----|----|----------------|--------|------------|
| | | 3.3V * (出力) | 1 | 2 | 3.3V * (出力) | | |
| | | 5V (入力) | 3 | 4 | 5V (入力) | | |
| | | GND | 5 | 6 | GND | | |
| A | IOA0 | T15 | 7 | 8 | U15 | IOA1 | A |
| A | IOA2 | W15 | 9 | 10 | V15 | IOA3 | A |
| A | IOA4 | AA15 | 11 | 12 | AA14 | IOA5 | A |
| A | IOA6 | W14 | 13 | 14 | Y14 | IOA7 | A |
| | | GND | 15 | 16 | GND | | |
| A | IOA8 | R16 | 17 | 18 | T16 | IOA9 | A |
| A | IOA10 | AB16 | 19 | 20 | AB15 | IOA11 | A |
| A | IOA12 | T18 | 21 | 22 | U18 | IOA13 | A |
| A | IOA14 | W16 | 23 | 24 | Y16 | IOA15 | A |
| | | GND | 25 | 26 | GND | | |
| A | IOA16 | AB17 | 27 | 28 | AA16 | IOA17 | A |
| A | IOA18 | W17 | 29 | 30 | Y17 | IOA19 | A |
| A | IOA20 | U17 | 31 | 32 | V18 | IOA21 | A |
| A | IOA22 | AA18 | 33 | 34 | AB18 | IOA23 | A |
| | | GND | 35 | 36 | GND | | |
| A | IOA24 | Y18 | 37 | 38 | Y19 | IOA25 | A |
| A | IOA26 | V19 | 39 | 40 | W19 | IOA27 | A |
| A | IOA28 | AB20 | 41 | 42 | AA19 | IOA29 | A |
| A | IOA30 | V20 | 43 | 44 | W20 | IOA31 | A |
| | | GND | 45 | 46 | GND | | |
| A | IOA32 | W21 | 47 | 48 | W22 | IOA33 | A |
| A | IOA34 | AB21 | 49 | 50 | AA20 | IOA35 | A |
| A | IOA36 | T21 | 51 | 52 | U21 | IOA37 | A |
| A | IOA38 | V22 | 53 | 54 | U22 | IOA39 | A |
| | | GND | 55 | 56 | GND | | A |
| A | IOA40 | AB22 | 57 | 58 | AA21 | IOA41 | A |
| A | IOA42 | P21 | 59 | 60 | P22 | IOA43 | A |
| A | IOA44 | R21 | 61 | 62 | R22 | IOA45 | A |
| A | IOA46 | Y22 | 63 | 64 | Y21 | IOA47 | A |
| A | IOA48 | N22 | 65 | 66 | M22 | IOA49 | A |

* 3.3V 出力。使用する場合は JP2 をショートしてください

8.2. ユーザ I/O (CNB)

| BANK Group | ネットラベル | FPGA ピン | CNB | | FPGA ピン | ネットラベル | BANK Group |
|------------|--------|----------------|-----|----|----------------|--------|------------|
| | | VIO(B) (入力) | 1 | 2 | VIO(B) (入力) | | |
| | | 5V (入力) | 3 | 4 | 5V (入力) | | |
| | | GND | 5 | 6 | GND | | |
| A | IOB0 | G10 | 7 | 8 | G11 | IOB1 | A |
| A | IOB2 | E11 | 9 | 10 | D11 | IOB3 | A |
| A | IOB4 | F11 | 11 | 12 | F10 | IOB5 | A |
| A | IOB6 | C10 | 13 | 14 | D10 | IOB7 | A |
| | | GND | 15 | 16 | GND | | |
| B | IOB8 | E16 | 17 | 18 | D17 | IOB9 | B |
| B | IOB10 | J17 | 19 | 20 | J16 | IOB11 | B |
| B | IOB12 | A13 | 21 | 22 | A14 | IOB13 | B |
| B | IOB14 | D15 | 23 | 24 | D16 | IOB15 | B |
| | | GND | 25 | 26 | GND | | |
| B | IOB16 | G15 | 27 | 28 | G16 | IOB17 | B |
| B | IOB18 | B15 | 29 | 30 | A15 | IOB19 | B |
| B | IOB20 | C17 | 31 | 32 | C18 | IOB21 | B |
| B | IOB22 | C12 | 33 | 34 | B12 | IOB23 | B |
| | | GND | 35 | 36 | GND | | |
| B | IOB24 | B16 | 37 | 38 | A16 | IOB25 | B |
| B | IOB26 | C14 | 39 | 40 | C15 | IOB27 | B |
| B | IOB28 | C13 | 41 | 42 | B13 | IOB29 | B |
| B | IOB30 | B17 | 43 | 44 | A18 | IOB31 | B |
| | | GND | 45 | 46 | GND | | |
| B | IOB32 | F15 | 47 | 48 | F16 | IOB33 | B |
| B | IOB34 | H17 | 49 | 50 | G17 | IOB35 | B |
| B | IOB36 | B18 | 51 | 52 | A19 | IOB37 | B |
| B | IOB38 | D19 | 53 | 54 | D20 | IOB39 | B |
| | | GND | 55 | 56 | GND | | |
| B | IOB40 | E19 | 57 | 58 | F18 | IOB41 | B |
| B | IOB42 | A20 | 59 | 60 | A21 | IOB43 | B |
| B | IOB44 | D21 | 61 | 62 | D22 | IOB45 | B |
| B | IOB46 | B21 | 63 | 64 | B20 | IOB47 | B |
| B | IOB48 | B22 | 65 | 66 | C22 | IOB49 | B |

8.3. MRAM

| ネットラベル | FPGA ピン | ネットラベル | FPGA ピン |
|------------|---------|----------|---------|
| MRAM_WE | M18 | MRAM_BE1 | J21 |
| MRAM_OE | J22 | MRAM_BE0 | K21 |
| MRAM_DQU15 | T20 | MRAM_A18 | J20 |
| MRAM_DQU14 | P19 | MRAM_A17 | L18 |
| MRAM_DQU13 | P20 | MRAM_A16 | M16 |
| MRAM_DQU12 | N19 | MRAM_A15 | M17 |
| MRAM_DQU11 | N20 | MRAM_A14 | T19 |
| MRAM_DQU10 | L21 | MRAM_A13 | R19 |
| MRAM_DQU9 | M21 | MRAM_A12 | U16 |
| MRAM_DQU8 | K22 | MRAM_A11 | V17 |
| MRAM_DQL7 | M20 | MRAM_A10 | U20 |
| MRAM_DQL6 | N17 | MRAM_A9 | N18 |
| MRAM_DQL5 | P16 | MRAM_A8 | K19 |
| MRAM_DQL4 | L20 | MRAM_A7 | H20 |
| MRAM_DQL3 | G20 | MRAM_A6 | K16 |
| MRAM_DQL2 | K17 | MRAM_A5 | F21 |
| MRAM_DQL1 | J19 | MRAM_A4 | G22 |
| MRAM_DQL0 | F20 | MRAM_A3 | E22 |
| MRAM_CE | E21 | MRAM_A2 | G21 |
| | | MRAM_A1 | H22 |

8.4. オンボードクロック

| 周波数 | ネットラベル | FPGA ピン |
|--------|--------------|---------|
| 50MHz | GCLK50_B | E17 |
| | GCLK50_A | L19 |
| 200MHz | DDR_SYSCLK_P | U10 |
| | DDR_SYSCLK_N | V9 |

8.5. 汎用 LED

| LED | ネットラベル | FPGA ピン |
|------|--------|---------|
| LED3 | ULED3 | R17 |
| LED2 | ULED2 | P17 |

8.6. 汎用スイッチ

| SW | ネットラベル | FPGA ピン |
|--------|--------|---------|
| SW1 | PSW1 | R18 |
| SW2[2] | ASW2 | V14 |

8.7. USB インタフェース

| ネットラベル | FPGA ピン | ネットラベル | FPGA ピン |
|----------|---------|-----------|---------|
| ADBUS0 | A11 | ACBUS0 | H10 |
| ADBUS1 | B11 | ACBUS1 | H9 |
| ADBUS2 | B10 | ACBUS2 | H8 |
| ADBUS3 | A9 | ACBUS3 | F8 |
| ADBUS4 | A8 | ACBUS4 | F9 |
| ADBUS5 | B8 | ACBUS5 | G12 |
| ADBUS6 | C8 | ACBUS6 | E9 |
| ADBUS7 | C9 | ACBUS7 | D9 |
| USBRESET | F13 | X_USBDDET | F14 |

8.8. DDR3SDRAM

| ネットラベル | FPGA ピン | ネットラベル | FPGA ピン |
|------------|---------|---------|---------|
| DDR_CK_P | M2 | DDR_DQ4 | AA5 |
| DDR_CK_N | M1 | DDR_DQ3 | AA10 |
| DDR_UDQS_P | U8 | DDR_DQ2 | AB7 |
| DDR_UDQS_N | V8 | DDR_DQ1 | AB10 |
| DDR_LDQS_P | AA6 | DDR_DQ0 | AA8 |
| DDR_LDQS_N | AB6 | DDR_CKE | U2 |
| DDR_RESET | Y7 | DDR_BA2 | M5 |
| DDR_RAS | Y1 | DDR_BA1 | P2 |
| DDR_CAS | W2 | DDR_BA0 | U1 |
| DDR_WE | V2 | DDR_A14 | L4 |
| DDR_ODT | W1 | DDR_A13 | M3 |
| DDR_UDM | W6 | DDR_A12 | N3 |
| DDR_LDM | AB8 | DDR_A11 | K2 |
| DDR_DQ15 | Y8 | DDR_A10 | N4 |
| DDR_DQ14 | U7 | DDR_A9 | L1 |
| DDR_DQ13 | V7 | DDR_A8 | K3 |
| DDR_DQ12 | Y6 | DDR_A7 | N2 |
| DDR_DQ11 | W7 | DDR_A6 | L3 |
| DDR_DQ10 | U6 | DDR_A5 | P1 |
| DDR_DQ9 | R7 | DDR_A4 | L5 |
| DDR_DQ8 | R6 | DDR_A3 | R2 |
| DDR_DQ7 | W11 | DDR_A2 | K1 |
| DDR_DQ6 | AB5 | DDR_A1 | R1 |
| DDR_DQ5 | AA9 | DDR_A0 | T1 |

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/EDX-008/index.html>
http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- デバイスドライバ
- デバイスドライバ インストールガイド
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<http://www3.hdl.co.jp/spc/>

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

Kintex-7 USB-FPGA ボード

EDX-008 シリーズ
ユーザーズマニュアル

2014/07/17 Ver. 1.0
2015/11/05 Ver. 1.1

2017/06/07 Ver. 1.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/> (Japan)
<http://www.hdl.co.jp/en/> (Global)
