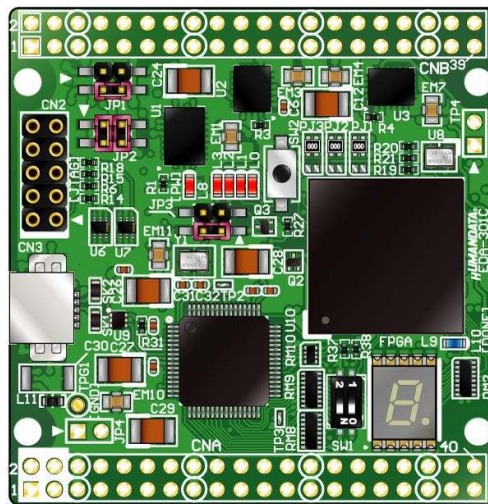


Cyclone IV USB-FPGA ボード
EDA-301
ユーザーズマニュアル
Ver. 1.3



目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 開発環境.....	2
2. 製品の内容について.....	2
3. 仕様.....	3
4. 製品説明.....	4
4.1. 各部名称.....	4
4.2. ブロック図.....	5
4.3. クロック.....	5
4.4. ボード電源.....	6
4.5. I/O 電源.....	6
4.6. USB コントローラ.....	7
4.7. デバイスドライバのインストール.....	7
4.8. 設定スイッチ (SW1).....	7
5. FPGA コンフィギュレーション.....	8
5.1. 専用ツールを使用する.....	8
5.2. JTAG ダウンロードケーブルを使用する.....	8
5.3. コンフィギュレーション ROM を使用する.....	9
6. FT2232H 用 EEPROM の初期値 (参考).....	9
7. FPGA ピン割付け表.....	10
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. オンボードクロック.....	11
7.4. 外部クロック入力.....	11
7.5. USB インタフェース.....	12
7.6. 汎用 LED.....	12
7.7. 7セグメント LED.....	13
7.8. 汎用スイッチ.....	13
8. サポートページ.....	14
9. 付属資料.....	14
10. お問い合わせについて.....	14

● はじめに

この度は Cyclone IV 搭載 USB-FPGA ボード EDA-301 をお買い上げ頂き、ありがとうございます。

EDA-301 は、USB インタフェースをもつ PC に接続し、ALTERA 社の開発ソフト(Quartus II)により設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。


USB コントローラに FTDI 社の FT2232H を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信には仮想 COM ポートドライバにより行うことができます。


専用コンフィギュレーションツール「BBC[EDA-301]」により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことができます。

ALTERA 社提供の開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
13 静電気にご注意ください。	

● 改訂記録

日付	バージョン	改訂内容
2012/04/16	1.0	・ 初版発行
2012/06/21	1.1	・ ピン割付表：USB インタフェースを修正しました
2012/06/22	1.2	・ ピン割付表：ユーザ I/O (GNB) を修正しました
2012/07/13	1.3	・ 誤植修正

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

USB-FPGA ボード EDA-301	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

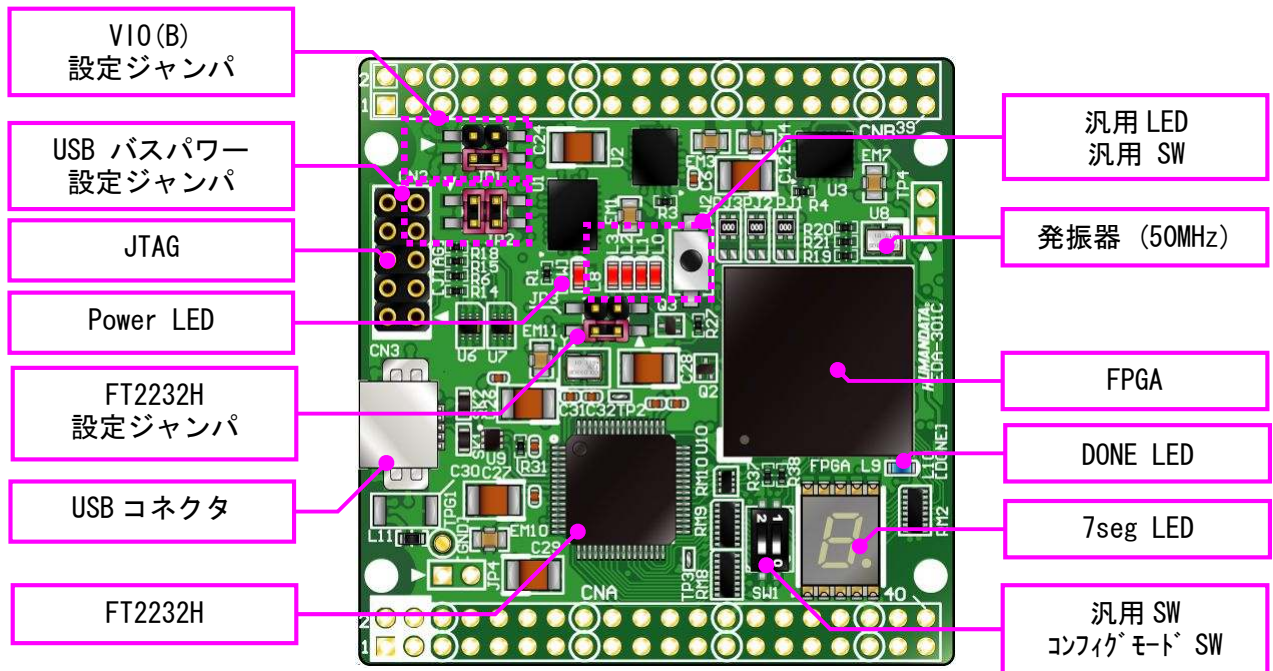
3. 仕様

製品型番	EDA-301
搭載 FPGA	EP4CE15F17C8N
コンフィグ ROM	EPCS16S18N (Altera, 16Mbit)
オンボードクロック	50MHz
外部クロック入力	ユーザ I/O コネクタ (IOA-26/27、IOB-26/27)
電源	DC 5.0[V]
消費電流	N/A (詳細は FPGA データシートをご参照ください)
基板寸法	53 x 54 [mm]
質量	約 18 [g]
ユーザ I/O	56 本 (CNA:28, CNB:28)
汎用スイッチ	2 (押しボタン x1, DIP x1bit)
汎用 LED	4
7 セグメント LED	1
プリント基板	ガラスエポキシ 6 層基板 1.6t
リセット信号	コンフィグ用リセット信号 (typ. 240ms)
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ
ステータス LED	POWER (赤), DONE (青)
付属品	DIL10 ロングピンヘッダ (本体に取付け済み) x1
	DIL40 ピンヘッダ x2
	USB ケーブル (Mini-B, 1.0m) x1

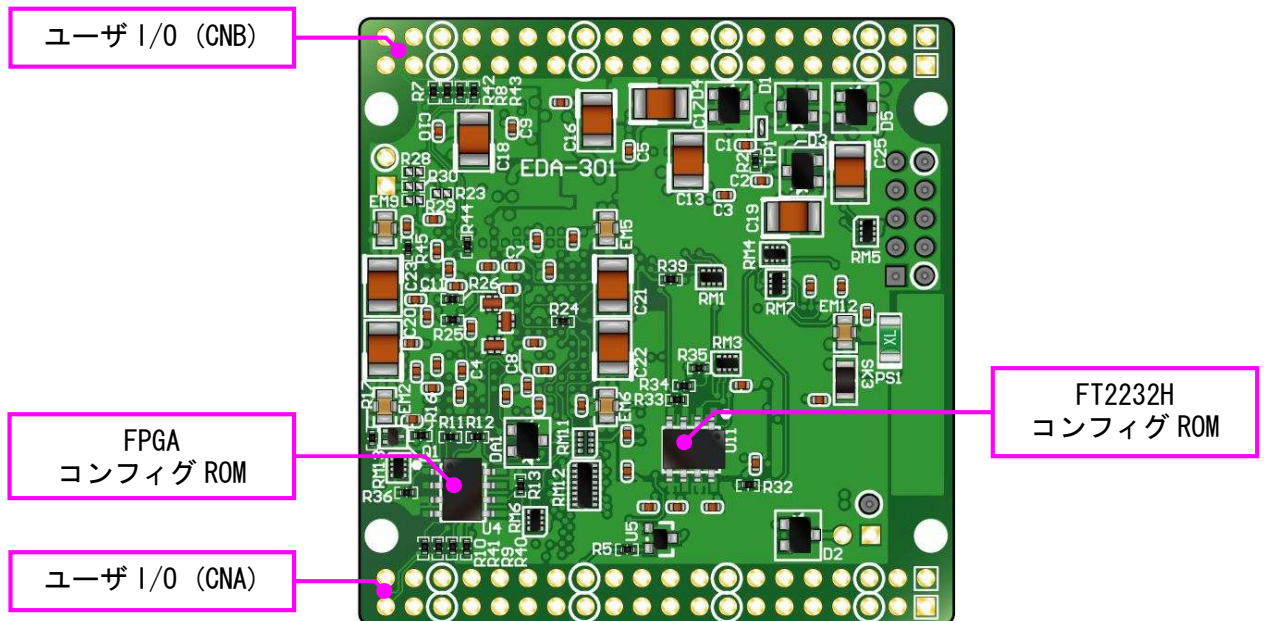
*これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部名称

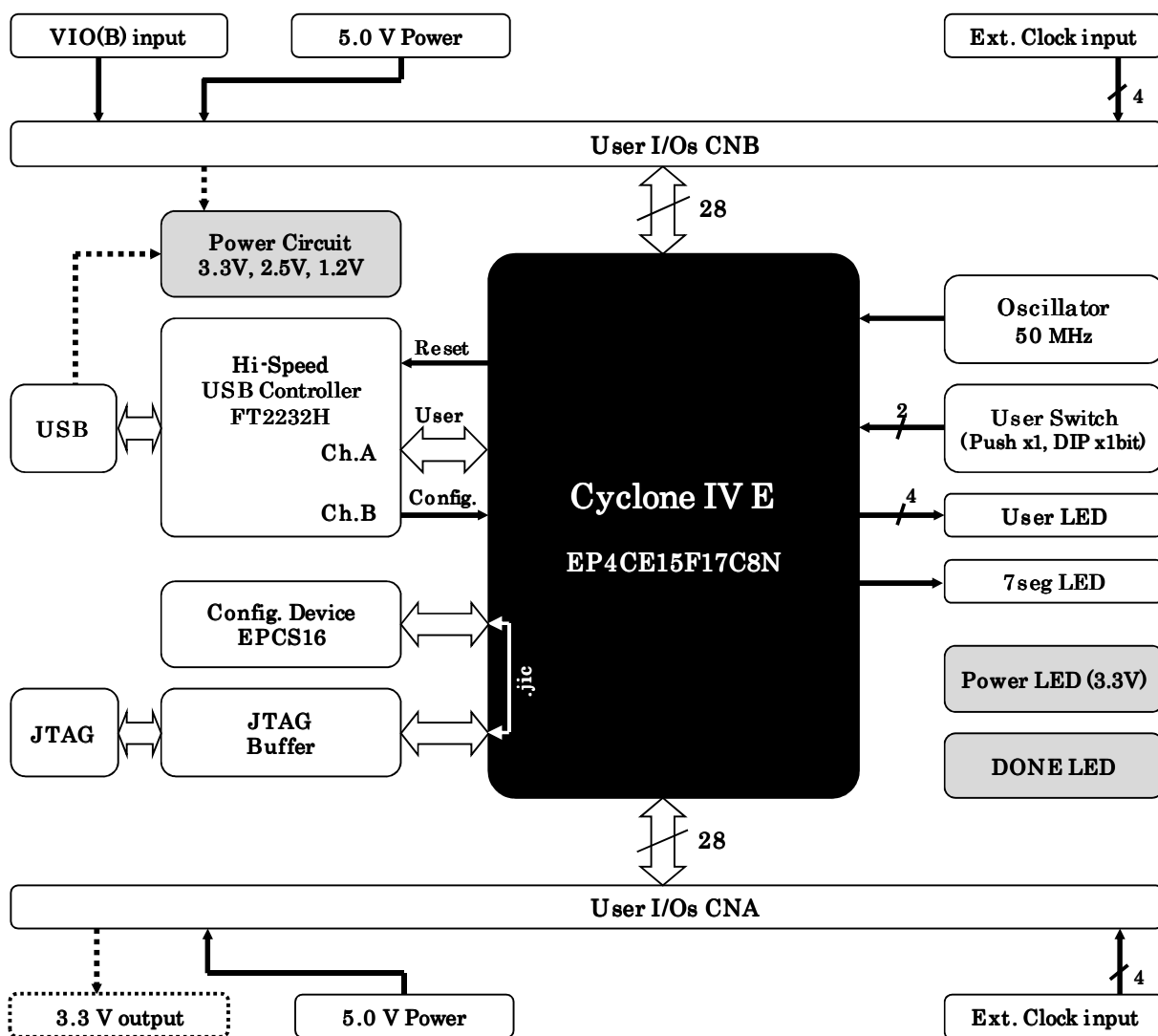


部品面



はんだ面

4.2. ブロック図



EDA-301 Rev.B

4.3. クロック

オンボードクロックとして 50MHz を搭載しています。ユーザ I/O より外部クロックを入力することも可能です。詳しくは回路図をご参照ください。

4.4. ボード電源

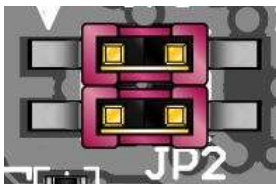
電源は CNA, CNB より 5.0V を供給してください。内部で必要になる 3.3V、2.5V、1.2V はオンボードレギュレータにより生成されます。

外部から供給する電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 5.0V を超えることはできません。

JP2 の設定により、USB バスパワーを使用できます。



- ◆ 1-3, 2-4 間をショート (出荷時設定)
- ユーザコネクタからの電源入力のみを使用します



- ◆ 1-2, 3-4 間をショート
- USB バスパワーをボードに接続します
(FPGA の設計によって電流が不足する場合があります)

4.5. I/O 電源

FPGA のバンクはボードでの用途によって、下表のようにグループ化されています。

FPGA BANK	Vccio	NET LABEL	BANK Group	用途
1	VCC101	V33A	A	Config, ASW
2	VCC102	V33A	A	IOA
3	VCC103	V33A	A	7 segment LED
4	VCC104	V10(B)	B	IOB
5	VCC105	V10(B)	B	IOB
6	VCC106	V10(B)	B	IOB
7	VCC107	V33A	A	FTDI IF, LED
8	VCC108	V33A	A	IOA, PSW

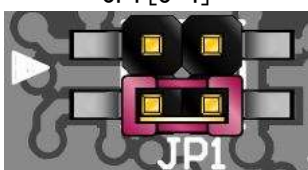
Bank Group A への Vccio, V33A は 3.3V 固定となっています。Bank Group B への Vccio, V10(B) の供給元を、JP1 により設定できます。詳しくは FPGA のデータシートや回路図などを参照してください。

JP1 [1-2]



- ◆ 1-2 間をショート
- CNB からの外部入力を V10(B) に使用
設計に合った電圧を CNB から供給することができます

JP1 [3-4]



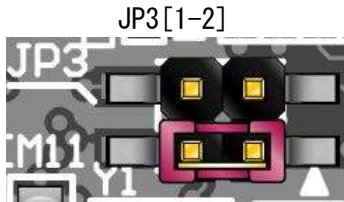
- ◆ 3-4 間をショート (出荷時設定)
- オンボード 3.3V (V33A) を V10(B) に使用

4.6. USB コントローラ

USB コントローラ IC として、FTDI 社の FT2232H を搭載しています。デュアルチャンネル IC ですので2つのチャンネル(A/B)がPCに認識されます。

チャンネル A はユーザ通信用として FPGA の汎用ポートに、チャンネル B は FPGA コンフィギュレーション用として制御ピンに接続されています。

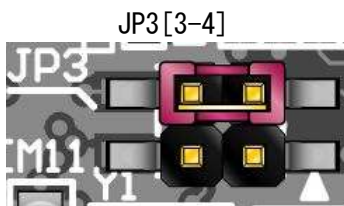
JP3 により、リセットと EEPROM への接続を設定できます。



SHORT : FT2232H 用 EEPROM を使用する (出荷時設定)

OPEN : FT2232H 用 EEPROM を使用しない

- FT2232H をデフォルト設定 (デフォルトディスクリプタ、A/B チャンネル共に UART モード) で PC に認識させる場合に使用します



SHORT : FPGA ピンを FT2232H リセットに接続する

- FPGA の接続ピンを High とすると FT2232H にリセットをかけることができます

OPEN : 接続しない (出荷時設定)

- BBC[EDA-301]を使用する場合は OPEN としてください

4.7. デバイスドライバのインストール

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。初回接続時に、お使いの OS の指示に従いインストールを行ってください。

製品サポートページにて、デバイスドライバ インストールガイドを公開しておりますのでご参照ください。

デバイスドライバファイルのダウンロードは、製品サポートページから行ってください。

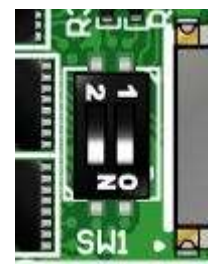
4.8. 設定スイッチ (SW1)

SW1 [2] は汎用用途に使用できます。X_M1 は FPGA の M1 ピンに接続されており、FPGA のコンフィギュレーションモードを変更することが可能です。

OFF で High (1), ON で Low (0) となります。

SW1

SW1 [2]	SW1 [1]	コンフィギュレーションモード
ASW2	MSELO	
X	OFF	アクティブシリアル
X	ON	USB/JTAG



X: Don't Care

- アクティブシリアル モード
電源投入時、コンフィギュレーション ROM を使用する場合に設定します
- USB/JTAG モード
USB または JTAG からコンフィギュレーションを行う場合に設定します
コンフィギュレーション ROM を使用しない場合もこの設定としてください

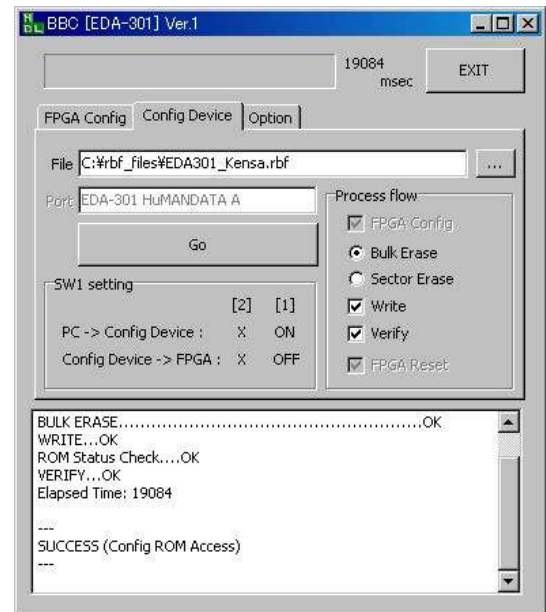
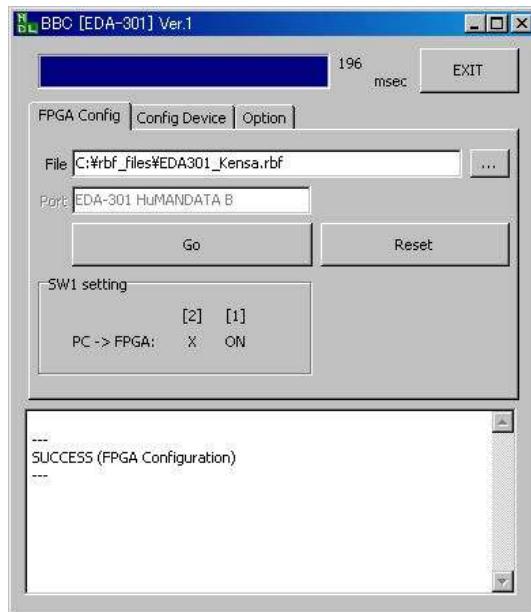
5. FPGA コンフィギュレーション

5.1. 専用ツールを使用する

BBC[EDA-301]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書込み, 消去

製品サポートページからダウンロードしてご活用ください。



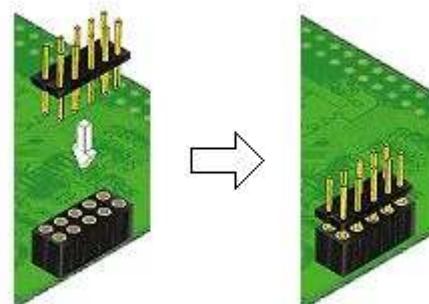
*画面は開発中のものです

5.2. JTAG ダウンロードケーブルを使用する

ALTERA のツール (SignalTap など) を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



使用例

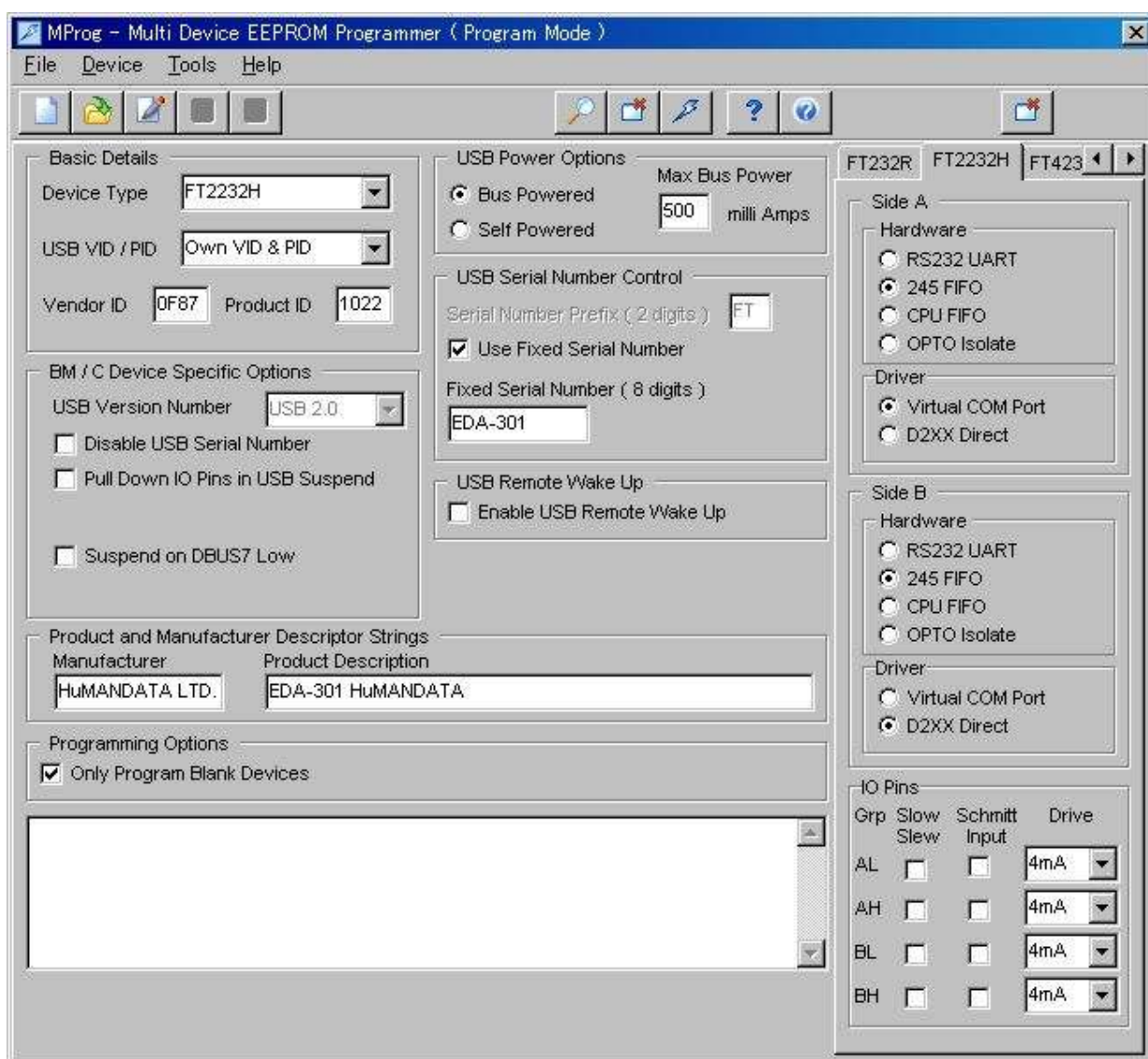
5.3. コンフィギュレーションROM を使用する

コンフィギュレーションROM に書込まれた回路データは、電源投入時に自動的にFPGAにコンフィギュレーションされます。電源投入時にコンフィギュレーションする場合、コンフィギュレーションモードを「アクティブシリアル」としてください

ROMには十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGAなどに重大な不具合が生じることがあります。

6. FT2232H 用 EEPROM の初期値（参考）

出荷時には、下図のように設定されております。



(MProg Version 3.5)

7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	V33CN *1	-	1	2	-	V33CN *1	
	V50CN	-	3	4	-	V50CN	
		GND	5	6	GND		
A	IOA0	A7	7	8	B7	IOA1	A
A	IOA2	A6	9	10	B6	IOA3	A
A	IOA4	A5	11	12	B5	IOA5	A
A	IOA6	A4	13	14	B4	IOA7	A
		GND	15	16	GND		
A	IOA8	A3	17	18	B3	IOA9	A
A	IOA10	C3	19	20	D3	IOA11	A
A	IOA12	C8	21	22	D8	IOA13	A
A	IOA14	E6	23	24	D6	IOA15	A
		GND	25	26	GND		
A	IOA16	E8	27	28	F8	IOA17	A
A	IOA18	J1	29	30	J2	IOA19	A
A	IOA20	L1	31	32	L2	IOA21	A
A	IOA22	N1	33	34	N2	IOA23	A
		GND	35	36	GND		
A	IOA24	P1	37	38	P2	IOA25	A
A	IOA26 *2	K6	39	40	L6	IOA27 *2	A

(*1) JP2 を実装して、ボード上の 3.3V を出力することが出来ます

(*2) 抵抗を介して各外部クロック入力ピンに接続されています

7.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB ピン#		FPGA ピン	NET LABEL	BANK Group
	V10(B)_IN	-	1	2	-	V10(B)_IN	
	V50CN	-	3	4	-	V50CN	
		GND	5	6	GND		
B	IOB0	C15	7	8	C16	IOB1	B
B	IOB2	D15	9	10	D16	IOB3	B
B	IOB4	F15	11	12	F16	IOB5	B
B	IOB6	G15	13	14	G16	IOB7	B
		GND	15	16	GND		
B	IOB8	J12	17	18	J14	IOB9	B
B	IOB10	J15	19	20	J16	IOB11	B
B	IOB12	K15	21	22	K16	IOB13	B
B	IOB14	L16	23	24	L13	IOB15	B
		GND	25	26	GND		
B	IOB16	N15	27	28	N16	IOB17	B
B	IOB18	R16	29	30	P16	IOB19	B
B	IOB20	R14	31	32	P14	IOB21	B
B	IOB22	T15	33	34	T14	IOB23	B
		GND	35	36	GND		
B	IOB24	R11	37	38	T11	IOB25	B
B	IOB26 *1	T13	39	40	R13	IOB27 *1	B

(*1) 抵抗を介して各外部クロック入力ピンに接続されています

7.3. オンボードクロック

周波数	NET LABEL	FPGA ピン
50MHz	GCLK_50_B1	E1
	GCLK_50_B3	R8
	GCLK_50_B7	B9

7.4. 外部クロック入力

コネクタ	NET LABEL	FPGA ピン	BANK Group
CNA_39	EXCLK_A1	B8	A
	EXCLK_A3	M2	A
CNA_40	EXCLK_A2	A8	A
	EXCLK_A4	M1	A
CNB_39	EXCLK_BP1	R9	B
	EXCLK_BP2	M15	B
CNB_40	EXCLK_BN1	T9	B
	EXCLK_BN2	M16	B

7.5. USB インタフェース

NET LABEL	FPGA Pin	Operation Mode				
		RS232	245 FIFO (Sync)	Sync/Async Bit-bang	MPSSE	CPU Style FIFO
ADBUS0	A15	TXD	D0	D0	TCK/SK	D0
ADBUS1	A14	RXD	D1	D1	TDI/D0	D1
ADBUS2	B13	RTS#	D2	D2	TDO/DI	D2
ADBUS3	A12	CTS#	D3	D3	TMS/CS	D3
ADBUS4	B12	DTR#	D4	D4	GPIO L0	D4
ADBUS5	A11	DSR#	D5	D5	GPIO L1	D5
ADBUS6	B11	DCD#	D6	D6	GPIO L2	D6
ADBUS7	C14	RI#	D7	D7	GPIO L3	D7
ACBUS0	B10	TXDEN	RXF#	-	GPIO H0	CS#
ACBUS1	D12	-	TXE#	WRSTB#	GPIO H1	A0
ACBUS2	A10	-	RD#	RDSTB#	GPIO H2	RD#
ACBUS3	D11	RXLED#	WR#	-	GPIO H3	WR#
ACBUS4	D9	TXLED#	SIWUA	SIWUA	GPIO H4	SIWUA
ACBUS5	A9, C9	-	(CLKOUT)	-	GPIO H5	-
ACBUS6	E9	-	(OE#)	-	GPIO H6	-
ACBUS7	F9	-	-	-	GPIO H7	-
XUSBDET	E11					
XUSBRESET	E10					

*各動作モードの詳細についてはFT2232Hのデータシートをご参照ください

7.6. 汎用 LED

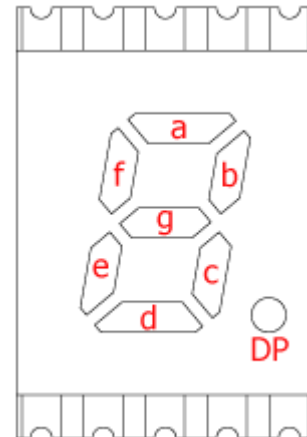
LED	NET LABEL	FPGA ピン
L0	ULED0	C11
L1	ULED1	D14
L2	ULED2	B14
L3	ULED3	A13

* Low で点灯します

7.7. 7セグメント LED

Segment	NET LABEL	FPGA ピン
7seg-a	SA_0	R3
7seg-b	SB_0	T2
7seg-c	SC_0	M6
7seg-d	SD_0	T6
7seg-e	SE_0	T4
7seg-f	SF_0	T3
7seg-g	SG_0	T5
7seg-DP	SDP_0	N3

* Low で点灯します



7.8. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW2	A2
SW1 [2]	ASW1	F1

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。
ソースファイルはサポートページにて公開されております。ご自由に改造し、用途に合ったツールを開発していただけます。

<http://www.hdl.co.jp/ftpdata/EDA-301/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- ネットリスト
- デバイスドライバファイル
- デバイスドライバインストールガイド
- コンフィギュレーションツール BBC[EDA-301] ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

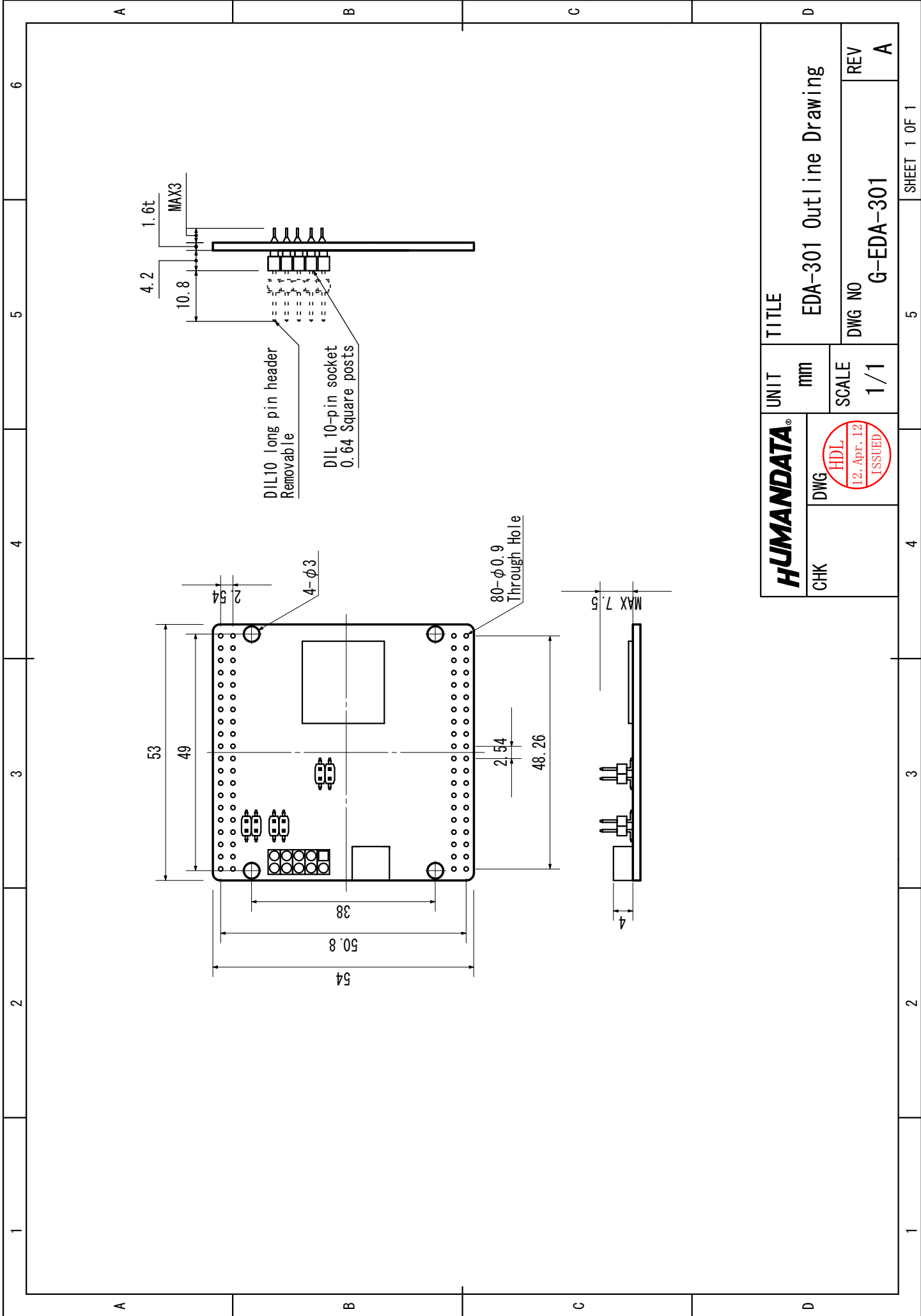
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。


または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



CHK	DWG		UNIT	TITLE
			mm	EDA-301 Outline Drawing
			SCALE	REV
			1/1	A
			DWG NO	
			G-EDA-301	

Cyclone IV USB-FPGA ボード
EDA-301
ユーザーズマニュアル

2012/04/16 Ver.1.0 (初版)
2012/06/21 Ver.1.1
2012/06/22 Ver.1.2

2012/07/13 Ver.1.3

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
