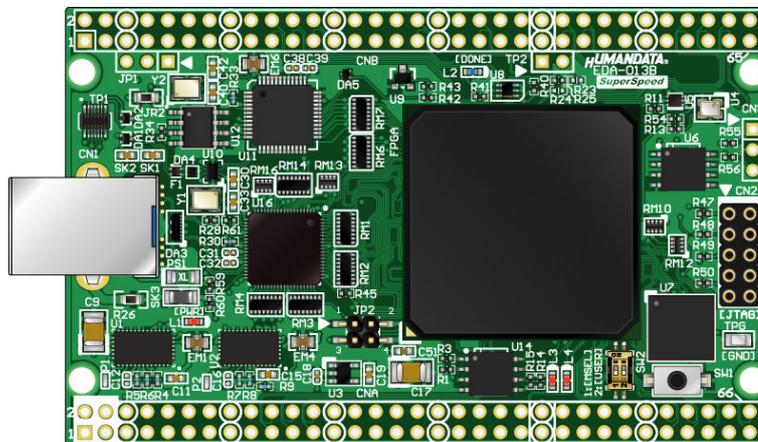


USB3.0 対応 Cyclone 10 LP USB-FPGA ボード



EDA-013 シリーズ  
ユーザーズマニュアル

Ver. 1.0



ヒューマンデータ



---

## 目次

|                                 |    |
|---------------------------------|----|
| ● はじめに .....                    | 1  |
| ● ご注意 .....                     | 1  |
| ● 改訂記録 .....                    | 2  |
| 1. 製品の内容について .....              | 2  |
| 2. 開発環境 .....                   | 2  |
| 3. 未使用ピンについて <b>【重要】</b> .....  | 2  |
| 4. 仕様 .....                     | 3  |
| 5. 製品説明 .....                   | 4  |
| 5.1. 各部の名称 .....                | 4  |
| 5.2. ブロック図 .....                | 5  |
| 5.3. 電源 .....                   | 5  |
| 5.4. 発振器 .....                  | 5  |
| 5.5. I/O .....                  | 6  |
| 5.6. 設定スイッチ .....               | 7  |
| 5.7. USBコントローラ : FT601 .....    | 7  |
| 5.8. USBコントローラ : FT232H .....   | 8  |
| 6. FPGAコンフィギュレーション .....        | 8  |
| 6.1. 専用ツールを使用する .....           | 8  |
| 6.2. JTAGダウンロードケーブルを使用する .....  | 9  |
| 6.3. コンフィギュレーションROMを使用する .....  | 9  |
| 7. デバイスドライバ .....               | 10 |
| 8. FT232H EEPROMの初期値 (参考) ..... | 11 |
| 9. サポートページ .....                | 12 |
| 10. お問い合わせについて .....            | 12 |

## ● はじめに

この度は Cyclone 10 LP 搭載 USB-FPGA ボード EDA-013 をお買い上げ頂きまして、誠にありがとうございます。

EDA-013 は、USB インタフェースをもつ PC に接続し、Intel 社の開発ソフト (Quartus) により設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。

USB コントローラに FTDI 社の FT601 を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信には仮想 COM ポートドライバにより行うことができます。

専用コンフィギュレーションツール“BBC[EDA-013]”により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことが出来ます。

Intel 社提供の開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。どうぞご活用ください。

## ● ご注意

|  |    |   |
|--|----|---|
| <br><b>禁止</b>  | 1  | 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。 |
|  | 2  | 水中、高湿度の場所での使用はご遠慮ください。  |
|  | 3  | 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。   |
|  | 4  | 基板表面に他の金属が接触した状態で電源を入れないでください。  |
|  | 5  | 定格を越える電圧を加えないでください。   |
| <br><b>注意</b> | 6  | 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。   |
|  | 7  | 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。                               |
|  | 8  | 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。  |
|  | 9  | 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。                        |
|  | 10 | 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。  |
|  | 11 | 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。  |
|  | 12 | ノイズの多い環境での動作は保障しかねますのでご了承願います。  |
|  | 13 | 静電気にご注意ください。  |

## ● 改訂記録

| 日付         | バージョン | 改訂内容 |
|------------|-------|------|
| 2021/01/26 | 1.0   | 初版発行 |

## 1. 製品の内容について

製品パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

|                      |   |
|----------------------|---|
| USB-FPGA ボード EDA-013 | 1 |
| 付属品                  | 1 |
| ユーザ登録はがき             | 1 |

マニュアルなどは付属していません。製品の資料ページからダウンロードしてください。

## 2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

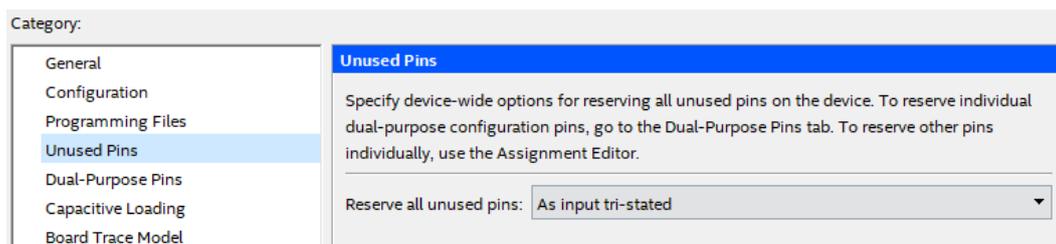
## 3. 未使用ピンについて **【重要】**

デバイスマイグレーションのため、I/O ピンが電源ピンに割り付けられています。

該当するデバイスでは、これらのピンを入力設定とし、使用しないようにしてください。これらのピンが駆動されると、ボードに重大な不具合を引き起こす原因となります。

未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- 1) Quartus の【Assignments】のタブにある【Device...】を開きます
- 2) 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます
- 3) Reserve all unused pins の設定を【As inputs tri-stated】にします



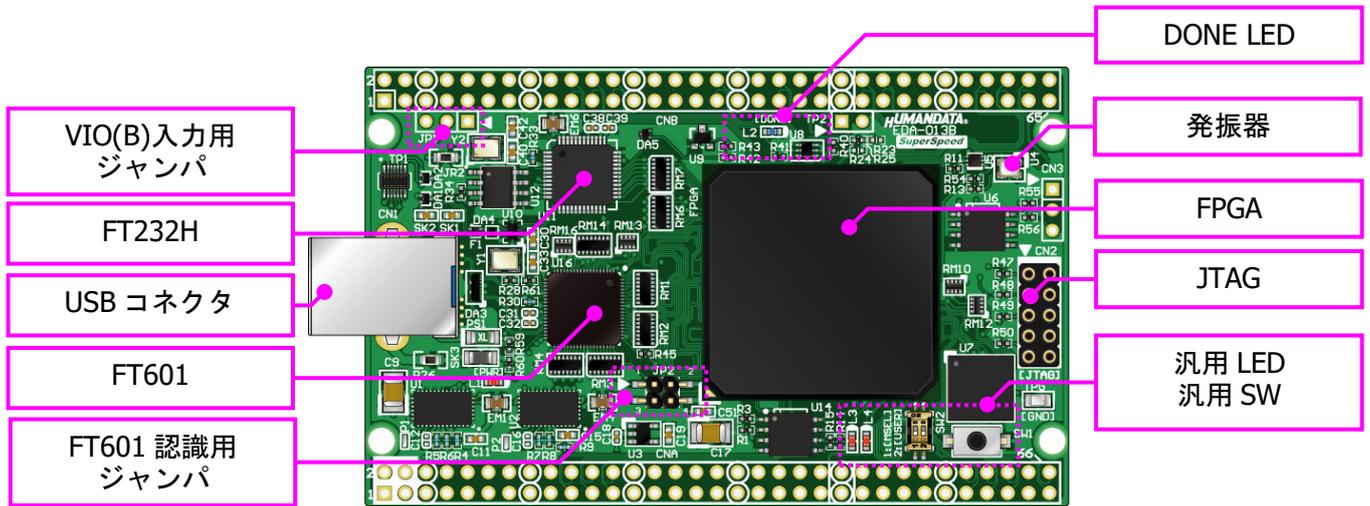
## 4. 仕様

|               |   |                 |
|---------------|---|-----------------|
| 製品型番          | EDA-013-80                                    | EDA-013-120     |
| 搭載 FPGA       | 10CL080YF780C8G                               | 10CL120YF780C8G |
| USB3.0 コントローラ | FT601 (FTDI)                                  |                 |
| USB2.0 コントローラ | FT232H (FTDI)                                 |                 |
| 電源入力          | DC 5.0V (内部電源はオンボードレギュレータにより生成)               |                 |
| ユーザ I/O       | 100 本 (CNA:50, CNB:50)                        |                 |
| I/O 電源入力      | CNB の I/O 用に外部入力可能                            |                 |
| コンフィグ ROM     | MT25QL128ABA1ESE-OSIT (Micron, 128Mbit)       |                 |
| SDRAM         | AS4C16M16SA-7BCN (Alliance Memory, 256Mbit)   |                 |
| SPI-FLASH     | MT25QL128ABA1ESE-OSIT (Micron, 128Mbit)       |                 |
| オンボードクロック     | 50MHz (外部供給可能)                                |                 |
| 汎用 LED        | 2 個   |                 |
| 汎用スイッチ        | 2 個 (押しボタン SW, DIP SW)                        |                 |
| ステータス LED     | 2 個 (POWER, DONE)                             |                 |
| リセット回路        | 搭載 (240ms typ.)                               |                 |
| I/O コネクタ      | 66 ピンスルーホール 0.9 (typ.) [mmφ]x2 組 (2.54mm ピッチ) |                 |
| JTAG コネクタ     | DIL10 ピン 丸ピンソケット 2.54mm ピッチ                   |                 |
| プリント基板        | ガラスエポキシ 8 層基板 1.6t                            |                 |
| 基板寸法          | 54 x 86 [mm] (USB コネクタ含まず)                    |                 |
| 質量            | 約 33 [g]                                      |                 |
| 付属品           | DIL10 ロングピンヘッダ 1 個                            |                 |
|               | DIL80 ピンヘッダ 2 個 (任意にカット可能)                    |                 |
|               | USB3.0 ケーブル (1.0m) 1 本                        |                 |

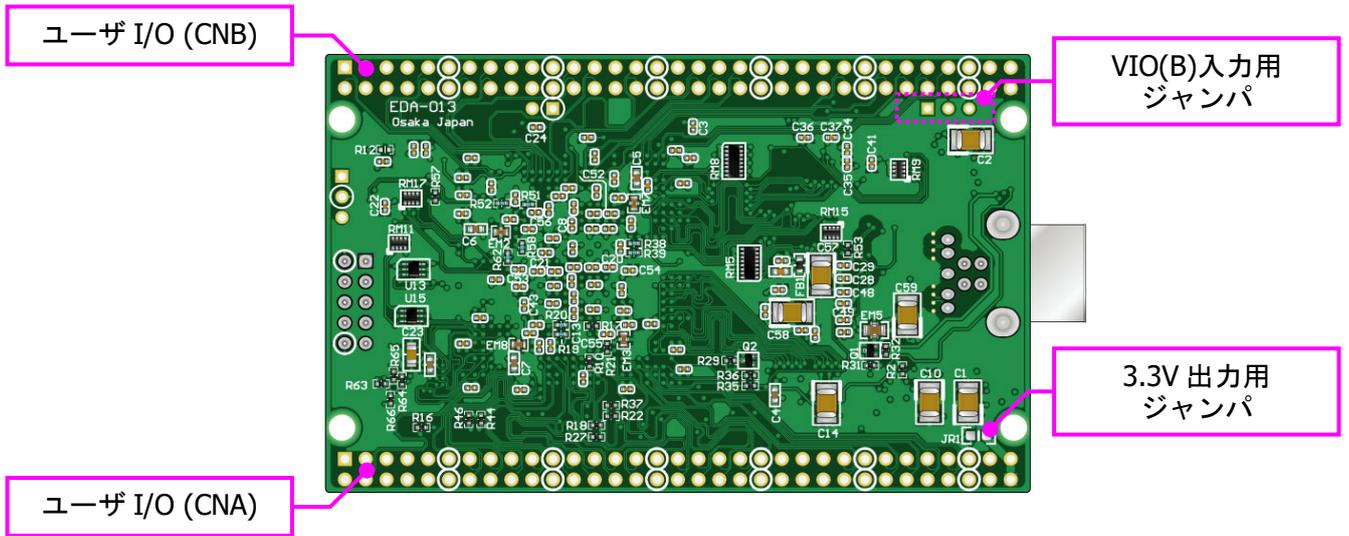
\* これらの部品や仕様は変更となる場合がございます

## 5. 製品説明

### 5.1. 各部の名称

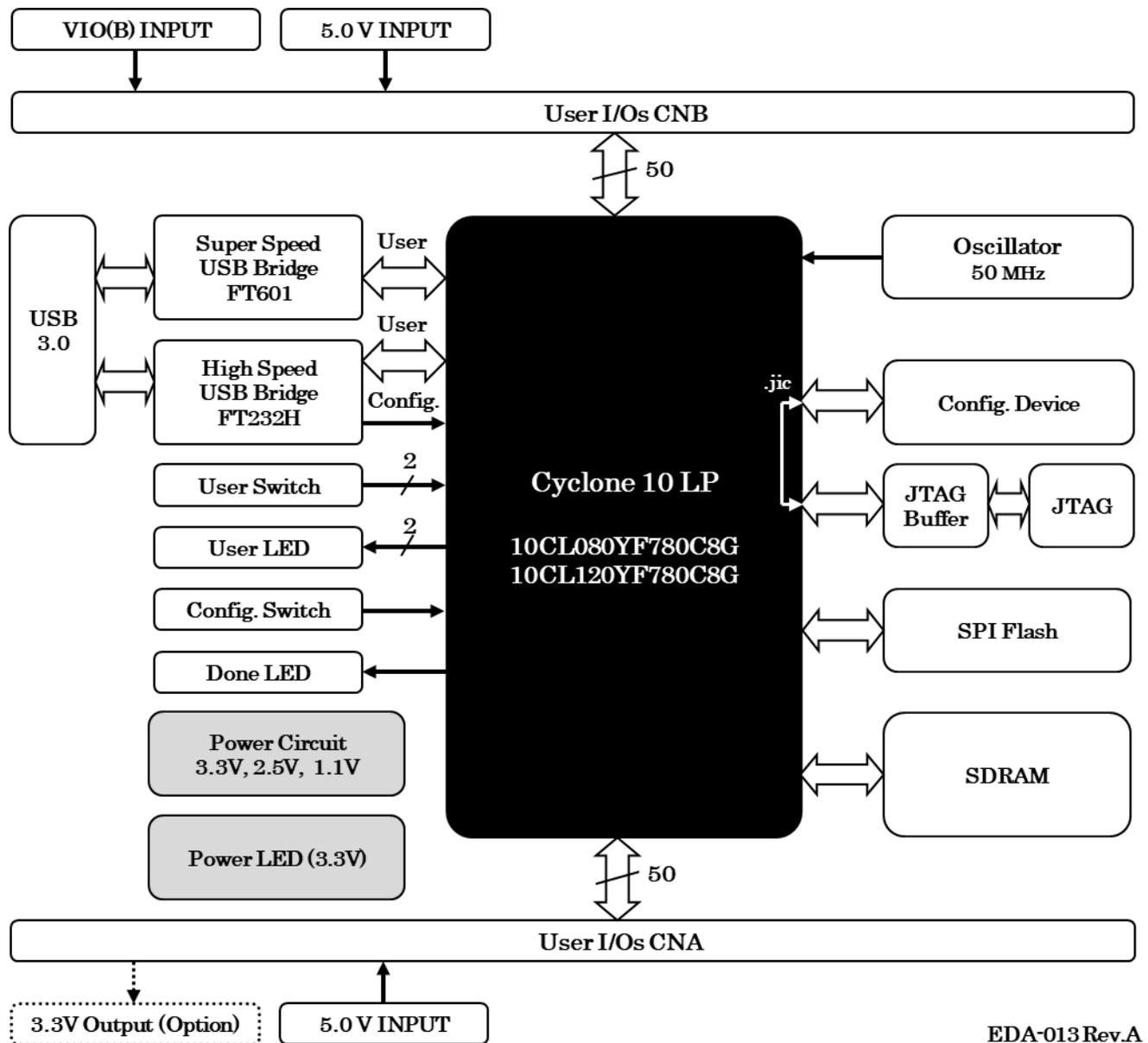


部品面



はんだ面

## 5.2. ブロック図



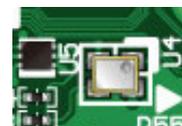
EDA-013 Rev.A

## 5.3. 電源

DC 5.0V 単一電源で動作します。CNA・CNB コネクタの3,4番ピンより、十分な余裕のある電源を供給してください。USB バスパワーは使用できません。

## 5.4. 発振器

オンボードクロックとして 50MHz (U4) を搭載しています。詳しくは回路図をご確認ください。



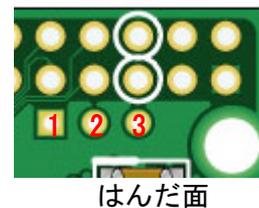
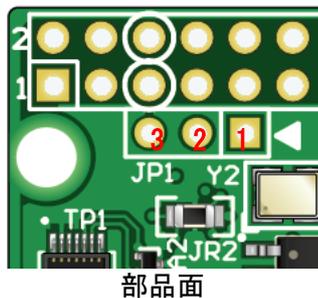
## 5.5. I/O

FPGA の I/O バンクは 2 グループに分けられています。CNA の I/O (IOA\*) は Bank Group A に属しています。I/O 用電源はオンボード 3.3V に固定されています。

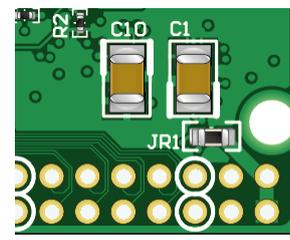
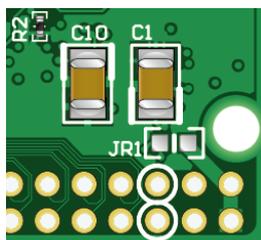
CNB の I/O (IOB\*) は Bank Group B に属しています。I/O 用電源“VIO (B)”は出荷時オンボード 3.3V に接続されていますが、外部入力を使用することも可能です。

| FPGA BANK | Vccio 接続 | Bank Group |
|-----------|----------|------------|
| B1        | V33A     | A          |
| B2        | V33A     | A          |
| B3        | V33A     | A          |
| B4        | V33A     | A          |
| B7        | V33A     | A          |
| B8        | V33A     | A          |
| B5        | VIO (B)  | B          |
| B6        | VIO (B)  | B          |

VIO (B) に CNB 1, 2 番ピンからの外部入力を使用する場合は、JP1 の 2, 3 番ピンをショートし JR2 を取り外してください。



CNA 1, 2 番ピンからオンボード 3.3V を出力することが可能です。使用する場合は JR1 をショートしてください



## 5.6. 設定スイッチ

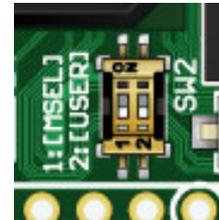
FPGA のコンフィギュレーションモードを変更できます。2 番ピンは汎用用途です。

SW2

| コンフィギュレーションモード | 1    | 2    |
|----------------|------|------|
|                | MSEL | USER |
| PS             | ON   | X    |
| AS             | OFF  | X    |

※ON=Low, X=Don't Care

- PS: JTAG または専用コンフィギュレーションツールを使用する
- AS: コンフィギュレーション ROM を使用して起動する



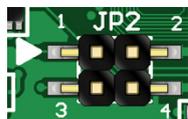
## 5.7. USB コントローラ : FT601

ユーザ通信用に FT601 を搭載しています。FPGA とは 32bit バスで接続されています。

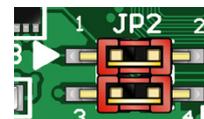
FPGA がコンフィギュレーションされていない状態では、FT232H が優先的に PC に認識されます。コンフィギュレーション後はユーザの任意です。制御信号については下表を参照してください。

| ネットラベル      | FPGA ピン | 機能説明  |
|-------------|---------|---|
| XFT601RESET | B3      | FT601 リセット<br>・ FPGA High/Hi-Z = FT601 リセット状態<br>・ FPGA Low = FT601 アクティブ状態 |
| XUSB2SEL    | B4      | USB2.0 信号切り替え<br>・ FPGA High/Hi-Z = FT232H に接続<br>・ FPGA Low = FT601 に接続    |

FPGA をコンフィギュレーションせずに FT601 を PC に認識させるには JP2 をショートします。通常はオープン状態でご使用ください。



オープン (出荷時設定)



ショート

## 5.8. USB コントローラ : FT232H

FPGA コンフィギュレーション用に FT232H を搭載しています。ユーザ通信用途としても使用可能です。FT601 と同時に使用することはできません。

FPGA がコンフィギュレーションされていない状態では、FT232H が優先的に PC に認識されます。コンフィギュレーション後はユーザの任意です。制御信号については下表を参照してください。

| ネットラベル      | FPGA ピン | 機能説明   |
|-------------|---------|--|
| XFT232RESET | F21     | FT232H リセット<br>・ FPGA High/Hi-Z = FT232H アクティブ状態<br>・ FPGA Low = FT232H リセット状態 |
| XUSB2SEL    | B4      | USB2.0 信号切り替え<br>・ FPGA High/Hi-Z = FT232H に接続<br>・ FPGA Low = FT601 に接続       |

## 6. FPGA コンフィギュレーション

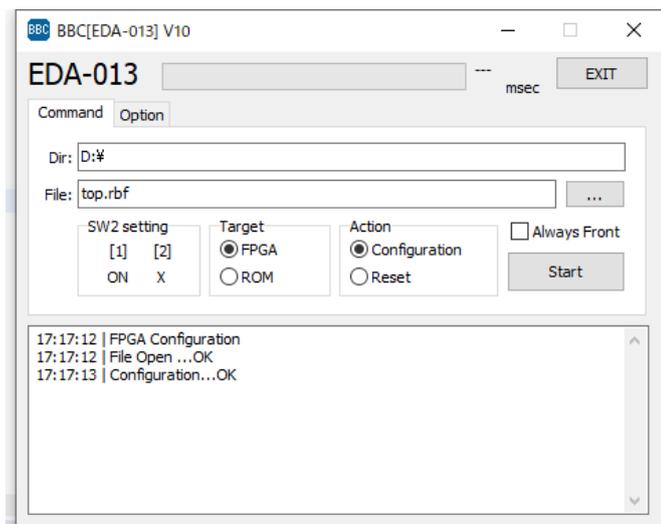
### 6.1. 専用ツールを使用する

BBC[EDA-013]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書込み, 消去

製品サポートページからダウンロードしてご活用ください。

使用時にはコンフィギュレーションモードを PS に設定してください。



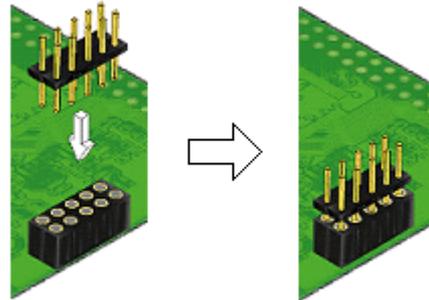
## 6.2. JTAG ダウンロードケーブルを使用する

Intel 社のツール (SignalTap II など) を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

ダウンロードケーブルとの接続には、本体取付けのロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

CN2

| 信号  | ピン番号 |    | 信号  |
|-----|------|----|-----|
| TCK | 1    | 2  | GND |
| TDO | 3    | 4  | VCC |
| TMS | 5    | 6  | -   |
| -   | 7    | 8  | -   |
| TDI | 9    | 10 | GND |



使用例

## 6.3. コンフィギュレーション ROM を使用する

コンフィギュレーションモードを AS とすることで、電源投入時 FPGA はコンフィギュレーション ROM に書込まれた回路データでコンフィギュレーションされます。

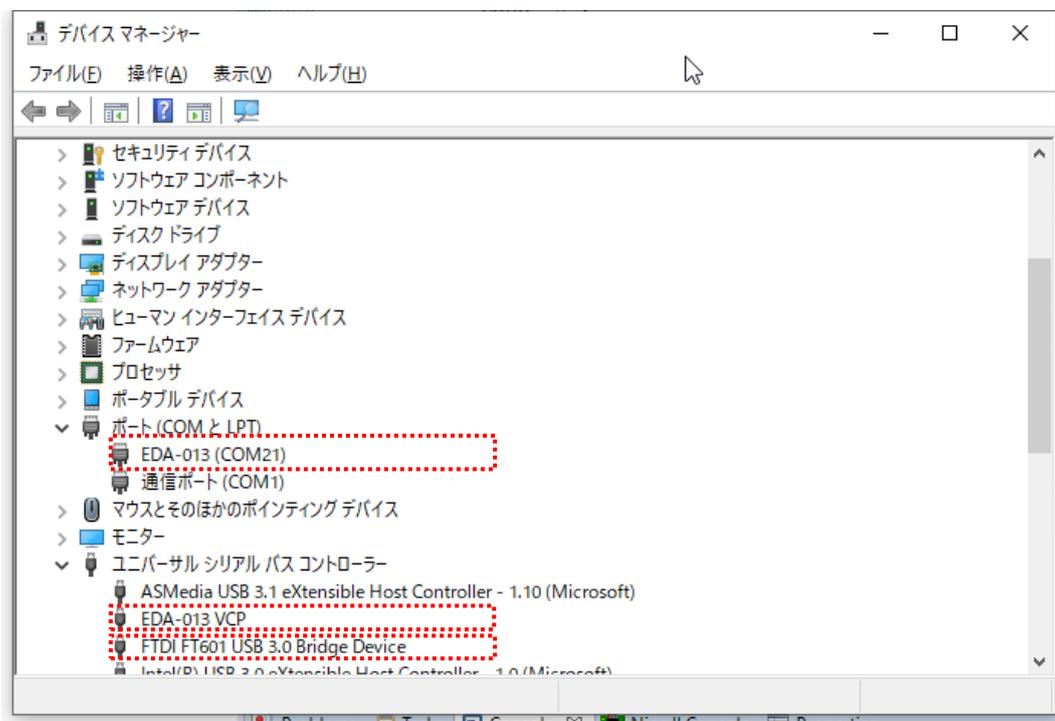
ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

## 7. デバイスドライバ

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。お使いの OS の指示に従いインストールを行ってください。

デバイスドライバファイル、デバイスドライバインストールガイドは製品サポートページにて公開しておりますのでご参照ください。

- FT601 :ユニバーサルシリアルバスコントローラに“FTDI FT601 USB 3.0 Bridge Device”と表示されます。
- FT232H :ユニバーサルシリアルバスコントローラに“EDA-013 VCP”と表示されます。ポート (COM と LPT) に“EDA-013 (COM \*)” と表示されます。  
(COM 番号は環境により異なります)



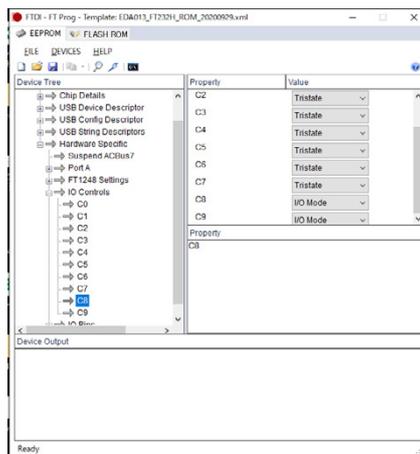
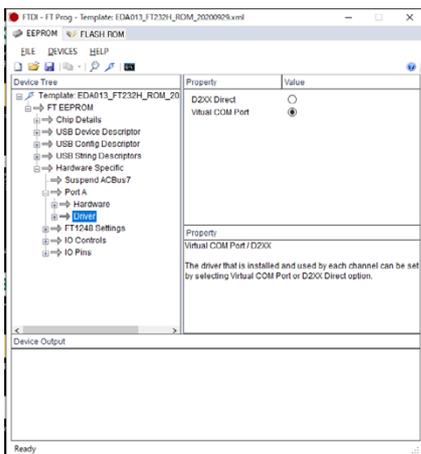
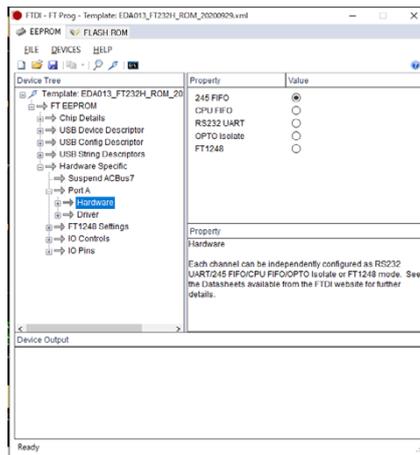
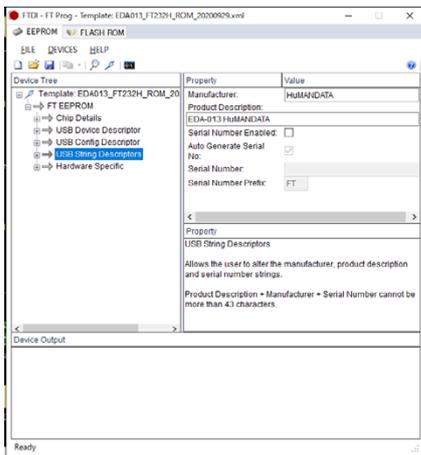
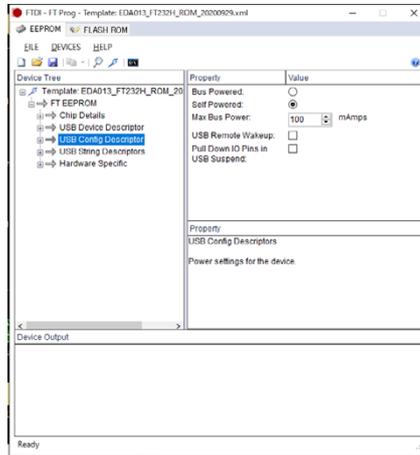
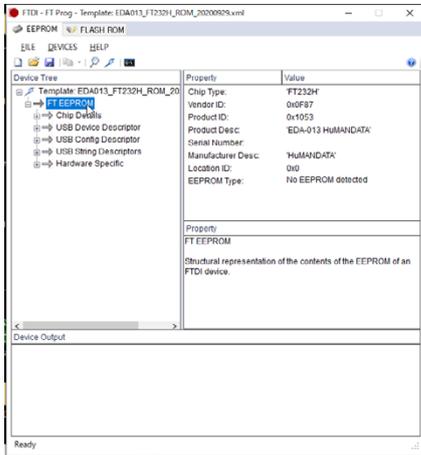
(デバイスドライバでの認識例, Windows10)

FT601 のデバイスドライバ“D3XX”はFTDI 社のダウンロードページから入手してください。

<https://www.ftdichip.com/Drivers/D3XX.htm>

## 8. FT232H EEPROMの初期値（参考）

出荷時には以下のように設定されております。掲載の無い項目は初期設定のままです。



## 9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/EDA-013/index.html>  
[https://www.hdl.co.jp/support\\_c.html](https://www.hdl.co.jp/support_c.html)

- 回路図
- ネットリスト
- ピン割付表
- 外形図
- デバイスドライバ
- デバイスドライバ インストールガイド ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

## 10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

### おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

---

USB3.0 対応 Cyclone 10 LP USB-FPGA ボード

EDA-013 シリーズ  
ユーザーズマニュアル

---

2021/01/26 Ver. 1.0

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積 1-2-10 茨木ビル

TEL : 072-620-2002

FAX : 072-620-2003

URL <https://www.hdl.co.jp/> (Japan)  
<https://www2.hdl.co.jp/en/> (Global)

---