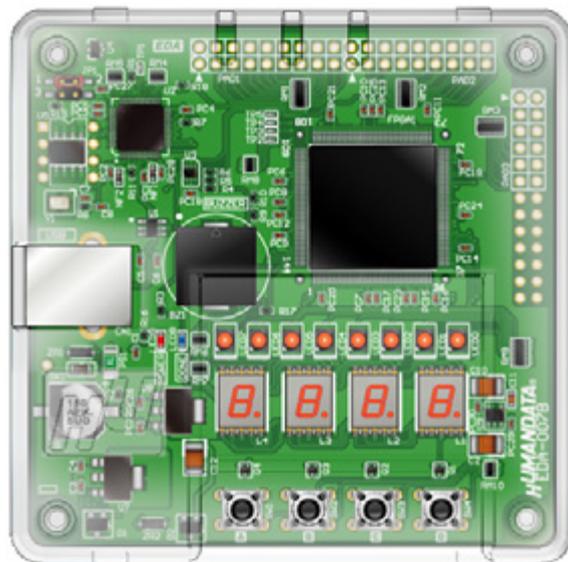


ALTERA 対応 FPGA トレーナ
EDA-007
ユーザーズマニュアル
Ver. 1.1



ヒューマンデータ

目次

1. 開発環境.....	4
2. 製品の内容について.....	4
3. 仕様.....	5
4. 製品説明.....	5
4.1. 各部名称.....	5
4.2. ブロック図.....	6
4.3. 電源.....	6
4.4. オンボードクロック.....	7
4.5. 汎用LED.....	7
4.6. 汎用スイッチ.....	7
4.7. ブザー.....	8
4.8. 7セグメントLED表示器.....	8
4.8.1. ポートをオープンドレイン出力に設定する.....	8
4.8.2. ダイナミック点灯.....	9
4.8.3. セグメントパターン.....	10
4.9. ユーザI/O.....	10
4.10. USBインタフェース.....	11
4.10.1. PCからデータを受信する.....	11
4.10.2. PCへデータを送信する.....	11
5. USBデバイスドライバ.....	12
5.1. インストール.....	12
5.2. 仮想COMポート.....	12
6. FPGAのコンフィギュレーション.....	12
6.1. コンフィギュレーションツール.....	12
6.2. rbfファイルの作成.....	13
7. FPGAピン割付け表.....	14
7.1. オンボードクロック.....	14
7.2. 汎用LED.....	14
7.3. 7セグメントLED.....	14
7.4. 汎用スイッチ.....	14
7.5. ブザー.....	14
7.6. USBインタフェース.....	15
7.7. ユーザI/O.....	15
8. サポートページ.....	16
9. お問い合わせについて.....	16

● はじめに

この度は ALTERA 対応 FPGA トレーナ “EDA-007” をお買い上げいただきまして、誠にありがとうございます。
 ございます。

EDA-007 は、USB インタフェースをもつ PC に接続し、ALTERA 社の開発ソフト (Quartus II) により設計した回路を USB 経由でコンフィギュレーションできる FPGA トレーナです。

USB ケーブルのみで動作しますので、電源装置を用意する必要がありません。
 専用コンフィギュレーションツールにより、USB ケーブルのみで FPGA のコンフィギュレーションを行うことができます。別途ダウンロードケーブルを購入する必要がありません。

USB コントローラには FTDI 社の FT232H を採用しており、仮想 COM ポートドライバにより FPGA とのアプリケーション通信も可能です。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください
	2 水中、高湿度の場所での使用はご遠慮ください
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください
	4 基板表面に他の金属が接触した状態で電源を入れしないでください
	5 定格を越える電源を加えないでください

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください
	13 静電気にご注意ください

● 改訂記録

日付	バージョン	改訂内容
2013/04/02	1.0	・ 初版発行
2014/10/03	1.1	・ 修正：オープンドレイン回路図記述

1. 開発環境

FPGA の内部回路設計には、回路図エディタやHDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

ALTERA 対応 FPGA トレーナ EDA-007	1
付属品	1
ユーザ登録はがき	1

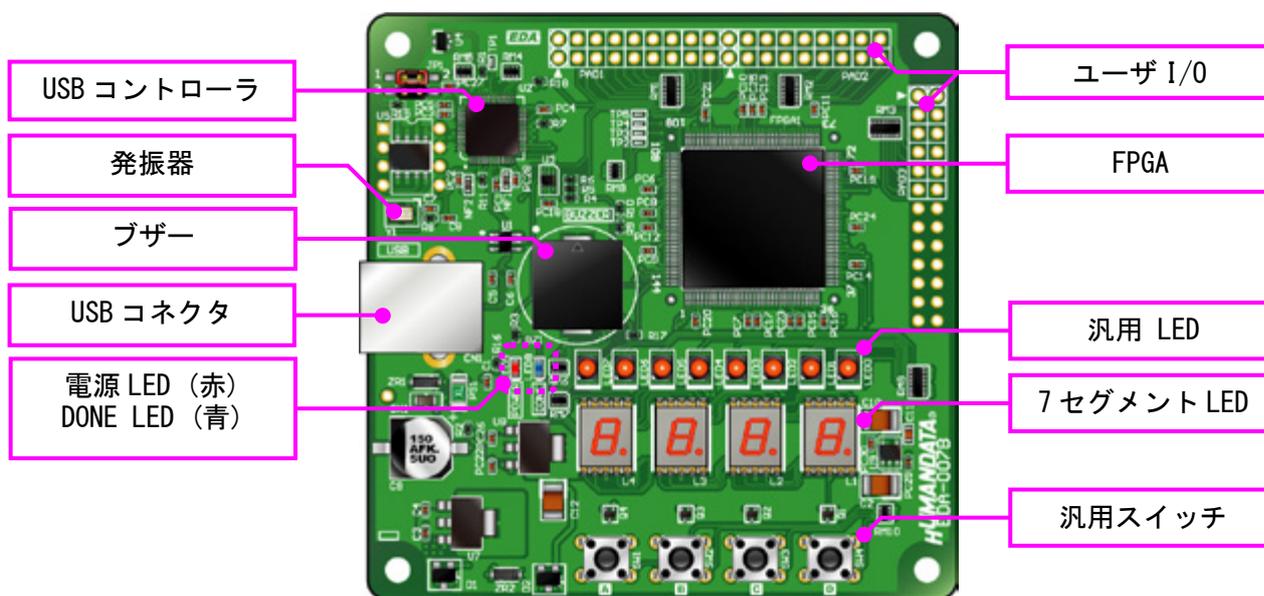
3. 仕様

製品型番	EDA-007
搭載 FPGA	EP4CE6E22C8N
コンフィグ ROM	非搭載
電源	USB バスパワー (DC 5.0[V])
消費電流	約 100mA (USB 認識有り、FPGA 未コンフィギュレーション)
USB コントローラ	FT232H (FTDI, USB2.0 Hi-Speed (480Mbps))
オンボードクロック	12MHz
外形寸法	85 x 85 x 17 [mm] (ケースを含む)
質量	約 73 [g] (ケースを含む)
ユーザ I/O	42 本
汎用スイッチ	4 (押しボタン)
汎用 LED	8 (赤)
7セグメント LED	4 桁 (赤)
圧電ブザー	ピエゾ式 (中心周波数 4kHz)
リセット信号	コンフィグ用リセット信号 (typ. 240ms)
ステータス LED	POWER (赤), DONE (青)
プリント基板	ガラスエポキシ 4 層基板 1.6t
付属品	USB ケーブル (1.8m) x1

*これらの部品や仕様は変更となる場合がございます

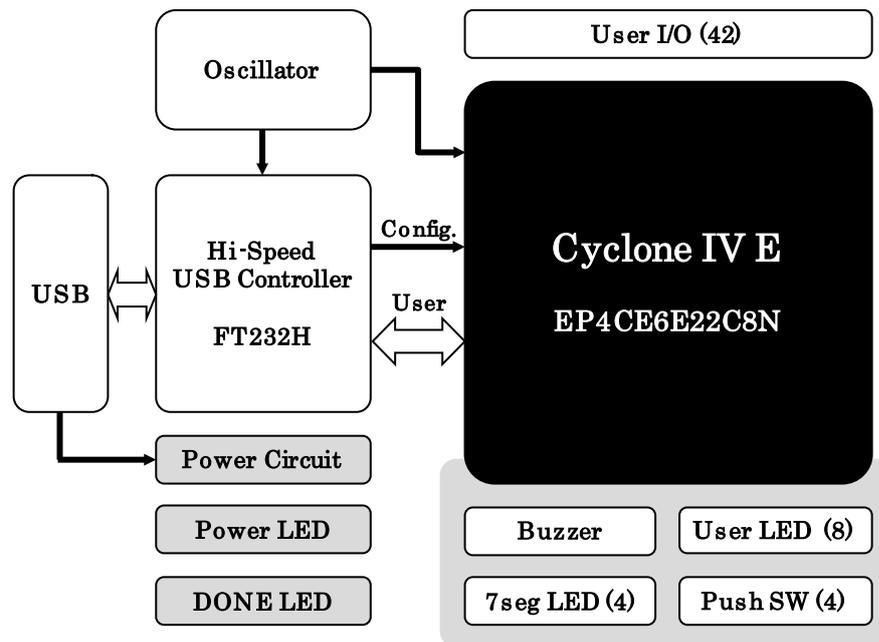
4. 製品説明

4.1. 各部名称



部品面
(はんだ面の部品実装はありません)

4.2. ブロック図



EDA-007 Rev.B

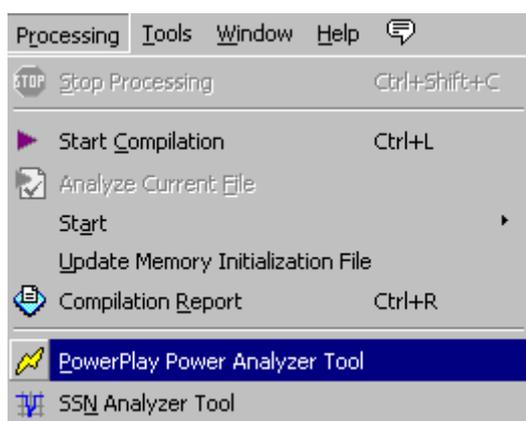
4.3. 電源

電源はUSBから5.0Vが供給されます。別途ボードが必要とする3.3V、2.5V、1.2Vはオンボードのレギュレータにより生成されます。

消費電力にご注意下さい

ボードの消費電力はFPGAの設計に依存します。USBポートからの供給電力には一定の制限があります。設計したデザインとボードの合計消費電力にご注意下さい。

QuartusIIでの電力計算は“Processing” → “PowerPlay Power Analyzer Tool”より行えます。



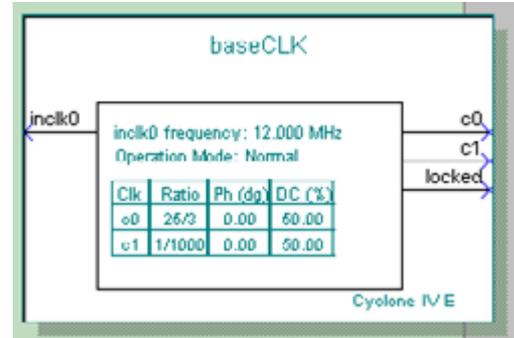
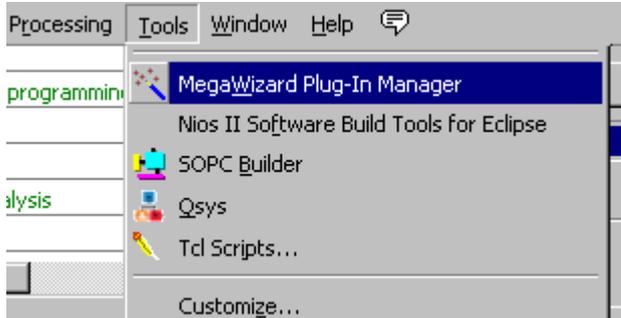
Total Thermal Power Dissipation	98.19 mW
Core Dynamic Thermal Power Dissipation	0.85 mW
Core Static Thermal Power Dissipation	48.35 mW
I/O Thermal Power Dissipation	48.99 mW

(電力計算結果の例)

安定した電源を得るため、セルフパワーのUSBハブをご使用できます

4.4. オンボードクロック

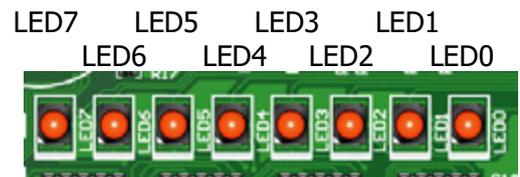
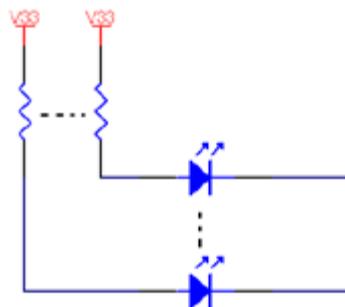
FPGA に 12MHz が供給されています。FPGA 内部で異なる周波数が必要である場合、FPGA 内蔵の PLL を使用することが出来ます。“Tool”→“MegaWizard Plug-In Manager”から生成できます。



(100MHz と 12kHz を生成した例)

4.5. 汎用 LED

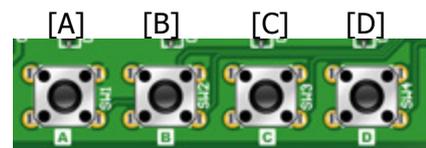
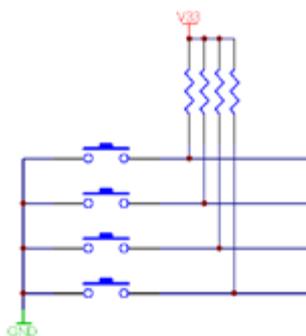
8 つの汎用 LED を搭載しています。アノード側が 3.3V に接続されていますので、FPGA ポートを “Low” 出力とすることで点灯します。



4.6. 汎用スイッチ

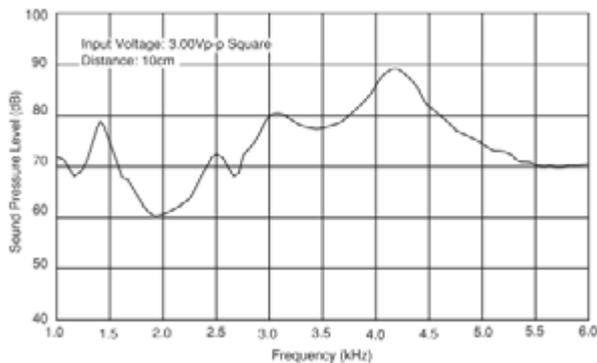
押しボタンを搭載しています。プルアップされていますので、ボタンを押すと “Low” レベルになります。

FPGA ポート出力に設定した状態で操作しないようご注意ください。



4.7. ブザー

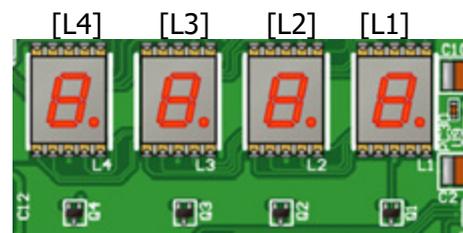
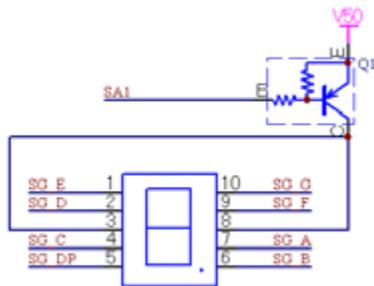
圧電ブザーを搭載しています。1kHz~6kHz の方形波を与えることで鳴らすことができます。



(データシートから引用)

4.8. 7セグメントLED表示器

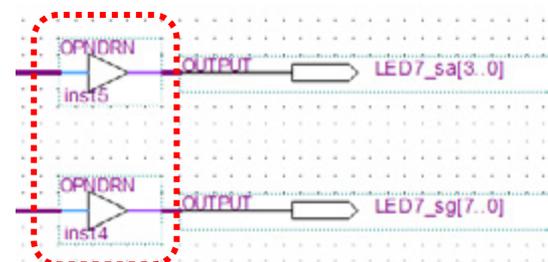
アノードコモン7セグメントLED表示器を搭載しています。アノード側のトランジスタを駆動し、FPGAに接続されたカソードから電流を引き込むことで各セグメントが点灯します。FPGAポートは“オープンドレイン”に設定して制御して下さい。



4.8.1. ポートをオープンドレイン出力に設定する

オープンドレインプリミティブ“OPNDRN”を使用します。下記のうち、どちらかの方法でインスタンス化することができます。

```
<instance_name>: OPNDRN
PORT MAP (
  a_in => <input_wire>,
  a_out => <output_pin>
);
```



VHDL コード

回路図記述

Fitter レポートから、ポートの状況を確認することができます。

Output Pins					
	Name	Pin #	I/O Bank	Slew Rate	Open Drain
1	LED7_sg[7]	54	4	2	yes
2	LED7_sg[6]	52	3	2	yes
3	LED7_sg[5]	53	3	2	yes
4	LED7_sg[4]	51	3	2	yes
5	LED7_sg[3]	55	4	2	yes
6	LED7_sg[2]	59	4	2	yes
7	LED7_sg[1]	60	4	2	yes
8	LED7_sg[0]	58	4	2	yes
9	LED7_sa[3]	67	4	2	yes
10	LED7_sa[2]	66	4	2	yes
11	LED7_sa[1]	65	4	2	yes
12	LED7_sa[0]	64	4	2	yes
13	LED[7]	50	3	2	no

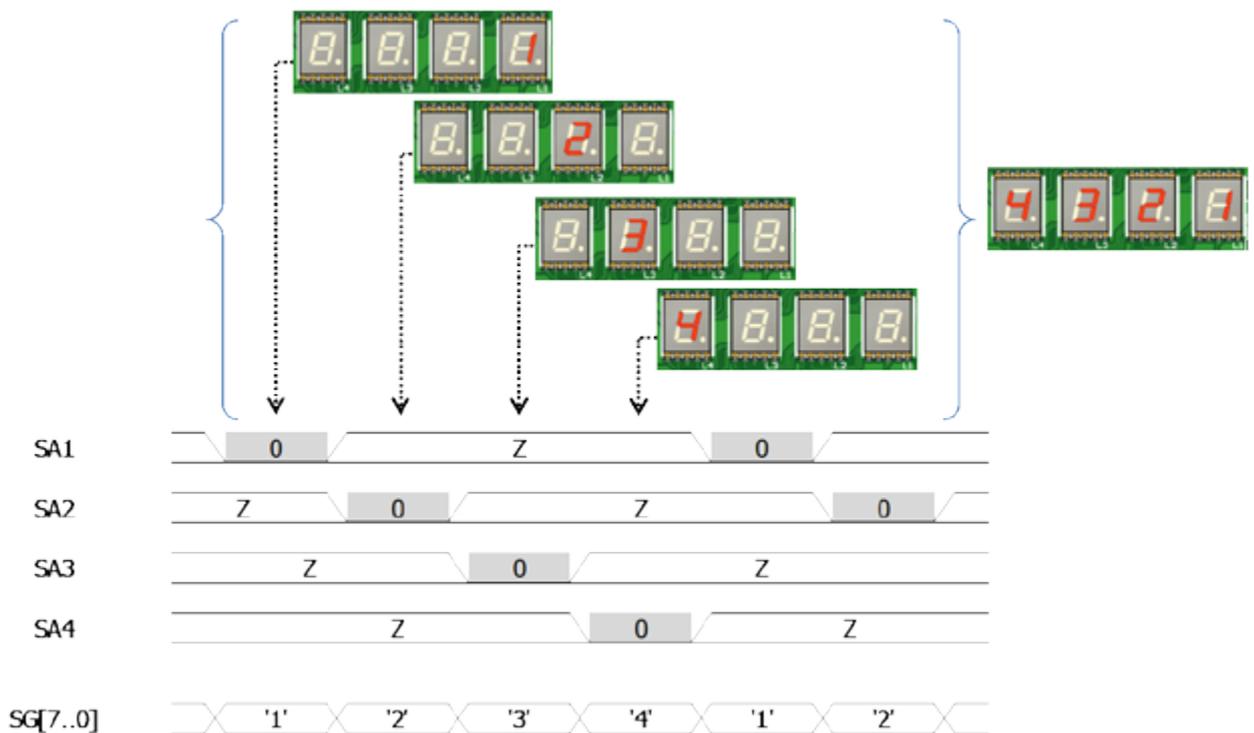
4.8.2. ダイナミック点灯

4桁ある表示器の各セグメントピンは共通となってFPGAに接続されています。コモン(アノード)はトランジスタにより、1桁ずつ選択してドライブします。

4桁それぞれに異なったパターンを表示するには、各桁の表示を数kHzで順番に切り替えて表示する“ダイナミック点灯制御”を行います。

下図は1~4の点灯パターンを表示する場合のタイミング例です。各桁の表示が高速で切り替わることにより、同時に点灯されているように見えます。

複数のLEDモジュールを同時にアクティブにすると電流が過大となりますので、ご注意ください



4.8.3. セグメントパターン

代表的なセグメント点灯パターンを VHDL 文で示します。

```

--Dg fedcba
when B"0011_0000" => output <= "11000000"; --0x30 = 0
when B"0011_0001" => output <= "11111001"; --0x31 = 1
when B"0011_0010" => output <= "10100100"; --0x32 = 2
when B"0011_0011" => output <= "10110000"; --0x33 = 3
when B"0011_0100" => output <= "10011001"; --0x34 = 4
when B"0011_0101" => output <= "10010010"; --0x35 = 5
when B"0011_0110" => output <= "10000010"; --0x36 = 6
when B"0011_0111" => output <= "11111000"; --0x37 = 7
when B"0011_1000" => output <= "10000000"; --0x38 = 8
when B"0011_1001" => output <= "10010000"; --0x39 = 9
when B"0100_0001" => output <= "10001000"; --0x41 = A
when B"0100_0010" => output <= "10000011"; --0x42 = B
when B"0100_0011" => output <= "10100111"; --0x43 = C
when B"0100_0100" => output <= "10100001"; --0x44 = D
when B"0100_0101" => output <= "10000110"; --0x45 = E
when B"0100_0110" => output <= "10001110"; --0x46 = F

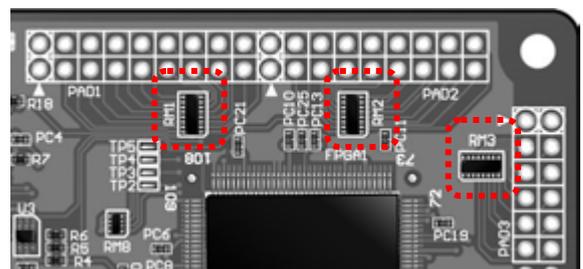
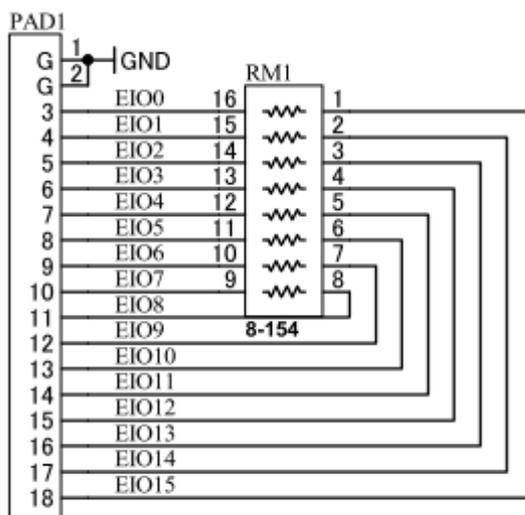
```

4.9. ユーザ I/O

ユーザ I/O には、オンボード部品の制御に使用しない FPGA ピンが接続されています。

これらのピンは 2 ピン 1 組で 150k Ω にて互いに接続されています。(セルフテスト機能) これらの抵抗がユーザの用途に影響を及ぼす場合は、取り外してご使用下さい。

詳しくは回路図をご参照下さい。



ピン割付表は「7.7: ユーザ I/O」をご参照下さい。

4. 10. USB インタフェース

PC との通信に USB コントローラ“FT232H”を使用できます。USB コントローラは FIFO インタフェースで起動するように設定されています。

FIFO モードでのデータ送受信手順を簡単に解説します。詳しいタイミングにつきましては、FT232H のデータシートをご参照下さい。

4. 10. 1. PC からデータを受信する

1. FT232H からの受信データがある場合、RXF#が Low となることにより FPGA に通知されます
2. RD#を立ち下げ、ADBUS[7..0]からデータを取り込みます
3. RD#を立ち上げ、FT232H に受信動作を完了します

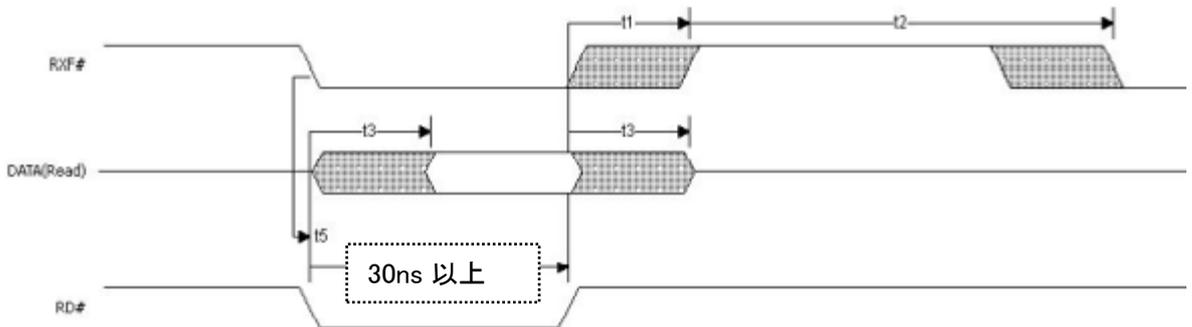


Figure 4.5 FT245 Asynchronous FIFO Interface READ Signal Waveforms

(FTDI 社 FT232H データシートより引用)

4. 10. 2. PC へデータを送信する

1. ADBUS[7..0]に出力するデータをセットします
2. TXE#が Low であることを確認します、High の場合は FT232H への書込が出来ません
3. WR#を立ち下げることによって FT232H にデータが取り込まれます
4. WR#の Low 幅を確保後に WR#を High へ戻し、送信動作を完了します

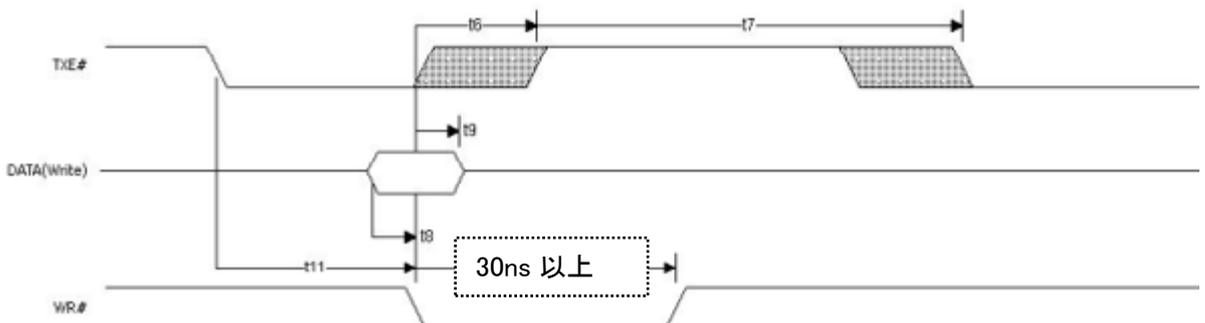


Figure 4.6 FT245 Asynchronous FIFO Interface WRITE Signal Waveforms

(FTDI 社 FT232H データシートより引用)

5. USB デバイスドライバ

USB により、PC との通信や FPGA のコンフィギュレーションが可能です。
初回の接続時にデバイスドライバをインストールする必要があります。

5.1. インストール

EDA-007 を PC に認識させるため、デバイスドライバをインストールする必要があります。初回接続時に、お使いの OS の指示に従いインストールを行ってください。

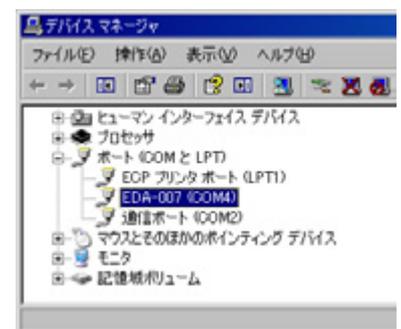
製品サポートページにて、デバイスドライバ インストールガイドを公開しておりますのでご参照ください。

デバイスドライバファイルは、製品サポートページからダウンロード出来ます。

5.2. 仮想 COM ポート

PC に接続された USB コントローラは仮想 COM ポートとして認識されます。ターミナル等により COM ポートを開き通信することが出来ます。

デバイスマネージャにて COM 番号を確認することが出来ます。

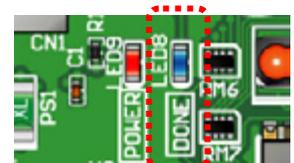


6. FPGA のコンフィギュレーション

USB 経由で FPGA をコンフィギュレーションすることができます。コンフィギュレーションには弊社提供のツール“BBC[EDA-007]”をご利用下さい。

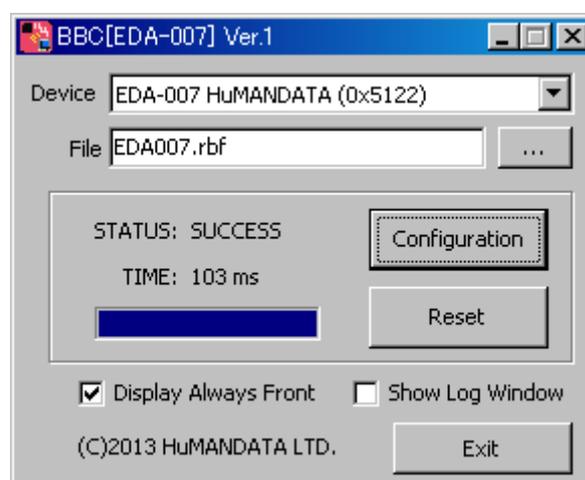
コンフィギュレーションが正常に終了すると、DONE LED (青色) が点灯します。

※JTAG I/F は使用できません



6.1. コンフィギュレーションツール

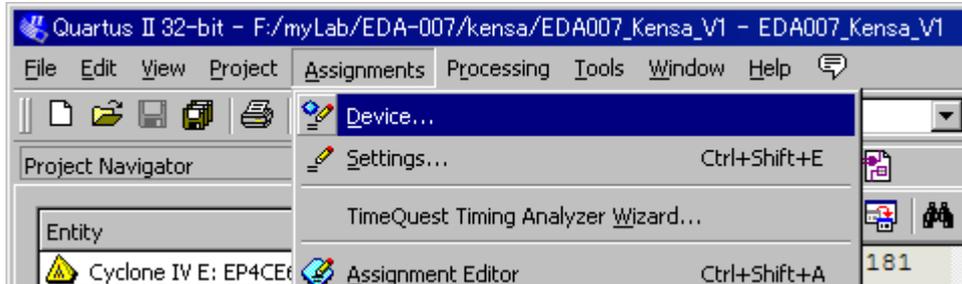
HuMANDATA が提供するソフトウェアをご利用下さい。コンフィギュレーションデータは rbf 形式に対応しています。



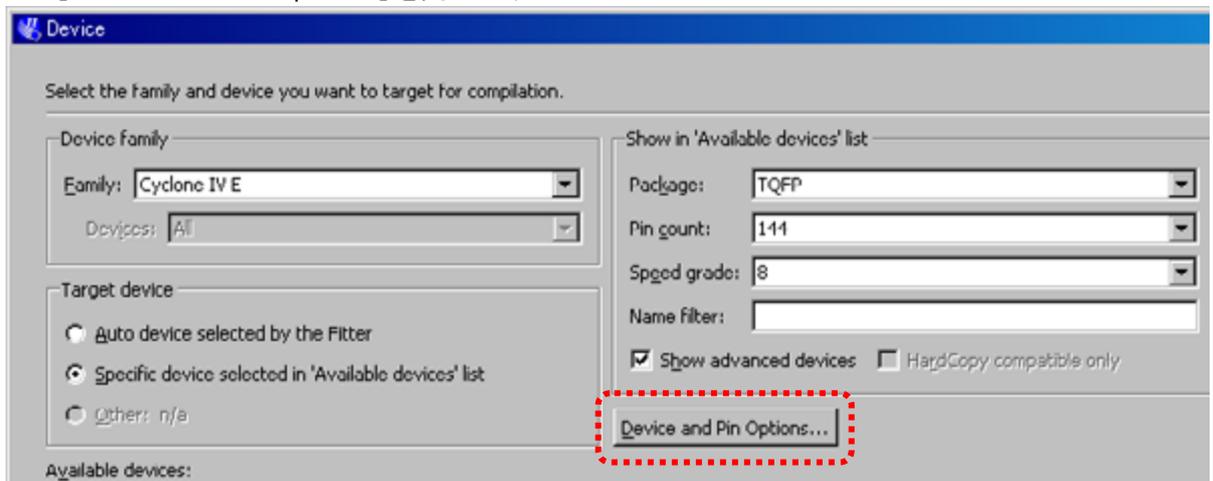
6.2. rbf ファイルの作成

QuartusII で rbf ファイルを生成するように設定をするには、下記を参考にして下さい。
(バージョンが最新でない場合があります)

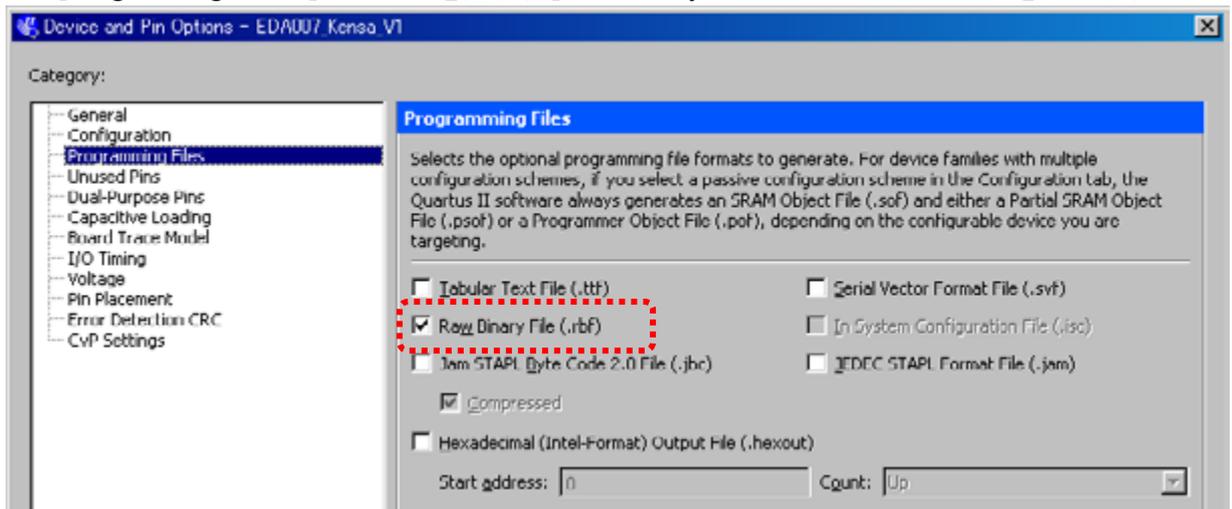
1. [Assignments] -> [Device]をクリックします



2. [Device and Pin Options]を開きます



3. [Programming Files]メニューを選び、[Raw Binary File (.rbf)]にチェックを入れます



7. FPGA ピン割付け表

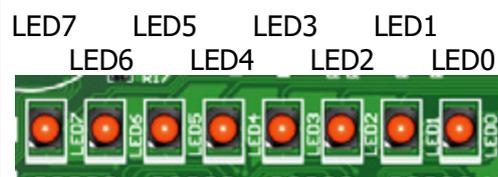
7.1. オンボードクロック

周波数	NET LABEL	FPGA Pin
12MHz	CLK_L	P23
	CLK_R	P89
		P90

7.2. 汎用 LED

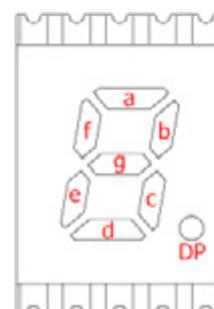
LED	NET LABEL	FPGA Pin
LED0	LED0	P38
LED1	LED1	P39
LED2	LED2	P42
LED3	LED3	P43
LED4	LED4	P44
LED5	LED5	P46
LED6	LED6	P49
LED7	LED7	P50

* Low で点灯します



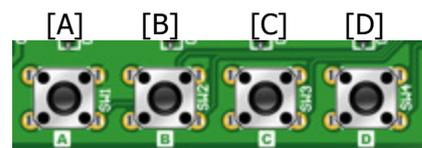
7.3. 7セグメント LED

セグメント	NET LABEL	FPGA Pin
L1 アノード	SA1	P64
L2 アノード	SA2	P65
L3 アノード	SA3	P66
L4 アノード	SA4	P67
a	XSG_A	P58
b	XSG_B	P60
c	XSG_C	P59
d	XSG_D	P55
e	XSG_E	P51
f	XSG_F	P53
g	XSG_G	P52
DP	XSG_DP	P54



7.4. 汎用スイッチ

シルク	NET LABEL	FPGA Pin
SW1	PSW_A	P68
SW2	PSW_B	P69
SW3	PSW_C	P70
SW4	PSW_D	P71



7.5. ブザー

シルク	NET LABEL	FPGA Pin
BZ1	BUZZER	P144

7.6. USB インタフェース

FT232H Pin	NET LABEL	FPGA Pin	234 FIFO モード 機能ピン名
ADBUS0	ADBUS0	P11	D0
ADBUS1	ADBUS1	P13	D1
ADBUS2	ADBUS2	P1	D2
ADBUS3	ADBUS3	P2	D3
ADBUS4	ADBUS4	P3	D4
ADBUS5	ADBUS5	P6	D5
ADBUS6	ADBUS6	P7	D6
ADBUS7	ADBUS7	P8	D7
ACBUS0	ACBUS0	P30	RXF#
ACBUS1	ACBUS1	P31	TXE#
ACBUS2	ACBUS2	P32	RD#
ACBUS3	ACBUS3	P33	WR#
ACBUS4	ACBUS4	P34	SIWU#
ACBUS5	ACBUS5	P28	ACBUS5
		P25	
ACBUS6	ACBUS6	P10	ACBUS6

*その他の機能ピン名につきましては FT232H のデータシートをご参照下さい

7.7. ユーザ I/O

NET LABEL	FPGA Pin	NET LABEL	FPGA Pin
EI00	P143	EI021	P112
EI01	P142	EI022	P111
EI02	P141	EI023	P110
EI03	P138	EI024	P106
EI04	P137	EI025	P105
EI05	P136	EI026	P104
EI06	P135	EI027	P103
EI07	P133	EI028	P101
EI08	P132	EI029	P100
EI09	P129	EI030	P99
EI010	P128	EI031	P98
EI011	P127	EI032	P87
EI012	P126	EI033	P86
EI013	P125	EI034	P85
EI014	P124	EI035	P84
EI015	P121	EI036	P83
EI016	P120	EI037	P80
EI017	P119	EI038	P77
EI018	P115	EI039	P76
EI019	P114	EI040	P75
EI020	P113	EI041	P74

*これらのピンは 2 ピン 1 組で 150kΩ にて互いに接続されています

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。
ソースファイルはサポートページにて公開されております。ご自由に改造し、用途に合ったツールを開発していただけます。

<http://www.hdl.co.jp/ftpdata/EDA-007/index.html>
http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- デバイスドライバ
- デバイスドライバインストールガイド
- コンフィギュレーションツール ... 等

また下記サポートページも合わせてご活用ください。

<http://www3.hdl.co.jp/spc/>

9. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

ALTERA 対応 FPGA トレーナ
EDA-007
ユーザーズマニュアル

2013/04/02 Ver.1.0

2014/10/03 Ver.1.1

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL : 072-620-2002

FAX : 072-620-2003

URL : <http://www.hdl.co.jp/>
