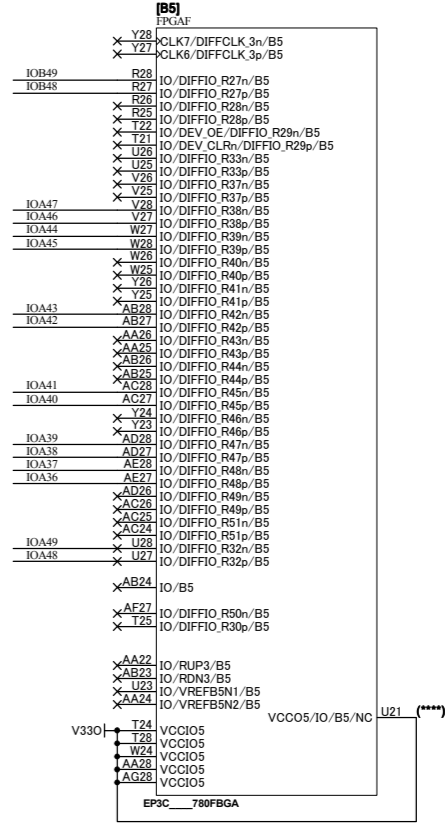
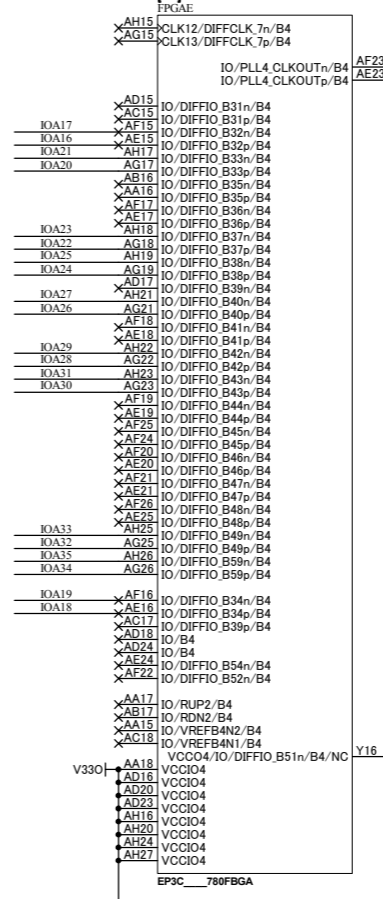
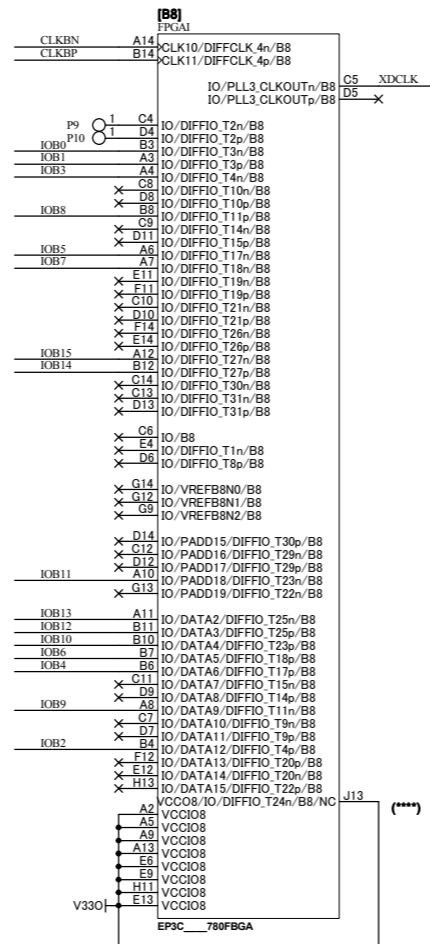
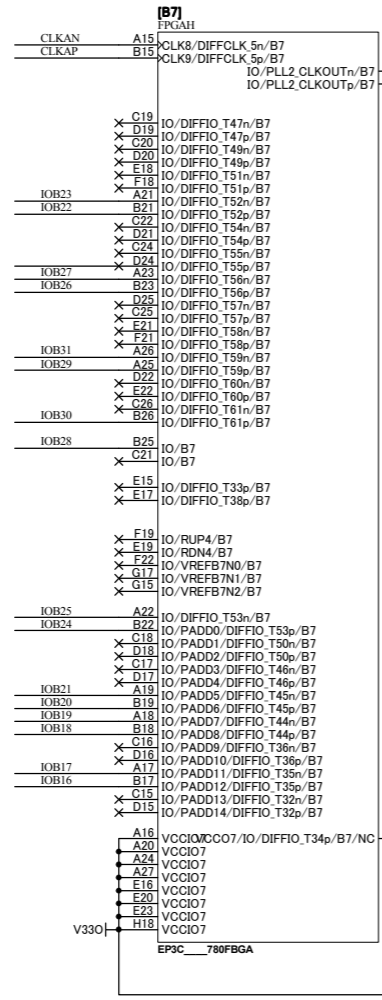


EDA004R2-SCH-C.pdf

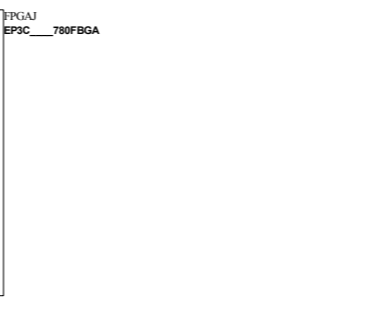
		HuMANDATA LTD. OSAKA JAPAN <a href="http://www.hdl.co.jp/en/(Global)">www.hdl.co.jp/en/(Global)</a> <a href="http://www.hdl.co.jp/(Japan)">www.hdl.co.jp/(Japan)</a>		Altera Cyclone III F780 USB-FPGA board Rev.2	
Date:	10-May-2011	13:34:54	File:	FPGA1.sch	Sheet 3 of 4

V18  
V10  
V330  
GND

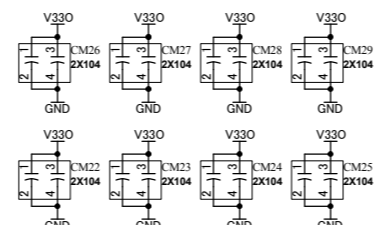
IOA[0..49]  
IOB[0..49]  
CLKAP  
CLKAN  
CLKBP  
CLKBN  
XDCLK



R21	X	IO/DIFFIO_R21n/B1/NC	IO/DIFFIO_T21p/B8
R22	X	IO/DIFFIO_R22n/B1/NC	IO/DIFFIO_T22p/B8
R23	X	IO/DIFFIO_R23n/B1/NC	IO/DIFFIO_T23p/B8
R24	X	IO/DIFFIO_R24n/B1/NC	IO/DIFFIO_T24p/B8
R25	X	IO/DIFFIO_R25n/B1/NC	IO/DIFFIO_T25p/B8
R26	X	IO/DIFFIO_R26n/B1/NC	IO/DIFFIO_T26p/B8
R27	X	IO/DIFFIO_R27n/B1/NC	IO/DIFFIO_T27p/B8
R28	X	IO/DIFFIO_R28n/B1/NC	IO/DIFFIO_T28p/B8
R29	X	IO/DIFFIO_R29n/B1/NC	IO/DIFFIO_T29p/B8
R30	X	IO/DIFFIO_R30n/B1/NC	IO/DIFFIO_T30p/B8
R31	X	IO/DIFFIO_R31n/B1/NC	IO/DIFFIO_T31p/B8
R32	X	IO/DIFFIO_R32n/B1/NC	IO/DIFFIO_T32p/B8
R33	X	IO/DIFFIO_R33n/B1/NC	IO/DIFFIO_T33p/B8
R34	X	IO/DIFFIO_R34n/B1/NC	IO/DIFFIO_T34p/B8
R35	X	IO/DIFFIO_R35n/B1/NC	IO/DIFFIO_T35p/B8
R36	X	IO/DIFFIO_R36n/B1/NC	IO/DIFFIO_T36p/B8
R37	X	IO/DIFFIO_R37n/B1/NC	IO/DIFFIO_T37p/B8
R38	X	IO/DIFFIO_R38n/B1/NC	IO/DIFFIO_T38p/B8
R39	X	IO/DIFFIO_R39n/B1/NC	IO/DIFFIO_T39p/B8
R40	X	IO/DIFFIO_R40n/B1/NC	IO/DIFFIO_T40p/B8
R41	X	IO/DIFFIO_R41n/B1/NC	IO/DIFFIO_T41p/B8
R42	X	IO/DIFFIO_R42n/B1/NC	IO/DIFFIO_T42p/B8
R43	X	IO/DIFFIO_R43n/B1/NC	IO/DIFFIO_T43p/B8
R44	X	IO/DIFFIO_R44n/B1/NC	IO/DIFFIO_T44p/B8
R45	X	IO/DIFFIO_R45n/B1/NC	IO/DIFFIO_T45p/B8
R46	X	IO/DIFFIO_R46n/B1/NC	IO/DIFFIO_T46p/B8
R47	X	IO/DIFFIO_R47n/B1/NC	IO/DIFFIO_T47p/B8
R48	X	IO/DIFFIO_R48n/B1/NC	IO/DIFFIO_T48p/B8
R49	X	IO/DIFFIO_R49n/B1/NC	IO/DIFFIO_T49p/B8
R50	X	IO/DIFFIO_R50n/B1/NC	IO/DIFFIO_T50p/B8
R51	X	IO/DIFFIO_R51n/B1/NC	IO/DIFFIO_T51p/B8
R52	X	IO/DIFFIO_R52n/B1/NC	IO/DIFFIO_T52p/B8
R53	X	IO/DIFFIO_R53n/B1/NC	IO/DIFFIO_T53p/B8
R54	X	IO/DIFFIO_R54n/B1/NC	IO/DIFFIO_T54p/B8
R55	X	IO/DIFFIO_R55n/B1/NC	IO/DIFFIO_T55p/B8
R56	X	IO/DIFFIO_R56n/B1/NC	IO/DIFFIO_T56p/B8
R57	X	IO/DIFFIO_R57n/B1/NC	IO/DIFFIO_T57p/B8
R58	X	IO/DIFFIO_R58n/B1/NC	IO/DIFFIO_T58p/B8
R59	X	IO/DIFFIO_R59n/B1/NC	IO/DIFFIO_T59p/B8
R60	X	IO/DIFFIO_R60n/B1/NC	IO/DIFFIO_T60p/B8
R61	X	IO/DIFFIO_R61n/B1/NC	IO/DIFFIO_T61p/B8
R62	X	IO/DIFFIO_R62n/B1/NC	IO/DIFFIO_T62p/B8
R63	X	IO/DIFFIO_R63n/B1/NC	IO/DIFFIO_T63p/B8
R64	X	IO/DIFFIO_R64n/B1/NC	IO/DIFFIO_T64p/B8
R65	X	IO/DIFFIO_R65n/B1/NC	IO/DIFFIO_T65p/B8
R66	X	IO/DIFFIO_R66n/B1/NC	IO/DIFFIO_T66p/B8
R67	X	IO/DIFFIO_R67n/B1/NC	IO/DIFFIO_T67p/B8
R68	X	IO/DIFFIO_R68n/B1/NC	IO/DIFFIO_T68p/B8
R69	X	IO/DIFFIO_R69n/B1/NC	IO/DIFFIO_T69p/B8
R70	X	IO/DIFFIO_R70n/B1/NC	IO/DIFFIO_T70p/B8
R71	X	IO/DIFFIO_R71n/B1/NC	IO/DIFFIO_T71p/B8
R72	X	IO/DIFFIO_R72n/B1/NC	IO/DIFFIO_T72p/B8
R73	X	IO/DIFFIO_R73n/B1/NC	IO/DIFFIO_T73p/B8
R74	X	IO/DIFFIO_R74n/B1/NC	IO/DIFFIO_T74p/B8
R75	X	IO/DIFFIO_R75n/B1/NC	IO/DIFFIO_T75p/B8
R76	X	IO/DIFFIO_R76n/B1/NC	IO/DIFFIO_T76p/B8
R77	X	IO/DIFFIO_R77n/B1/NC	IO/DIFFIO_T77p/B8
R78	X	IO/DIFFIO_R78n/B1/NC	IO/DIFFIO_T78p/B8
R79	X	IO/DIFFIO_R79n/B1/NC	IO/DIFFIO_T79p/B8
R80	X	IO/DIFFIO_R80n/B1/NC	IO/DIFFIO_T80p/B8
R81	X	IO/DIFFIO_R81n/B1/NC	IO/DIFFIO_T81p/B8
R82	X	IO/DIFFIO_R82n/B1/NC	IO/DIFFIO_T82p/B8
R83	X	IO/DIFFIO_R83n/B1/NC	IO/DIFFIO_T83p/B8
R84	X	IO/DIFFIO_R84n/B1/NC	IO/DIFFIO_T84p/B8
R85	X	IO/DIFFIO_R85n/B1/NC	IO/DIFFIO_T85p/B8
R86	X	IO/DIFFIO_R86n/B1/NC	IO/DIFFIO_T86p/B8
R87	X	IO/DIFFIO_R87n/B1/NC	IO/DIFFIO_T87p/B8
R88	X	IO/DIFFIO_R88n/B1/NC	IO/DIFFIO_T88p/B8
R89	X	IO/DIFFIO_R89n/B1/NC	IO/DIFFIO_T89p/B8
R90	X	IO/DIFFIO_R90n/B1/NC	IO/DIFFIO_T90p/B8
R91	X	IO/DIFFIO_R91n/B1/NC	IO/DIFFIO_T91p/B8
R92	X	IO/DIFFIO_R92n/B1/NC	IO/DIFFIO_T92p/B8
R93	X	IO/DIFFIO_R93n/B1/NC	IO/DIFFIO_T93p/B8
R94	X	IO/DIFFIO_R94n/B1/NC	IO/DIFFIO_T94p/B8
R95	X	IO/DIFFIO_R95n/B1/NC	IO/DIFFIO_T95p/B8
R96	X	IO/DIFFIO_R96n/B1/NC	IO/DIFFIO_T96p/B8
R97	X	IO/DIFFIO_R97n/B1/NC	IO/DIFFIO_T97p/B8
R98	X	IO/DIFFIO_R98n/B1/NC	IO/DIFFIO_T98p/B8
R99	X	IO/DIFFIO_R99n/B1/NC	IO/DIFFIO_T99p/B8
R100	X	IO/DIFFIO_R100n/B1/NC	IO/DIFFIO_T100p/B8



(\*\*\*\*) These pins are connected to VCCIO. You need to set them as INPUT.



HUMAN DATA LTD.  
OSAKA JAPAN  
www.hdl.co.jp/en/(Global)  
www.hdl.co.jp/(Japan)

EDA004R2-SCH-C.pdf

Altera Cyclone III F780 USB-FPGA board Rev.2

DOC. No. EDA-004

Date: 10-May-2011 13:34:54

File: FPGA2.sch

Sheet 4 of 4

C