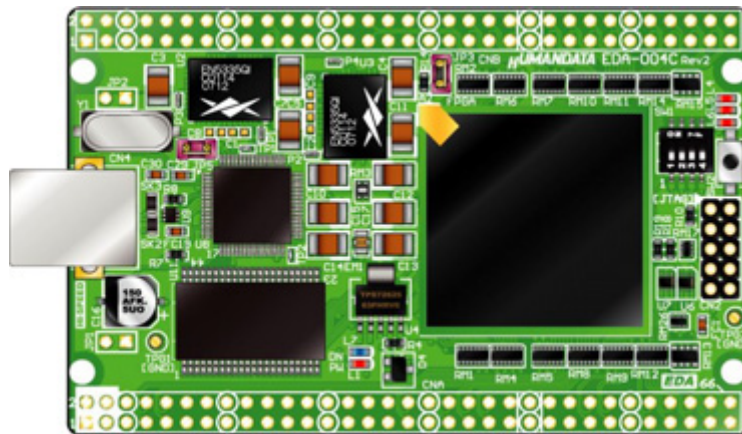


CycloneIII USB-FPGA ボード
EDA-004 (Rev2)
ユーザーズマニュアル
Ver. 2.1



目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 製品説明.....	4
4.1. 各部名称.....	4
4.2. ブロック図.....	5
4.3. 電源.....	5
4.4. クロック.....	6
4.5. 設定スイッチ (SW1).....	6
4.6. FT2232H リセット用ジャンパ (JP3).....	6
4.7. FT2232H EEPROM アクセス用ジャンパ (JP5).....	6
5. USB ドライバ.....	7
5.1. インストール.....	7
5.2. アンインストール.....	8
6. FPGA コンフィギュレーション.....	9
6.1. USB コンフィギュレーション.....	9
6.2. RBF ファイルの作成方法.....	10
6.3. JTAG コンフィギュレーション.....	11
7. FT2232H 用 EEPROM の初期値 (参考).....	12
8. FPGA ピン割付け表.....	13
8.1. ユーザ I/O (CNA).....	13
8.2. ユーザ I/O (CNB).....	14
8.3. オンボードクロック.....	15
8.4. 外部入力クロック.....	15
8.5. 内部接続.....	15
8.6. 汎用スイッチ.....	15
8.7. 汎用 LED.....	15
8.8. USB インタフェース.....	16
8.9. MRAM (U11).....	17
9. サポートページ.....	18
10. 付属資料.....	18

● はじめに

この度はUSB-FPGA ボードEDA-004 をお買い上げいただきまして、誠にありがとうございます。
EDA-004 は、ALTERA 社の高性能 FPGA CycloneIII を用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路、MRAMなどを装備した使いやすいボードになっています。


USB インタフェースには FTDI 社の FT2232H を採用しており、チャンネル A をアプリケーション通信用に使用できます。通信は仮想 COM ポートドライバにより行うことができます。


チャンネル B は FPGA コンフィギュレーション用に割り当てられており、専用コンフィギュレーションアプリにより FPGA コンフィギュレーション、EPCS プログラムが行えます。

ALTERA 社のプログラム用アプリケーションが不要なため、検査治具などにも便利にご利用いただけます。

どうぞご活用下さい。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2009/12/16	1.0	・ 初版発行
2011/08/23	2.0	・ 製品リビジョン Rev2 に改良(基板リビジョン B→C)
2014/10/7	2.1	・ 3. 仕様 を編集

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

デバイスドライバやコンフィギュレーションソフトは製品サポートページよりダウンロードして頂けます。(9章. サポートページご参照)

USB-FPGA ボード EDA-004	1
付属品	1
マニュアル(本書)	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、ALTERA 社が配布する Quartus II がご使用頂けます。

本マニュアルは QuartusII Ver. 10.1 を元に作成しています。

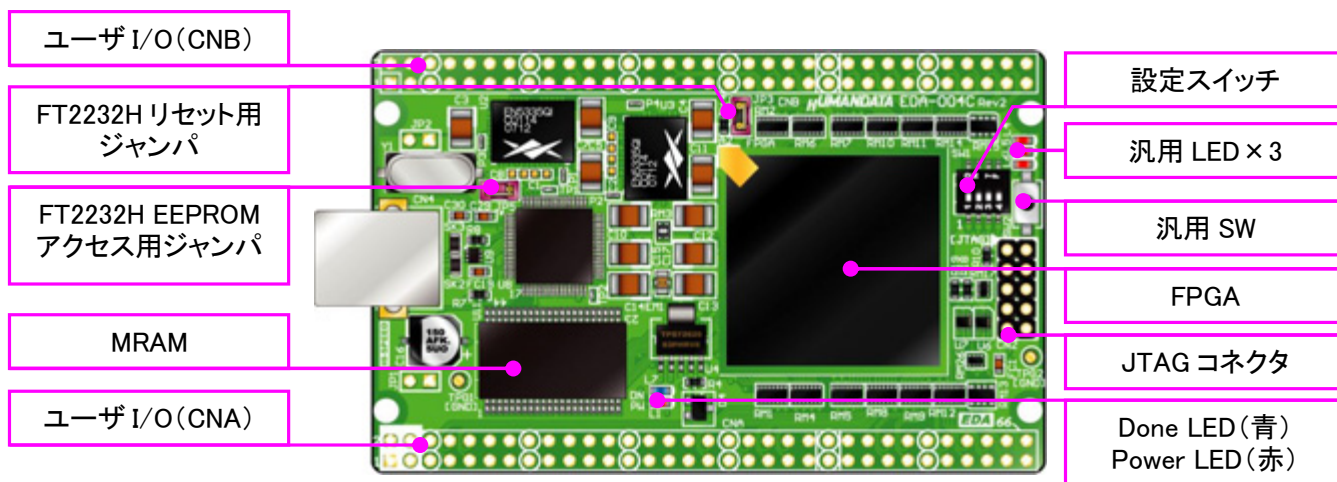
3. 仕様

製品型番	EDA-004
搭載 FPGA	EP3C55F780C8N
USB インタフェース	FT2232H (FTDI, チャンネル A をユーザ通信に使用可)
電源	DC 5.0 [V] (セルフパワー)
消費電流	N/A (詳細は FPGA データシートご参照)
コンフィグ ROM	EPCS16SI8N (ALTERA, 16Mbit)
MRAM	MR2A16AYS35 (EverSpin, 4Mbit)
基板寸法	86 x 54 [mm] (コネクタ含まず)
質量	約 35 [g]
ユーザ I/O	100 本
汎用スイッチ	1
汎用 LED	3
I/O コネクタ	66 ピンスルーホール 公称 0.9[mmφ] x2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 6 層基板 1.6t
オンボードクロック	50MHz (外部供給可能)
コンフィグ用リセット回路	内蔵 (140ms min.)
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ
ステータス LED	2 個: POWER (赤), DONE (青)
付属品	DIL10 ロングピンヘッダ x1
	DIL80 ピンヘッダ(任意にカット可能) x2
	USB ケーブル(1.8m)

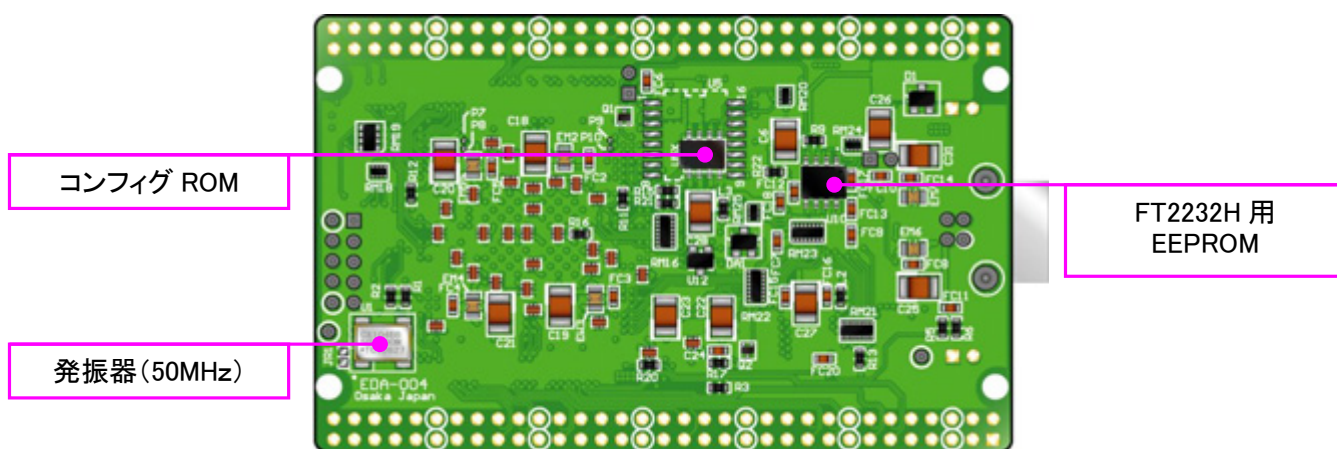
*これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部名称

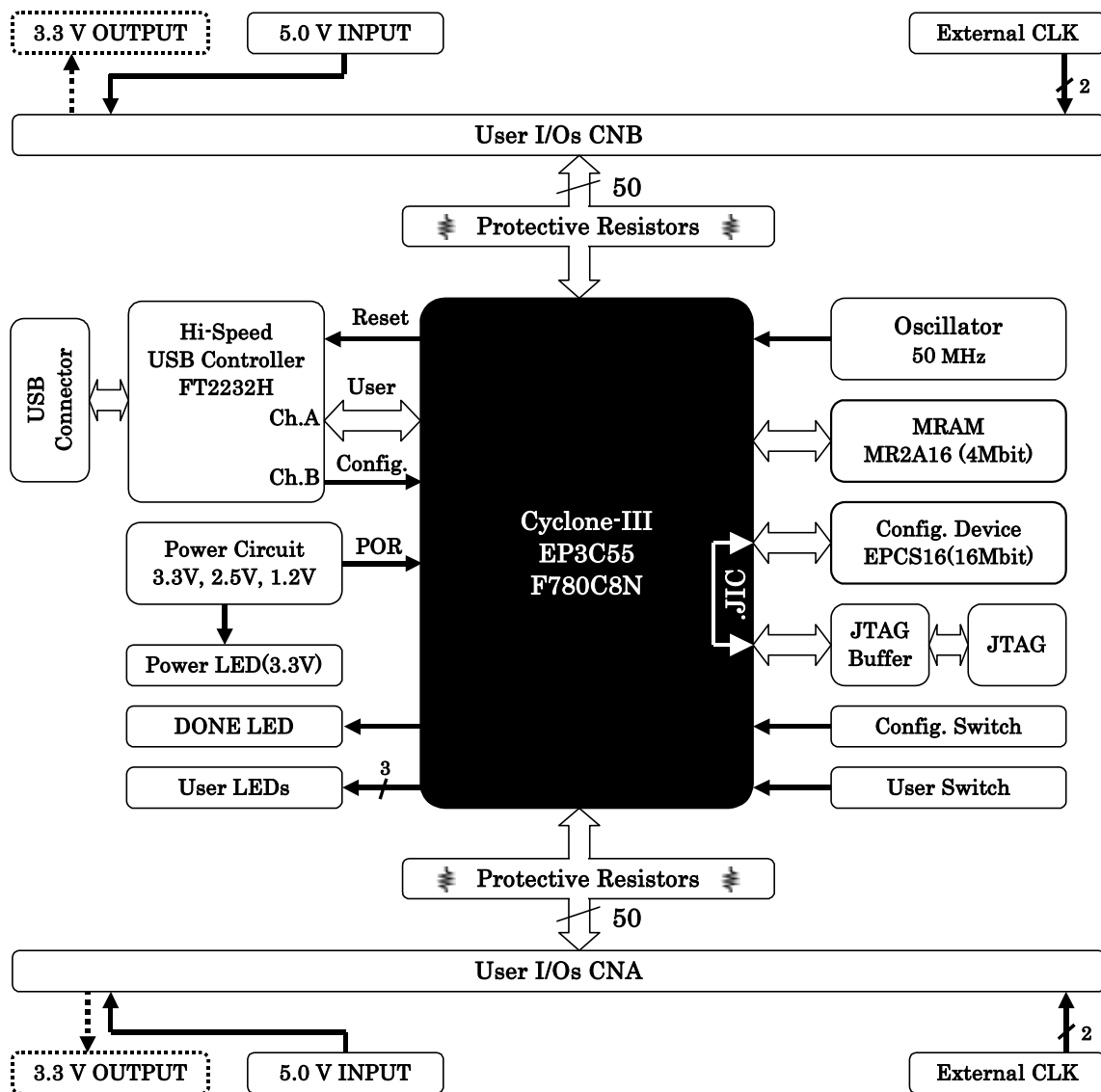


部品面



はんだ面

4.2. ブロック図



4.3. 電源

電源はCNA, CNBより5.0Vを供給してください。外部から供給する5.0V電源は充分安定して、充分な余裕のあるものをご用意ください。立ち上がりは単調増加である必要があります。

注意

USBバスパワーではご使用になれませんのでご注意ください

内部で必要になる3.3V、2.5V、1.2Vはオンボードレギュレータにより生成されます。詳しくはFPGAのデータシートや回路図などを参照してください。

4.4. クロック

FT2232H へはクリスタルより 12MHz を、FPGA へは発振器より 50MHz を供給しています。外部クロックを CNA, CNB を介して供給することが可能です。
詳しくは回路図、ピン割付け表をご参照ください。

4.5. 設定スイッチ (SW1)

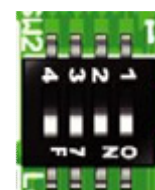
SW1 により FPGA のコンフィギュレーションモードを設定できます。主に使用する設定を下表に示します。その他の設定項目については FPGA のデータシートをご参照ください。
ON で Low に固定されます。

SW1

	1	2	3	4
NET LABEL	MSEL3	MSEL2	MSEL1	MSEL0
出荷時設定	ON	ON	ON	ON
機能	コンフィギュレーションモード設定			

モード	MSEL3	MSEL2	MSEL1	MSEL0
AS	OFF	OFF	ON	OFF
PS	ON	ON	ON	ON
JTAG	X	X	X	X

X : Don't Care



AS モードは EPCS メモリから FPGA をコンフィギュレーションする際に設定します。
FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。コンフィグ ROM には十分に検査した、安全性のあるデータを書き込むようにしてください。

PS モードは USB から FPGA をコンフィギュレーションする際に使用します。専用コンフィギュレーションアプリ”BBC[EDA-004]”をご利用ください。詳しくは「章6.1」をご参照ください。

4.6. FT2232H リセット用ジャンパ (JP3)

FT2232H のリセット信号を FPGA より制御します。FPGA が未コンフィギュレーション時には、FT2232H は非アクティブになります。

専用コンフィギュレーションアプリから FPGA をコンフィギュレーションする際は JP3 をオープンとしてください。

4.7. FT2232H EEPROM アクセス用ジャンパ (JP5)

FT2232H 用 EEPROM を接続しているジャンパです。FT2232H を FTDI デフォルトのディスクリプションで起動する場合はオープンとしてください。

EEPROM の初期設定につきましては「7章. FT2232H 用 EEPROM の初期値 (参考)」をご参照ください。

5. USB ドライバ

5.1. インストール

FPGA へのコンフィギュレーションと USB ユーザ通信を行うには、FTDI 社の提供するドライバを PC にインストールする必要があります。

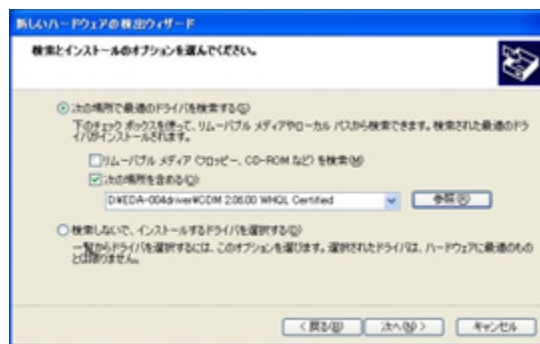
ご案内

ドライバファイルはサポートページにてダウンロードできます
詳しくは9章. サポートページをご参照ください

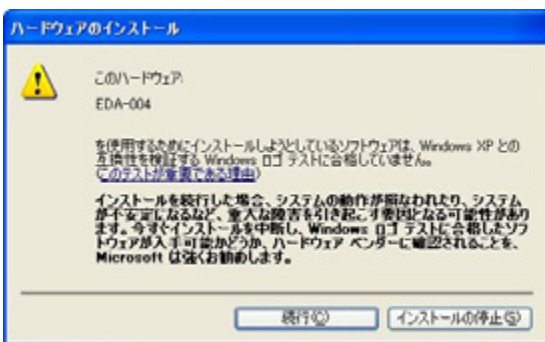
本章で説明するインストール作業が完了後、USB からの FPGA コンフィギュレーションが可能になります。次の手順に従ってインストール作業を完了してください。



1. 「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください



2. ドライバフォルダを指定し「次へ」をクリックしてください



3. 警告が表示されますが「続行」をクリックしてください



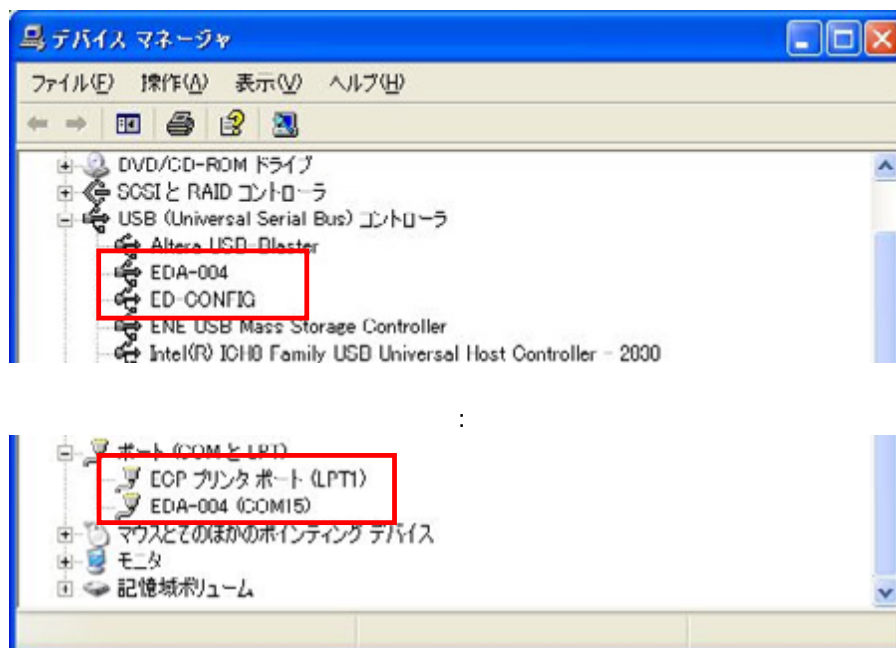
4. 「完了」をクリックしてください

5. ED-CONFIG / USB Serial Port が続けて認識されます、同様の手順を繰り返してください

以上の手順を完了後、デバイスマネージャ（※）で確認すると下図のようにになっているはずですが、COM ポート番号はお客様の環境により異なります。COM ポート番号を確認するためにも一度ご確認を御願います。

※デバイスマネージャは下記の方法で起動することができます。

- マイコンピュータのプロパティから、ハードウェアタブ、デバイスマネージャのボタンをクリック
- マイコンピュータの管理から、デバイスマネージャをクリック

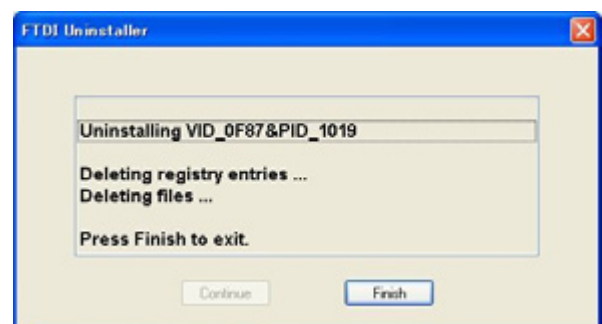
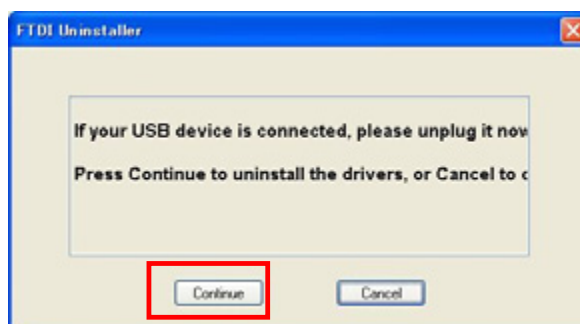
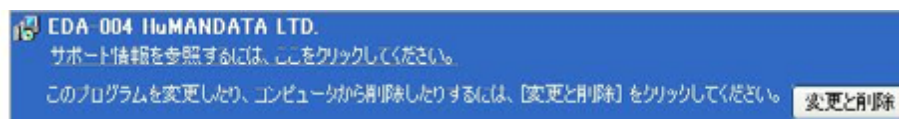


5.2. アンインストール

コントロールパネルの「アプリケーションの追加と削除」から「EDA-004 HuMANDATA LTD.」を選択し「変更と削除」を実行してください。

注意

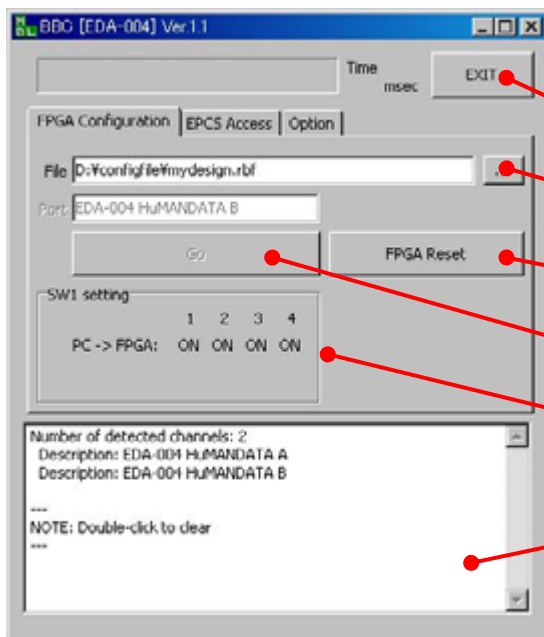
アンインストールは PC と EDA-004 を接続しない状態で行ってください



6. FPGA コンフィギュレーション

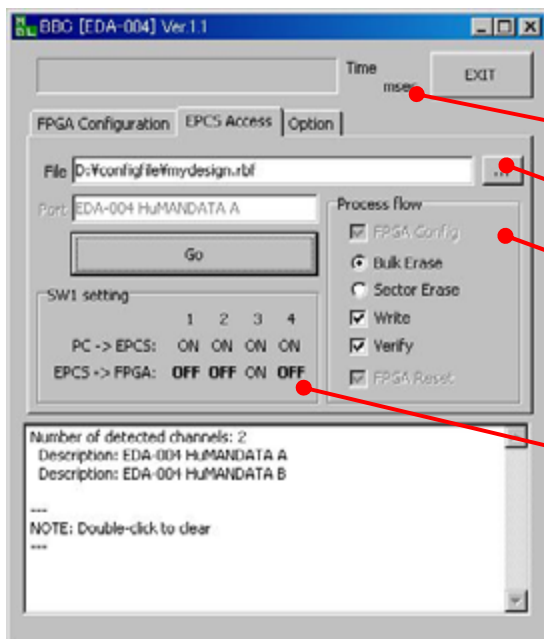
6.1. USB コンフィギュレーション

USB より FPGA へのコンフィギュレーションには、専用コンフィギュレーションアプリ “BBC [EDA-004]” をご使用頂けます。
ダウンロードケーブルは必要ありません、付属の USB ケーブルをご使用ください。



USB-FPGA コンフィギュレーション

- アプリケーションを終了します
- デザインファイル (RBF) を開きます
- FPGA をリセットします
- コンフィギュレーションを実行します
- 設定スイッチ (SW1) の設定を表示しています
表示に従って設定してください
- 動作レポートを表示します
ダブルクリックでクリアできます

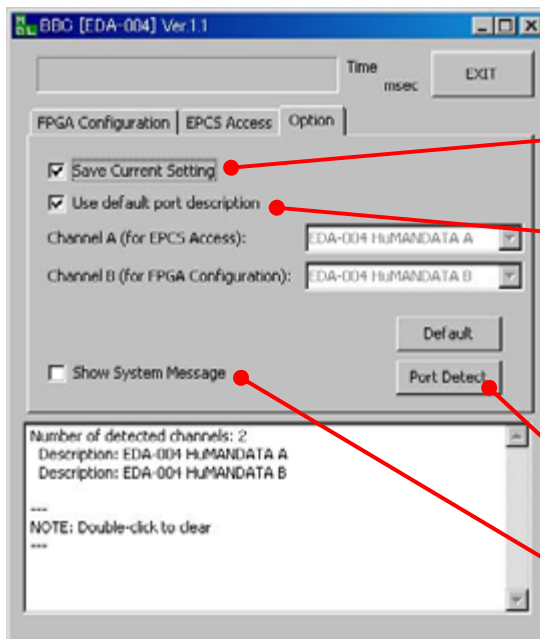


USB-EPCS プログラム

- 処理時間を表示します
- デザインファイル (RBF) を開きます
- 実行する内容を設定します
Bulk/Sector イレースを選択
イレースのみを行う
Verify は行わない、などの設定が可能です
- EPCS にダウンロードする際は上段の設定として
ください (PS モード)
ダウンロードした EPCS から、FPGA をコンフィ
ギュレーションする場合、下段の設定として
ください (AS モード)

ご案内

Quartus II の SignalTap などの、JTAG インタフェースを使用した機能をご使用になるには、ダウンロードケーブル (USB Blaster 等) が必要となります



各種設定

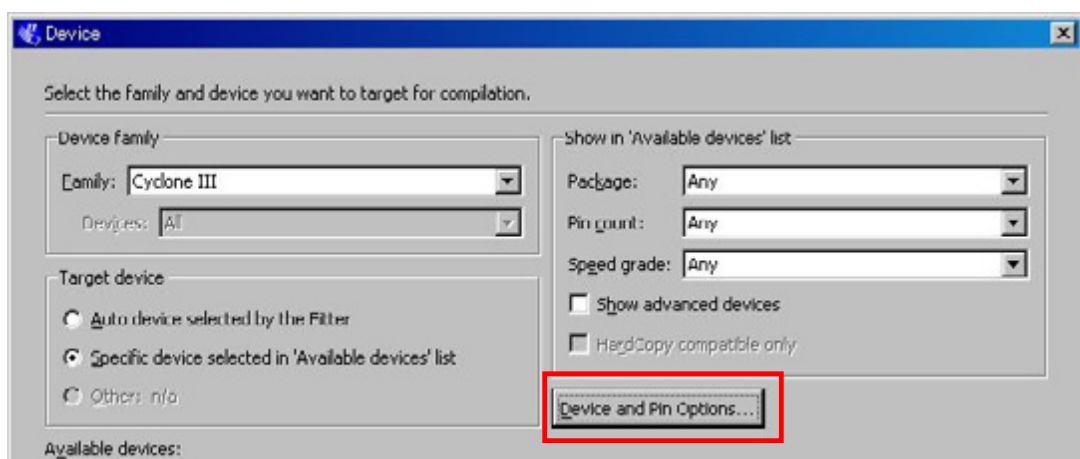
- 設定した項目（ファイルアドレス等）を保存し次回起動時に自動的に補完します
- EDA-004 デフォルトのディスクリプションを使用しない場合（EEPROM の接続を解除し、デフォルトのディスクリプションで起動している場合など）にはこのチェックを外し、該当するポートをリストボックスより選択してください Default ボタンで初期値に戻ります
- 現在接続されている FTDI のデバイス一覧を表示します
- 動作中のシステム情報を表示します

FPGA コンフィギュレーション機能のみの “BitCfg” もサポートページよりダウンロード頂けます。アプリケーションの詳細な情報につきましては、サポートページをご覧ください。

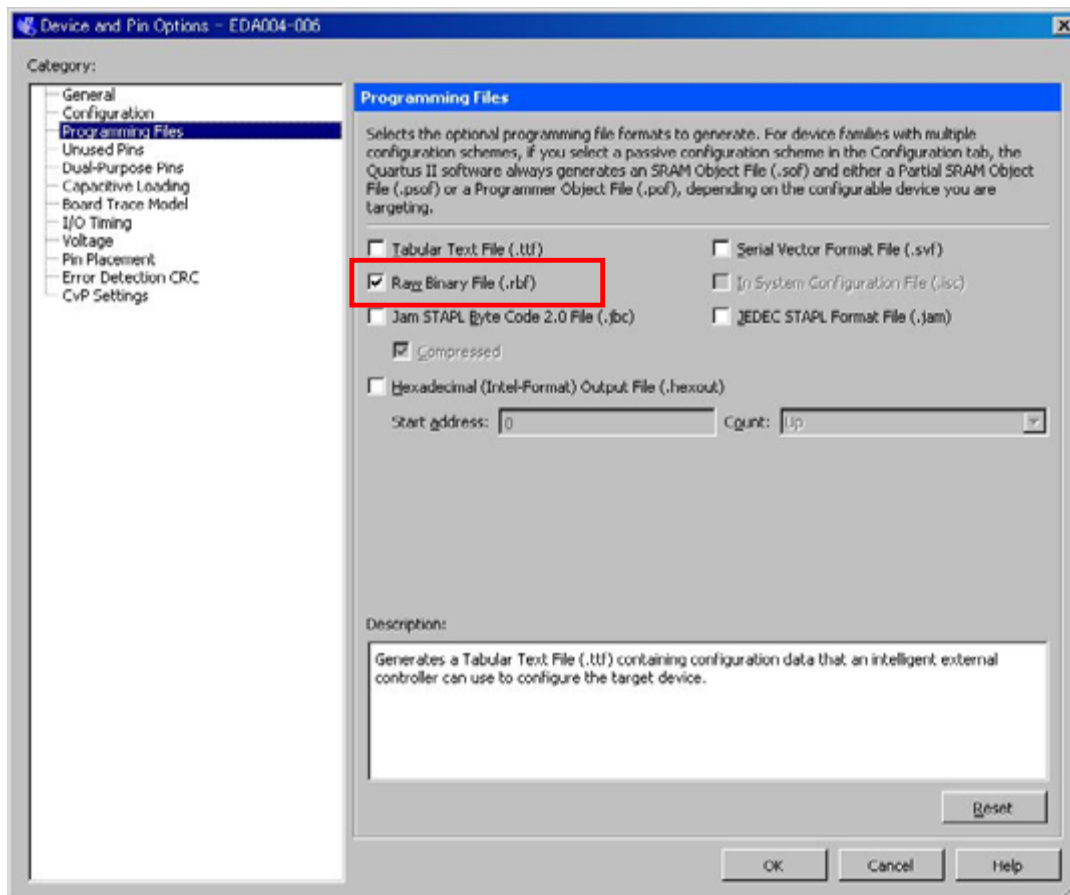
6.2. RBF ファイルの作成方法

専用アプリケーションは RBF (Raw Binary File) 形式のデザインファイルを使用します。RBF ファイルは下記を設定することにより、Quartus が自動的に生成してくれます。

1. Assignment → Device ダイアログより [Device and Pin Options...] をクリックします



2. Programming Files メニューにて、Raw Binary File (.rbf) にチェックを入れます



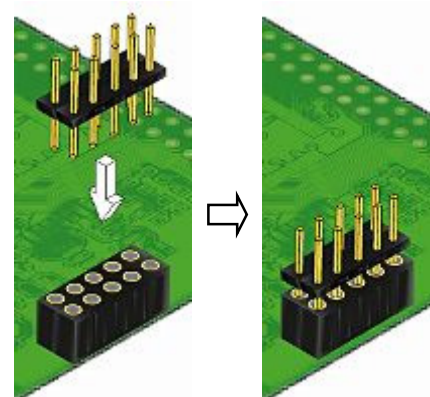
6.3. JTAG コンフィギュレーション

JTAG コネクタ (CN2) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。JTAG コネクタのピン配置は次表のとおりです。

CN2

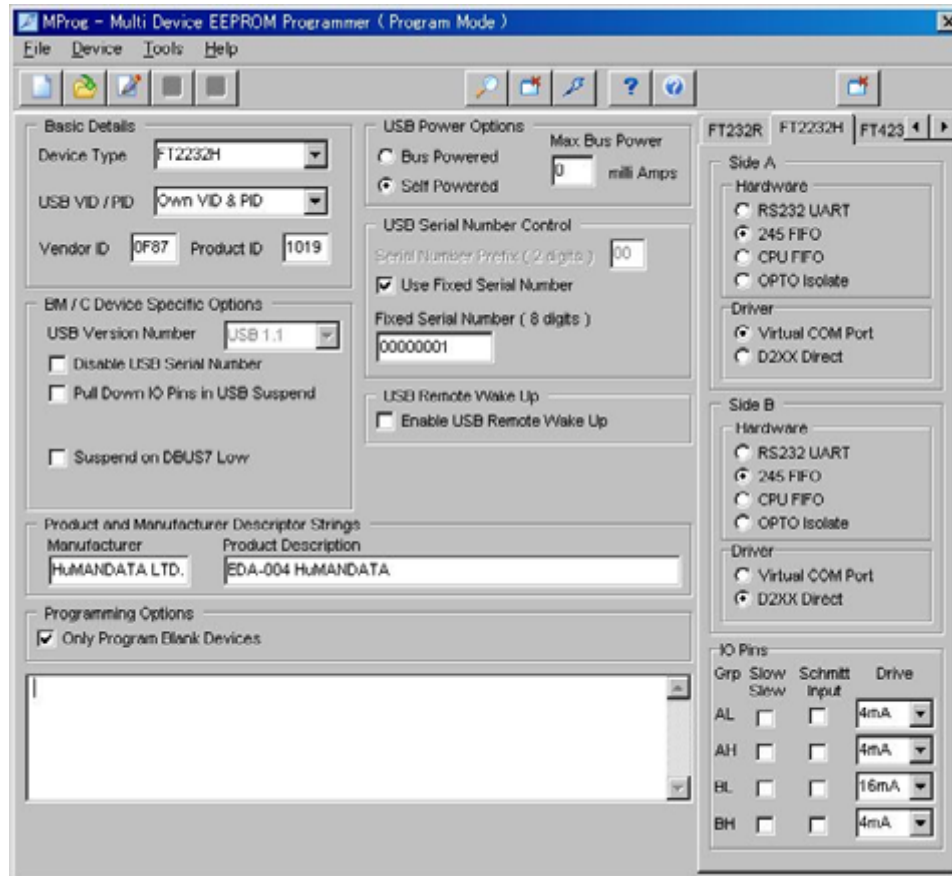
信号名	ピン番号		信号名
TCK	1	2	GND
TDO	3	4	V33A
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

ダウンロードケーブル (USB Blaster 等) との接続には、付属のロングピンヘッダをご利用いただけます。接続時には誤接続に注意してください。



7. FT2232H 用 EEPROM の初期値（参考）

出荷時には下図のように設定されております。（MPROG Ver 3.5）



8. FPGA ピン割付け表

8.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA Pin	CNA		FPGA Pin	NET LABEL	BANK Group
		3.3V *1 (output)	1	2	3.3V *1 (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
A	IOA0	AG3	7	8	AH3	IOA1	A
A	IOA2	AG4	9	10	AH4	IOA3	A
A	IOA4	AG6	11	12	AH6	IOA5	A
A	IOA6	AG7	13	14	AH7	IOA7	A
		GND	15	16	GND		
A	IOA8	AG8	17	18	AH8	IOA9	A
A	IOA10	AG10	19	20	AH10	IOA11	A
A	IOA12	AG11	21	22	AH11	IOA13	A
A	IOA14	AG12	23	24	AH12	IOA15	A
		GND	25	26	GND		
A	IOA16	AE15	27	28	AF15	IOA17	A
A	IOA18	AE16	29	30	AF16	IOA19	A
A	IOA20	AG17	31	32	AH17	IOA21	A
A	IOA22	AG18	33	34	AH18	IOA23	A
		GND	35	36	GND		
A	IOA24	AG19	37	38	AH19	IOA25	A
A	IOA26	AG21	39	40	AH21	IOA27	A
A	IOA28	AG22	41	42	AH22	IOA29	A
A	IOA30	AG23	43	44	AH23	IOA31	A
		GND	45	46	GND		
A	IOA32	AG25	47	48	AH25	IOA33	A
A	IOA34	AG26	49	50	AH26	IOA35	A
A	IOA36	AE27	51	52	AE28	IOA37	A
A	IOA38	AD27	53	54	AD28	IOA39	A
		GND	55	56	GND		
A	IOA40	AC27	57	58	AC28	IOA41	A
A	IOA42	AB27	59	60	AB28	IOA43	A
A	IOA44	W27	61	62	W28	IOA45	A
A	IOA46	V27	63	64	V28	IOA47	A
A *2	IOA48	U27	65	66	U28	IOA49	A *3

*1 3.3V 出力。使用する場合は JP1 をショートしてください

*2 抵抗アレイ (RM13) を介して CLKAP に接続しています

*3 抵抗アレイ (RM13) を介して CLKAN に接続しています

8.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA Pin	CNB		FPGA Pin	NET LABEL	BANK Group
		3.3V *1 (output)	1	2	3.3V *1 (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
B	IOB0	B3	7	8	A3	IOB1	B
B	IOB2	B4	9	10	A4	IOB3	B
B	IOB4	B6	11	12	A6	IOB5	B
B	IOB6	B7	13	14	A7	IOB7	B
		GND	15	16	GND		
B	IOB8	B8	17	18	A8	IOB9	B
B	IOB10	B10	19	20	A10	IOB11	B
B	IOB12	B11	21	22	A11	IOB13	B
B	IOB14	B12	23	24	A12	IOB15	B
		GND	25	26	GND		
B	IOB16	B17	27	28	A17	IOB17	B
B	IOB18	B18	29	30	A18	IOB19	B
B	IOB20	B19	31	32	A19	IOB21	B
B	IOB22	B21	33	34	A21	IOB23	B
		GND	35	36	GND		
B	IOB24	B22	37	38	A22	IOB25	B
B	IOB26	B23	39	40	A23	IOB27	B
B	IOB28	B25	41	42	A25	IOB29	B
B	IOB30	B26	43	44	A26	IOB31	B
		GND	45	46	GND		
B	IOB32	D27	47	48	D28	IOB33	B
B	IOB34	E27	49	50	E28	IOB35	B
B	IOB36	F27	51	52	F28	IOB37	B
B	IOB38	G27	53	54	G28	IOB39	B
		GND	55	56	GND		
B	IOB40	K27	57	58	K28	IOB41	B
B	IOB42	L27	59	60	L28	IOB43	B
B	IOB44	M27	61	62	M28	IOB45	B
B	IOB46	P27	63	64	P28	IOB47	B
B *2	IOB48	R27	65	66	R28	IOB49	B *3

*1 3.3V 出力。使用する場合は JP2 をショートしてください

*2 抵抗アレイ (RM15) を介して CLKBP に接続しています

*3 抵抗アレイ (RM15) を介して CLKBN に接続しています

8.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	CLKA	J1
		J2
	CLKB	J28
		J27

8.4. 外部入力クロック

周波数	NET LABEL	FPGA Pin
User	CLKAN	A15
	CLKAP	B15
	CLKBN	A14
	CLKBP	B14

8.5. 内部接続

NET LABEL	FPGA OUT	FPGA IN
OPT_CLK_CON1	Y3	Y1
		Y2
XDCLK *	G5	P3

(*)USB からコンフィグ ROM にアクセスするために接続されています。
通常動作時は入力に設定しておくことをお勧め致します。

8.6. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW0	H26

8.7. 汎用LED

LED	NET LABEL	FPGA Pin
L6	ULEDO	K26
L5	ULED1	K25
L4	ULED2	J25

8. 8. USB インタフェース

NET LABEL	FPGA Pin	Operation Mode				
		RS232	245 FIFO	Bit-Bang	MPSSE	CPU Style FIFO
ADBUS0	AB4	TDX	D0	D0	TCK/SK	D0
ADBUS1	AB3	RXD	D1	D1	TDI/DO	D1
ADBUS2	AA4	RTS#	D2	D2	TDO/DI	D2
ADBUS3	AA3	CTS#	D3	D3	TMS/CS	D3
ADBUS4	Y4	DTR#	D4	D4	GPIOL0	D4
ADBUS5	V4	DSR#	D5	D5	GPIOL1	D5
ADBUS6	V3	DCD#	D6	D6	GPIOL2	D6
ADBUS7	V2	RI#	D7	D7	GPIOL3	D7
ACBUS0	AF3	TXDEN	RXF#	-	GPIOH0	CS#
ACBUS1	AF4	-	TXE#	WRSTB#	GPIOH1	A0
ACBUS2	AE3	-	RD#	RDSTB#	GPIOH2	RD#
ACBUS3	AE4	RXLED#	WR#	-	GPIOH3	WR#
ACBUS4	AD3	TXLED#	SIWUA	SIWUA	GPIOH4	SIWUA
ACBUS5	AD4	-	CLKOUT (SYNC)	-	GPIOH5	-
ACBUS6	AC2	-	OE# (SYNC)	-	GPIOH6	-
ACBUS7	AC3	-	-	-	GPIOH7	-
USB-DET	AD5					
XUSBRESET	C2					

※モード、ピンの詳細についてはFT2232Hのデータシートをご参照ください

8.9. MRAM (U11)

MRAM		NET LABEL	FPGA Pin
Pin No	Pin Name		
1	A0	MRAM_A1	M1
2	A1	MRAM_A2	M2
3	A2	MRAM_A3	P1
4	A3	MRAM_A4	M5
5	A4	MRAM_A5	P2
18	A5	MRAM_A6	AD2
19	A6	MRAM_A7	AD1
20	A7	MRAM_A8	AE2
21	A8	MRAM_A9	AE1
22	A9	MRAM_A10	AF2
23	A10	MRAM_A11	J4
24	A11	MRAM_A12	L1
25	A12	MRAM_A13	H5
26	A13	MRAM_A14	H4
27	A14	MRAM_A15	J3
42	A15	MRAM_A16	D2
43	A16	MRAM_A17	D1
44	A17	MRAM_A18	D3
7	DQL0	MRAM_DQL0	R2
8	DQL1	MRAM_DQL1	U1
9	DQL2	MRAM_DQL2	U2
10	DQL3	MRAM_DQL3	V1
13	DQL4	MRAM_DQL4	W1
14	DQL5	MRAM_DQL5	W2
15	DQL6	MRAM_DQL6	AB2
16	DQL7	MRAM_DQL7	AB1
29	DQU8	MRAM_DQU8	K1
30	DQU9	MRAM_DQU9	K2
31	DQU10	MRAM_DQU10	G4
32	DQU11	MRAM_DQU11	H3
35	DQU12	MRAM_DQU12	G3
36	DQU13	MRAM_DQU13	G1
37	DQU14	MRAM_DQU14	G2
38	DQU15	MRAM_DQU15	F1
41	G#	MRAM_OE	E3
17	W#	MRAM_WE	AC1
6	E#	MRAM_CE	R1
39	LB#	MRAM_BE0	F2
40	UB#	MRAM_BE1	F3

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

「コンフィギュレーションアプリ」「USB ドライバ」は下記より最新のものをダウンロードしてご使用ください。

<http://www.hdl.co.jp/ftpdata/EDA-004/index.html>

http://www.hdl.co.jp/support_c.html

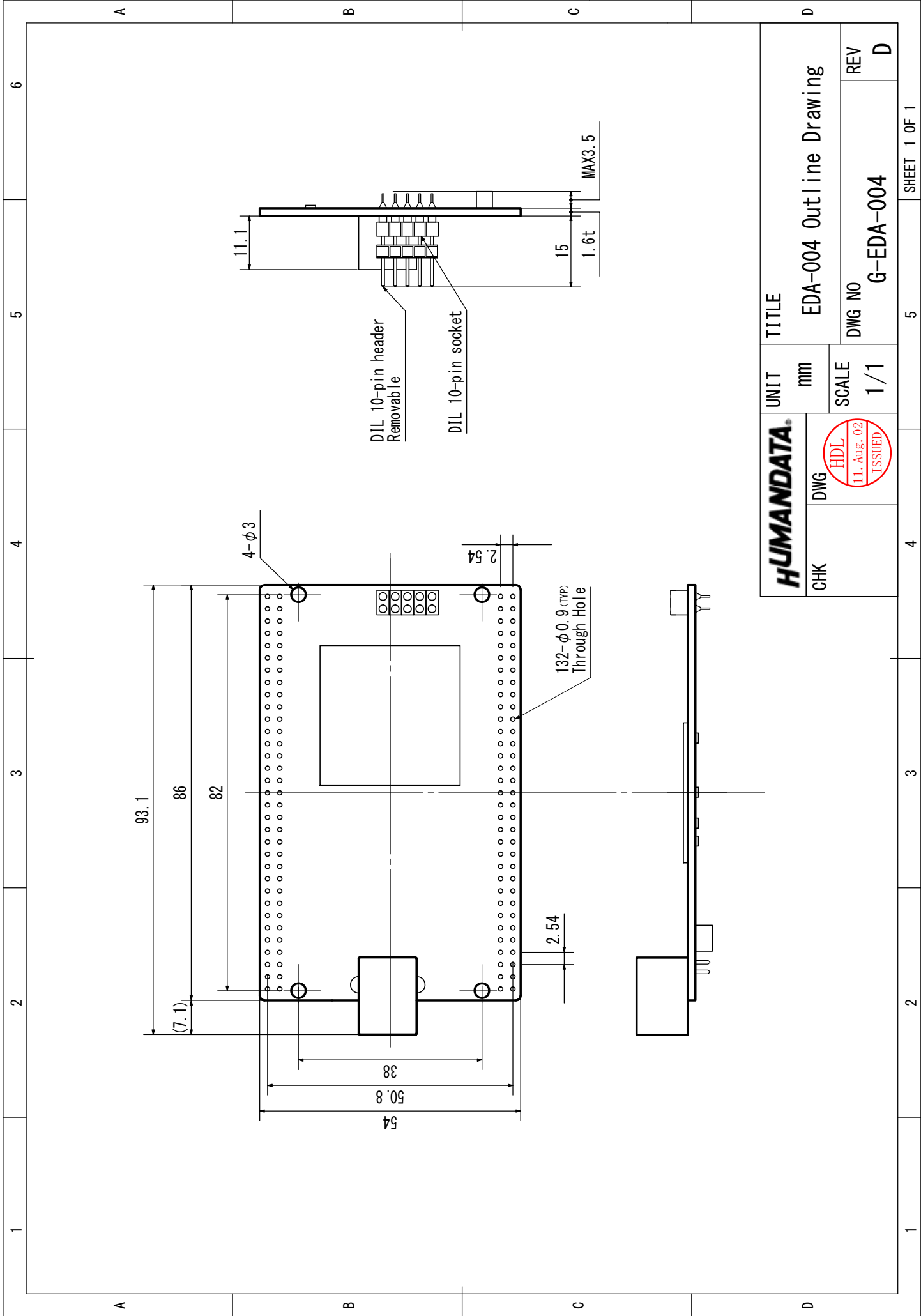
- 回路図
- ピンリスト
- ネットリスト
- コンフィギュレーションアプリ
- デバイスドライバ ...等

また下記サポートセンタも合わせてご活用ください。

<http://www3.hdl.co.jp/spc/>

10. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANADATA		UNIT	TITLE
mm	EDA-004 Outline Drawing		
SCALE	DWG NO	REV	
1/1	G-EDA-004	D	

CycloneⅢ USB-FPGA ボード
EDA-004
ユーザーズマニュアル

2009/12/16 Ver.1.0 (初版)
2011/08/23 Ver.2.0 (Rev2)

2014/10/7 Ver.2.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
