





ヒューマンデータ



目 次

• はじめに	. 1
● ご注意	. 1
● 改訂記録	2
	. 2
I. 裂品の内容について	.2
2. 開発環境	. 2
3. 仕様	. 3
4. 製品説明	.4
4.1. 各部名称	4
4.2. ブロック図	5
4.3. 電源	5
4.4. クロック	6
4.5. 設定スイツナ(SWI)	.0 
4.0. FT2232H ゲビッドボンヤンバ (JP5) 4.7 FT2232H FFPROM アクセス用ジャンパ (JP5)	.0
	-
5. USB トフイハ	./
$5.7.72 \times 10^{-10}$	. /
6  FDGA = 1  FDGA =	٥
6.1. USB $= 2 2 7 7 7 = 2 2 2 2 2 2 2 2 2 2 2 2 2 $	.9
6.2. RBF ファイルの作成方法	10
6.3. JTAG コンフィギュレーション1	11
7. FT2232H 用 EEPROM の初期値(参考)1	12
8. FPGA ピン割付け表1	13
8.1. ユーザ I/O (CNA)	13
8.2. ユーザ I/O(CNB)	14
8.3. オンボードクロック1	15
8.4. 外部人力クロック1	15
8.5. 内部技術 8.6 羽田スイッチ	15
8.7. 汎用 LED	15
8.8. USB インタフェース	16
8.9. MRAM (U11)	17
9. サポートページ	18
10. 付属資料1	18

## ● はじめに

この度はUSB-FPGAボードEDA-004をお買い上げいただきまして、誠にありがとうございます。 EDA-004 は、ALTERA 社の高性能 FPGA Cyclone 田を用いた FPGA ボードで、電源回路、クロッ ク回路、コンフィギュレーション回路、MRAM などを装備した使いやすいボードになっています。

USB インタフェースには FTDI 社の FT2232H を採用しており、チャンネル A をアプリケーション通信用に使用できます。通信は仮想 COM ポートドライバにより行うことができます。

チャンネルBはFPGA コンフィギュレーション用に割り当てられており、専用コンフィギュ レーションアプリによりFPGA コンフィギュレーション、EPCS プログラムが行えます。 ALTERA 社のプログラム用アプリケーションが不要なため、検査治具などにも便利にご利用い ただけます。

どうぞご活用下さい。

# ●ご注意

	1 本製品には、民生用の一般電子部品が使用されています。
	宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる
	特別な品質(信頼性が要求される田途でのご使田はご清慮ください)
	特別な曲貫、旧模正が安水される用述でのこ使用はこ述慮くたでい。
	2 水中、高湿度の場所での使用はご遠慮ください。
禁止	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの
	使用はご遠慮ください。
	4 奉板衣面に他の金属が接触した状態で電源を入れないでくたさい。
	5 定格を越える電源を加えないでください。
	6 本書の内容は、改良のため将来予告なしに変更することがありますので、
	ごて承願います。
	7 木聿の内容についてけ万全を期して作成しましたが、万一調りなど、お気
	フさの点がこさいましたら、こ連裕をの願いいたします。
汪恵	8 本製品の運用の結果につきましては、7 項にかかわらず当社は責任を負
	9 本書に記載されている使用と異なる使用をされ、めるいは本書に記載され
	ていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布するこ
	とはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。



## ● 改訂記録

日付	バージョン	改訂内容
2009/12/16	1.0	・初版発行
2011/08/23	2.0	・製品リビジョン Rev2 に改良(基板リビジョン B→C)

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛に ご連絡ください。

デバイスドライバやコンフィギュレーションソフトは製品サポートページよりダウンロード して頂けます。(9章. サポートページご参照)

USB-FPGA ボード EDA-004	1	
付属品	1	
マニュアル(本書)	1	*
ユーザ登録はがき	1	*

<sup>\*</sup> オーダー毎に各1部の場合があります。(ご要望により追加請求できます)

## 2. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツールが必要です。 これらの開発ツールは、ALTERA社が配布するQuartus IIがご使用頂けます。

本マニュアルは Quartus II Ver. 10.1 を元に作成しています。

# 3. 仕様

製品型番	EDA-004
搭載 FPGA	EP3C55F780C8N
USB インタフェース	FT2232H(FTDI, チャンネル A をユーザ通信に使用可)
電源	DC 5.0 [V] (セルフパワー)
消費電流	N/A(詳細は FPGA データシートご参照)
コンフィグ ROM	EPCS16SI8N (ALTERA, 16Mbit)
MRAM	MR2A16AYS35 (EverSpin, 4Mbit)
基板寸法	86 x 54 [mm] (コネクタ含まず)
質量	約 35 [g]
ユーザ 1/0	100 本
汎用スイッチ	1
汎用 LED	3
1/0 コネクタ	66 ピンスルーホール 公称 0.9[mmφ] x2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ6層基板 1.6t
オンボードクロック	50MHz (外部供給可能)
コンフィグ用リセット回路	内蔵(140ms min.)
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ
ステータス LED	2個: POWER(赤), DONE(青)
	DIL10 ロングピンヘッダ(JTAG ソケットに取付け済み) x1
付属品	DIL80 ピンヘッダ(任意にカット可能) x2
	USB ケーブル (1.8m)

\*これらの部品や仕様は変更となる場合がございます



# 4. 製品説明

### 4.1. 各部名称



部品面



はんだ面



4.2. ブロック図



#### 4.3. 電源

電源は CNA, CNB より 5.0V を供給してください。外部から供給する 5.0V 電源は充分安定して、 充分な余裕のあるものをご用意ください。立ち上がりは単調増加である必要があります。



内部で必要になる 3.3V、2.5V、1.2V はオンボードレギュレータにより生成されます。 詳しくは FPGA のデータシートや回路図などを参照してください。

#### 4.4. クロック

FT2232H へはクリスタルより 12MHz を、FPGA へは発振器より 50MHz を供給しています。外部ク ロックを CNA, CNB を介して供給することが可能です。 詳しくは回路図、ピン割付け表をご参照ください。

### 4.5. 設定スイッチ (SW1)

SW1 により FPGA のコンフィギュレーションモードを設定できます。主に使用する設定を下表 に示します。その他の設定項目については FPGA のデータシートをご参照ください。 ON で Low に固定されます。

SW1

	1	2	3	4
NET LABEL	MSEL3	MSEL2	MSEL1	MSELO
出荷時設定	ON	ON	ON	ON
機能	コン	フィギュレー	ションモー	ド設定

モード	MSEL3	MSEL2	MSEL1	MSELO
AS	0FF	0FF	ON	0FF
PS	ON	ON	ON	ON
JTAG	X	X	X	X



X : Don't Care

AS モードは EPCS メモリから FPGA をコンフィギュレーションする際に設定します。 FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。コンフィグ ROM に は十分に検査した、安全性のあるデータを書き込むようにしてください。

PS モードは USB から FPGA をコンフィギュレーションする際に使用します。専用コンフィギュレーションアプリ"BBC[EDA-004]"をご利用ください。詳しくは「章6.1」をご参照ください。

### 4.6. FT2232H リセット用ジャンパ (JP3)

FT2232H のリセット信号を FPGA より制御します。FPGA が未コンフィギュレーション時には、 FT2232H は非アクティブになります。

専用コンフィグレーションアプリから FPGA をコンフィギュレーションする際は JP3 をオープ ンとしてください。

### 4.7. FT2232H EEPROM アクセス用ジャンパ (JP5)

FT2232H 用 EEPROM を接続しているジャンパです。FT2232H を FTDI デフォルトのディスクリプ ションで起動する場合はオープンとしてください。

EEPROM の初期設定につきましては「7章. FT2232H 用 EEPROM の初期値(参考)」をご参照ください。

# 5. USB ドライバ

5.1. インストール

FPGA へのコンフィギュレーションと USB ユーザ通信を行うには、FTDI 社の提供するドライバ を PC にインストールする必要があります。

ご案内 ドライバファイルはサポートページにてダウンロードできます 詳しくは9章. サポートページをご参照ください

本章で説明するインストール作業が完了後、USB からの FPGA コンフィギュレーションが可能 になります。次の手順に従ってインストール作業を完了してください。

このウィザードでは、次のハードウェアに必要なソフトウェアをインストールします。 EDA-004 HuMANDATA LTD.	⑦ 次の場所で最適のドライバを検索する(2) 下のませか ホックスを使って、リムードブルメディアやローカル パスから検索できます。検索された最適のドライ イバがイントーンされます。
ハードウェアに対異のインストール CD またはフロッピー ディ スクがある場合は、挿入してください。	□リムー/ブル メディア(フロッビー、CD-ROM など)を検索(M) □/大の場所を含める(Q): □ 「のでする なくど、タウストのなくの(MAR) へ、ビリー
インストール方法を選んでください。 ○ ソフトウェアを自動的にインストールする(推奨)Φ ④ 一覧または特定の場所がらインストールする(健議)Φ 体にするにする「たい」をかしたサルトローズがない。	しなまじれーいはarreneしい 2000 WHOL Certined ● 参照し ● 後来しないで、インストールするドライバを選択する(2) ● 繋がらドライバを選択するには、このオプションを選びます。選択されたドライバは、ハードウェアに最適のもの どは現りません。
	このウィザードでは、次のハードウェアに必要なソフトウェアをインストールします: EDA-004 HuMANDATA LTD.

1.「一覧または特定の場所からインストールする」 を選択し「次へ」をクリックしてください

2. ドライバフォルダを指定し「次へ」をクリッ クしてください



利いいードウェアの検出ウィザード 新しいハードウェアの検索ウィザードの完了 次のハードウェアのソフトウェアのインストールが完了しました EDA-004 [完了]をクリックするとウィザードを閉じます。 < 戻る(B) (第7) キャンセル

3.警告が表示されますが「続行」をクリックしてくだ さい

4.「完了」をクリックしてください

5.ED-CONFIG / USB Serial Port が続けて認識されます、同様の手順を繰り返してください

以上の手順を完了後、デバイスマネージャ(※)で確認すると下図のようになっているはずで す。COM ポート番号はお客様の環境により異なります。COM ポート番号を確認するためにも一度 ご確認を御願いします。

※デバイスマネージャは下記の方法で起動することができます。

- **マイコンピュータ**のプロパティから、ハードウェアタブ、デバイスマネージャのボタンをクリック
  - マイコンピュータの管理から、デバイスマネージャをクリック





5.2. アンインストール

コントロールパネルの「アプリケーションの追加と削除」から「EDA-004 HuMANDATA LTD.」を 選択し「変更と削除」を実行してください。

注意 アンインストールは PC と EDA-004 を	と接続しない状態で行ってください
Per EDA-004 HuMANDATA LTD. サポート情報を参照するには、ここをクリックトでください。	
このプログラムを変更したり、コンピュータから削除したり	- するには、「変更と削除」 をクリックしてください。 「変更と削除」
Uninstaller 🔀	FTDI Uninstaller
If your USB device is connected, please unplug it now	Uninstalling VID_0F87&PID_1019
Press Continue to uninstall the drivers, or Cancel to c	Deleting registry entries Deleting files
	Press Finish to exit.

- 6. FPGA コンフィギュレーション
- 6.1. USB コンフィギュレーション

USB より FPGA へのコンフィギュレーションには、専用コンフ ィギュレーションアプリ "BBC [EDA-004]"をご使用頂けます。 ダウンロードケーブルは必要ありません、付属の USB ケーブ ルをご使用ください。



BBC [EDA-004] Ver.1.1	USB-FPGA コンフィギュレーション
FPGA Configuration EPCS Access Option	● アプリケーションを終了します
File D:¥configfile¥mydesign.rbf	
Port EDA-004 HuMANDATA B	● デザインファイル(RBF)を開きます
Go FPGA Reset	● FPGA をリセットします
PC-> FPGA: ON ON ON ON	● コンフィギュレーションを実行します
Number of detected channels: 2 Description: EDA-004 HuMANDATA A Description: EDA-004 HuMANDATA B	<ul> <li>● 設定スイッチ(SW1)の設定を表示しています 表示に従って設定してください</li> </ul>
NOTE: Double-click to clear	● 動作レポートを表示します ダブルクリックでクリアできます
Bec [EDA-004] Ver.1.1	USB-EPCS プログラム
FPGA Configuration EPCS Access Option	─ ● 処理時間を表示します
Port EDA-004 HuMANDATA A Process flow	● デザインファイル(RBF)を開きます
Go SW1 setting 1 2 3 4 PC -> EPCS: ON ON ON ON EPCS -> FPGA: OFF OFF ON OFF FPGA Reset	<ul> <li>実行する内容を設定します Bulk/Sector イレースを選択 イレースのみを行う Verify は行わない、などの設定が可能です</li> </ul>
Number of detected channels: 2 Description: EDA-004 HuMANDATA A Description: EDA-004 HuMANDATA B  NOTE: Double-click to clear 	<ul> <li>EPCS にダウンロードする際は上段の設定としてください (PS モード)</li> <li>ダウンロードした EPCS から、FPGA をコンフィギュレーションする場合、下段の設定としてください (AS モード)</li> </ul>
<mark>ご案内</mark> Quartus II の Signal Tap などの、JTA ご使用になるには、ダウンロードケ	Gインタフェースを使用した機能を ーブル(USB Blaster 等)が必要となります





FPGA コンフィギュレーション機能のみの "BitCfg"もサポートページよりダウンロード頂 けます。アプリケーションの詳細な情報につきましては、サポートページをご覧下さい。

### 6.2. RBF ファイルの作成方法

専用アプリケーションは RBF (Raw Binary File) 形式のデザインファイルを使用します。RBF ファイルは下記を設定することにより、Quartus が自動的に生成してくれます。

1. Assignment -> Device ダイアログより[Device and Pin Options...]をクリックします

Device family	Show in 'Availa	able devices' list	
Eamily: Cyclone III	Package:	Any	
Devices: All	Pin <u>c</u> ount:	Any	
Target device	Speed grade:	Any	•
C Auto device selected by the Fitter	Show adva	anced devices	
Specific device selected in 'Available devices' list	🗖 HardCopy	compatible only	



2. Programming Files メニューにて、Raw Binary File (.rbf)にチェックを入れます

Carlingentian	Programming Files	
Programming Files Unused Pins Dual-Purpose Pins Capacitive Loading Board Trace Model I/O Timing	Selects the optional programming file formats configuration schemes, if you select a passiv Quartus II software always generates an SR File (.psof) or a Programmer Object File (.pof targeting,	to generate. For device families with multiple e configuration scheme in the Configuration tab, the AM Object File (.sof) and either a Partial SRAM Objec (), depending on the configurable device you are
Voltage Pip Placement	Tabular Text File (.ttf)	🔲 Serial Vector Format File (.svf)
Error Detection CRC	Raw Binary File (.rbf)	🔲 In System Configuration File (.isc)
CVF Settings	Jam STAPL Byte Code 2.0 File (.jbc)	🔲 JEDEC STAPL Format File (.jam)
	Compressed	
	🗖 Hexadecimal (Intel-Format) Output File (.	.hexout)
	Start address: 0	Count: Up
	Description:	
	Description: Generates a Tabular Text File (.ttf) containi controller can use to configure the target de	ing configuration data that an intelligent external evice.

### 6.3. JTAG コンフィギュレーション

JTAG コネクタ(CN2)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコン フィグ ROM のアクセスを行います。JTAG コネクタのピン配置は次表のとおりです。

CN2

信号名	ピン	番号	信号名
TCK	1	2	GND
TDO	3	4	V33A
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



ダウンロードケーブル (USB Blaster 等) との接続には、 付属のロングピンヘッダをご利用いただけます。接続時に は誤接続に注意してください。



# 7. FT2232H 用 EEPROM の初期値(参考)

出荷時には下図のように設定されております。 (MPROG Ver 3.5)

🜌 MProg - Multi Device EEPROM Programm	er (Program Mode)	×
<u>File Device Tools Help</u>		
	P 🗂 P ? 📀	<b></b>
Basic Details Device Type FT2232H USB VID / PID Own VID & PID Vendor ID 0F87 Product ID 1019 BM / C Device Specific Options USB Version Number Disable USB Serial Number Pull Down IO Pins in USB Suspend Suspend on DBUS7 Low Product and Manufacturer Descriptor Strings	USB Power Options Bus Powered Self Powered USB Serial Number Control Serial Number Prefix (2 digits) USB Fixed Serial Number Fixed Serial Number (8 digits) 00000001 USB Remote Wake Up Enable USB Remote Wake Up	FT232R FT2232H FT423   FT232R FT2232H FT423  Side A  Hardware  C RS232 UART  245 FIFO  C OPTO Isolate  Driver  Virtual COM Port  D2XX Direct  Side B  Hardware  RS232 UART  245 FIFO  C OPTO Isolate  C OPTO Isolate
Manufacturer Product Description HuMANDATA LTD. EDA-004 HuMAND Programming Options	NATA	Driver C Virtual COM Port D D2XX Direct O Pins Grp Slow Schmitt Drive Slew Input AL AH AH BL H H M H M M M M M M M M M M M M M

# 8. FPGA ピン割付け表

## 8.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA Pin	C	A	FPGA Pin	NET LABEL	BANK Group
		3.3V <b>*1</b> (output)	1	2	3.3V <b>*1</b> (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
A	10A0	AG3	7	8	AH3	10A1	А
A	10A2	AG4	9	10	AH4	10A3	A
A	10A4	AG6	11	12	AH6	10A5	Α
A	10A6	AG7	13	14	AH7	10A7	A
		GND	15	16	GND		
A	10A8	AG8	17	18	AH8	10A9	Α
A	10A10	AG10	19	20	AH10	10A11	A
A	10A12	AG11	21	22	AH11	10A13	А
A	10A14	AG12	23	24	AH12	10A15	A
		GND	25	26	GND		
A	10A16	AE15	27	28	AF15	10A17	A
A	10A18	AE16	29	30	AF16	10A19	Α
A	10A20	AG17	31	32	AH17	10A21	Α
A	10A22	AG18	33	34	AH18	10A23	Α
		GND	35	36	GND		
A	10A24	AG19	37	38	AH19	10A25	Α
Α	10A26	AG21	39	40	AH21	10A27	Α
A	10A28	AG22	41	42	AH22	10A29	Α
A	10A30	AG23	43	44	AH23	10A31	Α
		GND	45	46	GND		
A	10A32	AG25	47	48	AH25	10A33	А
A	10A34	AG26	49	50	AH26	10A35	А
A	10A36	AE27	51	52	AE28	10A37	Α
A	10A38	AD27	53	54	AD28	10A39	A
		GND	55	56	GND		
A	10A40	AC27	57	58	AC28	10A41	Α
A	10A42	AB27	59	60	AB28	10A43	A
A	10A44	W27	61	62	W28	10A45	A
A	10A46	V27	63	64	V28	10A47	Α
A *2	I 0A48	U27	65	66	U28	10A49	A *3

**\*1** 3.3V 出力。使用する場合は JP1 をショートしてください

**\*2** 抵抗アレイ (RM13)を介して CLKAP に接続しています

\*3 抵抗アレイ(RM13)を介して CLKAN に接続しています



### 8.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA Pin	CN	IB	FPGA Pin	NET LABEL	BANK Group
		3.3V <b>*1</b> (output)	1	2	3.3V <b>*1</b> (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
В	10B0	B3	7	8	A3	10B1	В
В	10B2	B4	9	10	A4	10B3	В
В	10B4	B6	11	12	A6	10B5	В
В	10B6	B7	13	14	A7	10B7	В
		GND	15	16	GND		
В	10B8	B8	17	18	A8	10B9	В
В	10B10	B10	19	20	A10	10B11	В
В	10B12	B11	21	22	A11	10B13	В
В	10B14	B12	23	24	A12	10B15	В
		GND	25	26	GND		
В	10B16	B17	27	28	A17	10B17	В
В	10B18	B18	29	30	A18	10B19	В
В	10B20	B19	31	32	A19	10B21	В
В	10B22	B21	33	34	A21	10B23	В
		GND	35	36	GND		
В	10B24	B22	37	38	A22	10B25	В
В	10B26	B23	39	40	A23	10B27	В
В	10B28	B25	41	42	A25	10B29	В
В	10B30	B26	43	44	A26	10B31	В
		GND	45	46	GND		
В	10B32	D27	47	48	D28	10B33	В
В	10B34	E27	49	50	E28	10B35	В
В	10B36	F27	51	52	F28	10B37	В
В	10B38	G27	53	54	G28	10B39	В
		GND	55	56	GND		
В	10B40	K27	57	58	K28	10B41	В
В	10B42	L27	59	60	L28	10B43	В
В	10B44	M27	61	62	M28	10B45	В
В	10B46	P27	63	64	P28	10B47	В
B *2	10B48	R27	65	66	R28	10B49	B *3

**\*1** 3.3V 出力。使用する場合は JP2 をショートしてください

\*2 抵抗アレイ (RM15) を介して CLKBP に接続しています

\*3 抵抗アレイ (RM15) を介して CLKBN に接続しています



8.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	CLKA	J1 J2
		J28
	ULND	J27

## 8.4. 外部入力クロック

周波数	NET LABEL	FPGA Pin
	CLKAN	A15
lloor	CLKAP	B15
USEI	CLKBN	A14
	CLKBP	B14

### 8.5. 内部接続

NET LABEL	FPGA OUT	FPGA IN	
OPT CLK CON1	Y3	<u>Y1</u>	
		Y2	
XDCLK \star	C5	P3	

(\*)USB からコンフィグ ROM にアクセスするために接続されています。 通常動作時は入力に設定しておくことをお勧め致します。

### 8.6. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSWO	H26

### 8.7. 汎用 LED

LED	NET LABEL	FPGA Pin
L6	ULEDO	K26
L5	ULED1	K25
L4	ULED2	J25



## 8.8. USB インタフェース

		Operation Mode				
NET LABEL	FPGA Pin	RS232	245 FIFO	Bit-Bang	MPSSE	CPU Style FIFO
ADBUS0	AB4	TDX	D0	D0	TCK/SK	D0
ADBUS1	AB3	RXD	D1	D1	TDI/DO	D1
ADBUS2	AA4	RTS#	D2	D2	TDO/DI	D2
ADBUS3	AA3	CTS#	D3	D3	TMS/CS	D3
ADBUS4	Y4	DTR#	D4	D4	GPIOL0	D4
ADBUS5	V4	DSR#	D5	D5	GPIOL1	D5
ADBUS6	V3	DCD#	D6	D6	GPIOL2	D6
ADBUS7	V2	RI#	D7	D7	GPIOL3	D7
ACBUS0	AF3	TXDEN	RXF#	-	GPIOH0	CS#
ACBUS1	AF4	-	TXE#	WRSTB#	GPIOH1	A0
ACBUS2	AE3	-	RD#	RDSTB#	GPIOH2	RD#
ACBUS3	AE4	RXLED#	WR#	Ι	GPIOH3	WR#
ACBUS4	AD3	TXLED#	SIWUA	SIWUA	GPIOH4	SIWUA
ACBUS5	AD4	_	CLKOUT (SYNC)	-	GPIOH5	-
ACBUS6	AC2	_	OE# (SYNC)	_	GPIOH6	-
ACBUS7	AC3	_	_	-	GPIOH7	-
USB-DET	AD5					
XUSBRESET	C2					

※モード、ピンの詳細についは FT2232H のデータシートをご参照ください

## 8.9. MRAM (U11)

MRAM			
Pin No	Pin Name	NET LABEL	FPGA PIN
1	AO	MRAM_A1	M1
2	A1	MRAM_A2	M2
3	A2	MRAM_A3	P1
4	A3	MRAM_A4	M5
5	A4	MRAM_A5	P2
18	A5	MRAM_A6	AD2
19	A6	MRAM_A7	AD1
20	Α7	MRAM_A8	AE2
21	A8	MRAM_A9	AE1
22	A9	MRAM_A10	AF2
23	A10	MRAM_A11	J4
24	A11	MRAM_A12	L1
25	A12	MRAM_A13	H5
26	A13	MRAM_A14	H4
27	A14	MRAM_A15	J3
42	A15	MRAM_A16	D2
43	A16	MRAM_A17	D1
44	A17	MRAM_A18	D3
7	DQLO	MRAM_DQLO	R2
8	DQL1	MRAM_DQL1	U1
9	DQL2	MRAM_DQL2	U2
10	DQL3	MRAM_DQL3	V1
13	DQL4	MRAM_DQL4	W1
14	DQL5	MRAM_DQL5	W2
15	DQL6	MRAM_DQL6	AB2
16	DQL7	MRAM_DQL7	AB1
29	DQU8	MRAM_DQU8	K1
30	DQU9	MRAM_DQU9	K2
31	DQU10	MRAM_DQU10	G4
32	DQU11	MRAM_DQU11	H3
35	DQU12	MRAM_DQU12	G3
36	DQU13	MRAM_DQU13	G1
37	DQU14	MRAM_DQU14	G2
38	DQU15	MRAM_DQU15	F1
41	G#	MRAM_OE	E3
17	W#	MRAM_WE	AC1
6	E#	MRAM_CE	R1
39	LB#	MRAM_BEO	F2
40	UB#	MRAM_BE1	F3



## 9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。 「コンフィギュレーションアプリ」「USB ドライバ」は下記より最新のものをダウンロードし てご使用ください。

http://www.hdl.co.jp/ftpdata/EDA-004/index.html http://www.hdl.co.jp/support\_c.html

- 回路図
- ピンリスト
- ネットリスト
- コンフィギュレーションアプリ
- デバイスドライバ …等

また下記サポートセンタも合わせてご活用ください。

http://www.hdl.co.jp/spc/

## 10. 付属資料

- 1. 基板外形図
- 2. 基板回路図(別紙)





# CycloneⅢ USB-FPGA ボード EDA-004 ユーザーズマニュアル

2009/12/16 Ver.1.0 (初版)

2011/08/23 Ver.2.0 (Rev2)

## 有限会社ヒューマンデータ

〒567-0034 大阪府茨木市中穂積1-2-10 ジブラルタ生命茨木ビル TEL:072-620-2002 FAX:072-620-2003 URL:http://www.hdl.co.jp/