

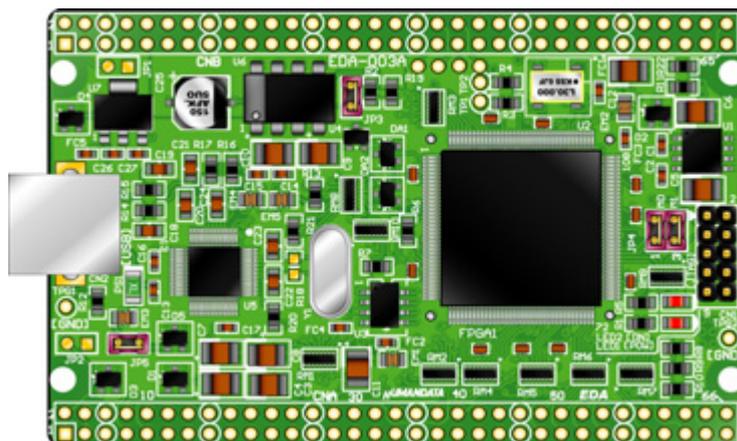


Cyclone II FPGA トレーナ

EDA-003

ユーザーズマニュアル

第 3 版



ヒューマンデータ

目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	3
3.3. 開発環境.....	4
3.4. ダウンロードケーブル.....	4
3.5. クロック.....	4
3.6. 電源.....	4
3.7. FPGA コンフィギュレーション.....	4
3.8. JTAG コネクタ.....	4
4. FPGA ピン割付表.....	5
4.1. オンボードクロック.....	5
4.2. 外部クロック.....	5
4.3. USB 通信.....	5
4.4. CNA.....	6
4.5. CNB.....	7
5. 専用ソフトウェアによる FPGA コンフィギュレーション.....	8
5.1. USB ドライバのインストール.....	8
5.2. USB ドライバのアンインストール.....	11
5.3. rbf ファイルの作成.....	12
5.4. USB から FPGA へコンフィギュレーション.....	15
6. コンフィギュレーション ROM への書込み.....	16
6.1. Device & Pin Options の設定.....	16
6.2. jic ファイルの作成.....	17
6.3. コンフィギュレーション ROM に ISP(書込み).....	20
6.4. ジャンパ設定(JP4).....	21
6.5. ROM から FPGA へコンフィギュレーション.....	21
7. 付属 CD-ROM の内容.....	22
8. EDA-003 参考資料について.....	22
9. 付属資料.....	22

はじめに

この度は、FPGAトレーナ EDA-003 をお買い上げいただきまして、誠にありがとうございます。
 ございます。

ALTERA 社対応 FPGA トレーナ EDA-003 は、USB インタフェースをもつ PC に接続し、ALTERA 社の開発ソフト (QuartusII) などにより設計した回路を、USB 経由でコンフィギュレーションできる学習用ボードです。

FPGA は、ALTERA 社の高性能 FPGA である、CycloneII (144pin) を搭載しています。

USB インタフェースに FTDI 社の FT2232 を採用し、A チャンネルをコンフィギュレーション用に B チャンネルをアプリケーション通信用に使用できます。アプリケーション通信は仮想 COM ポートドライバにより行うことができます。

EDA-003 は、専用コンフィギュレーションソフト (exe ファイル 1 本) により、rbf ファイルさえあれば、ALTERA 社の開発環境をインストールしていなくても FPGA へのコンフィギュレーションが行えますので、検査治具などにも便利にご利用いただけます。

[コンフィギュレーション ROM への書き込みには、ALTERA 社対応ダウンロードケーブルが別途必要になります。](#)

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA トレーナ EDA-003	1
付属品	1
USB ケーブル	1
付属 CD	1
マニュアル(本書)	1
ユーザ登録はがき	1

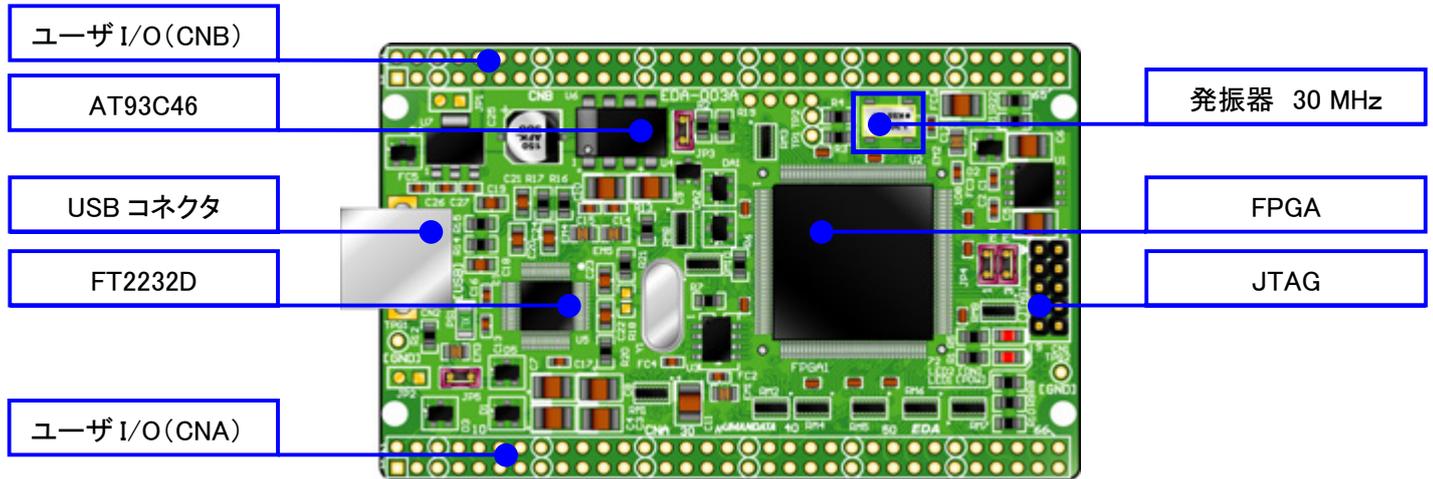
2. 仕様

製品型番	EDA-003
搭載 FPGA	EP2C5T144C8N
電源	DC 5V
消費電流	N/A (詳細は FPGA データシートご参照)
外形寸法	86 × 54 [mm]
質量	約 30g
ユーザーI/O	75 本
I/O コネクタ	66 ピンスルーホール 0.9[mm φ]x2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
コンフィギュレーション ROM	EPCS4SI8N(ALTERA)
クロック	オンボード 30MHz 6MHz 外部供給可能
コンフィギュレーション用リセット回路	内蔵 (240ms TYP)
JTAG コネクタ	DIP10 ピン ピンヘッダ 2.54mm ピッチ
ステータス LED	2 個 (POWER-LED , DONE-LED)
付属品	DIP80 ピンヘッダ 2 個 (任意にカット可能) USB ケーブル(1.8m)

* 互換品と変更になる場合がございます

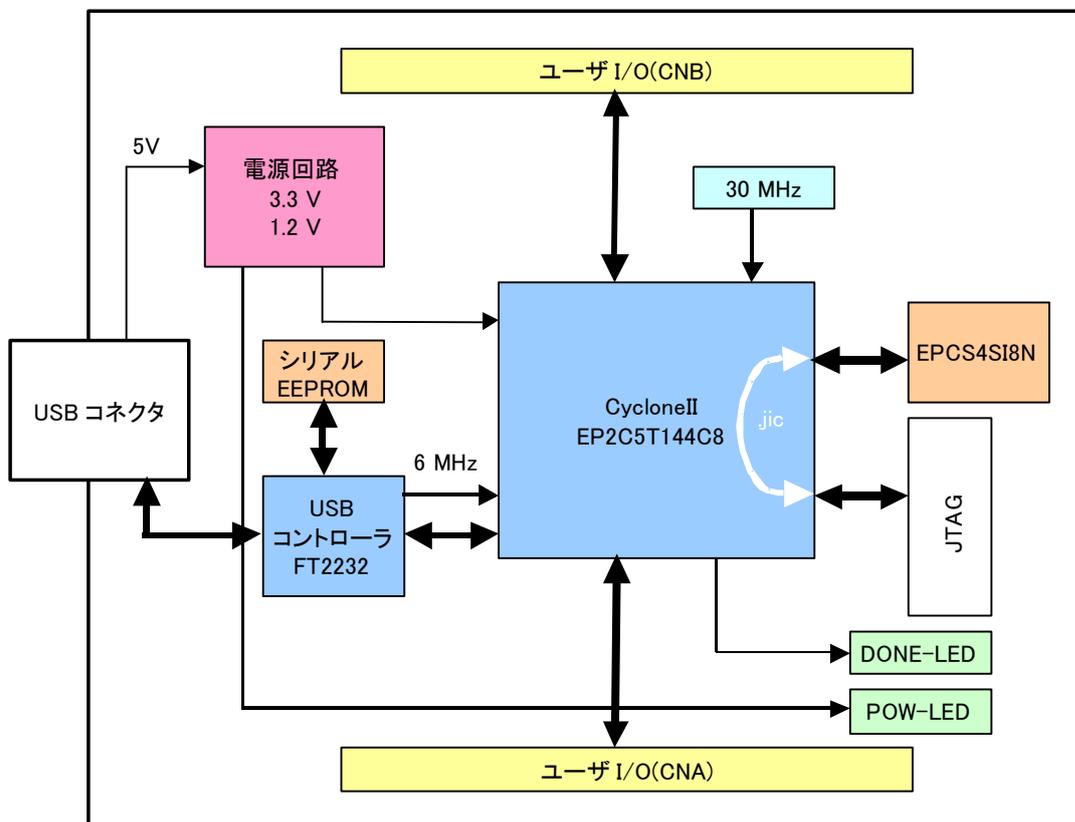
3. 製品説明

3.1. 各部の名称



部品面

3.2. ブロック図



3.3. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツールが必要です。これらの開発ツールは、ALTERA社が無償配布するQuartus IIにて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

3.4. ダウンロードケーブル

FPGA へのコンフィギュレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。

注意

コンフィギュレーション ROM に ISP する際は ALTERA 社対応ダウンロードケーブルが必要です。

3.5. クロック

USB コネクタより 6MHz, 発振器より 30MHzを FPGA に供給します。

3.6. 電源

電源は USB から 5V が供給されます。FPGA の必要とする 3.3V, 1.2V はオンボードレギュレータにより生成されます。

5V は外部から供給することも可能です。(JP5 をオープンとしてください)

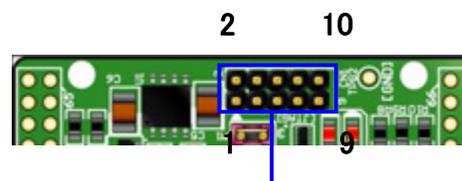
3.7. FPGA コンフィギュレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA をコンフィギュレーションすることができます。

コンフィギュレーションが終了し、DONE 信号が H になると **赤色 LED (LED2) が点灯します。**

3.8. JTAG コネクタ

FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP に使用します。
ピン配置は次表のとおりです。



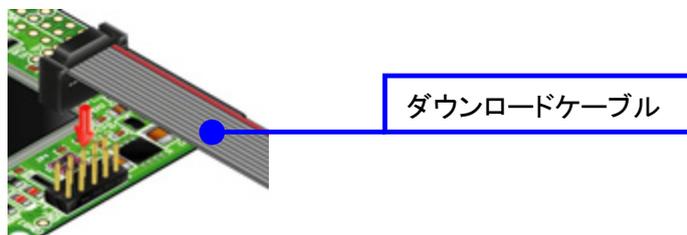
CN1

JTAG コネクタ

回路図上信号名	ダウンロードケーブル信号名	ピン番号	ピン番号	ダウンロードケーブル信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3 V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT や ALTERA 社の純正ケーブルなどを用いることができます。

使用例



注意

ダウンロードケーブルを接続する場合、誤差などにご注意ください

4. FPGA ピン割付表

4.1. オンボードクロック

クロック	NET LABEL	FPGA ピン#
30MHz	CLK-A	17
30MHz	CLK-B	18
6MHz	CLK-6M	88, 89

4.2. 外部クロック

コネクタピン NO	NET LABEL	FPGA ピン#
CNA-66	CLKEXTA	90,91
CNB-66	CLKEXTB	21,22

4.3. USB 通信

NET LABEL	方向	FPGA ピン#
TXDBIN	IN	81
RXDBOUT	OUT	80
RTSBIN	IN	26
CTSBOUT	OUT	27

4.4. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		(3.3V) *3	1	2	(3.3V) *3		
		5V	3	4	5V		
		GND	5	6	GND		
A	IOA0	3	7	8	4	IOA1	A
A	IOA2	7	9	10	8	IOA3	A
A	IOA4	9	11	12	24	IOA5	A
A	IOA6	25	13	14	28	IOA7	A
		GND	15	16	GND		
A	IOA8	30	17	18	31	IOA9	A
A	IOA10	32	19	20	40	IOA11	A
A	IOA12	41	21	22	42	IOA13	A
A	IOA14	43	23	24	44	IOA15	A
		GND	25	26	GND		
A	IOA16	45	27	28	47	IOA17	A
A	IOA18	48	29	30	51	IOA19	A
A	IOA20	52	31	32	53	IOA21	A
A	IOA22	55	33	34	57	IOA23	A
		GND	35	36	GND		
A	IOA24	58	37	38	59	IOA25	A
A	IOA26	60	39	40	63	IOA27	A
A	IOA28	64	41	42	65	IOA29	A
A	IOA30	67	43	44	69	IOA31	A
		GND	45	46	GND		
A	IOA32	70	47	48	71	IOA33	A
A	IOA34	72	49	50	73	IOA35	A
A	IOA36	74	51	52	75	IOA37	A
A	IOA38	76	53	54	79	IOA39	A
		GND	55	56	GND		A
A	IOA40	86	57	58	87	IOA41	A
A	IOA42	92	59	60	93	IOA43	A
A	IOA44	94	61	62	96	IOA45	A
A	IOA46	97	63	64	99	IOA47	A
A	IOA48	100	65	66	103	IOA49 *1	A

*1 抵抗(R9)を介して FPGA ピン# 90, 91 (CLKEXTA) に接続

*3 3.3V 出力(入力ではありません)

4.5. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		(3.3V) *3	1	2	(3.3V) *3		
		5V	3	4	5V		
		GND	5	6	GND		
B	IOB0	144	7	8	143	IOB1	B
B	IOB2	142	9	10	141	IOB3	B
B	IOB4	139	11	12	137	IOB5	B
B	IOB6	136	13	14	135	IOB7	B
		GND	15	16	GND		
B	IOB8	134	17	18	133	IOB9	B
B	IOB10	132	19	20	129	IOB11	B
B	IOB12	126	21	22	125	IOB13	B
B	IOB14	122	23	24	121	IOB15	B
		GND	25	26	GND		
B	IOB16	120	27	28	119	IOB17	B
B	IOB18	118	29	30	115	IOB19	B
B	IOB20	114	31	32	113	IOB21	B
B	IOB22	112	33	34	101	IOB23	B
		GND	35	36	GND		
B		N/C	37	38	N/C		B
B		N/C	39	40	N/C		B
B		N/C	41	42	N/C		B
B		N/C	43	44	N/C		B
B		GND	45	46	GND		
B		N/C	47	48	N/C		B
B		N/C	49	50	N/C		B
B		N/C	51	52	N/C		B
B		N/C	53	54	N/C		B
		GND	55	56	GND		
B		N/C	57	58	N/C		B
B		N/C	59	60	N/C		B
B		N/C	61	62	N/C		B
B		N/C	63	64	N/C		B
B		N/C	65	66	104	IOB24 *2	B

*2 抵抗(R22)を介して FPGA ピン# 21, 22(CLKEXTB) に接続

*3 3.3V 出力(入力ではありません)

5. 専用ソフトウェアによる FPGA コンフィギュレーション

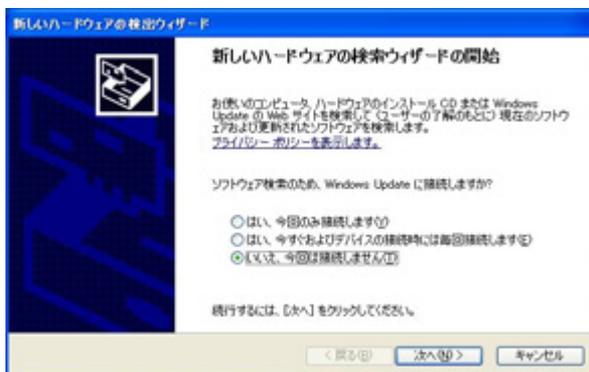
5.1. USB ドライバのインストール

FPGA へのコンフィギュレーションと、USB の通信実験の前には、FTDI 社の提供するドライバを PC にインストールする必要があります。本章で説明するインストール作業が完了後、FPGA へのコンフィギュレーションが可能になります。

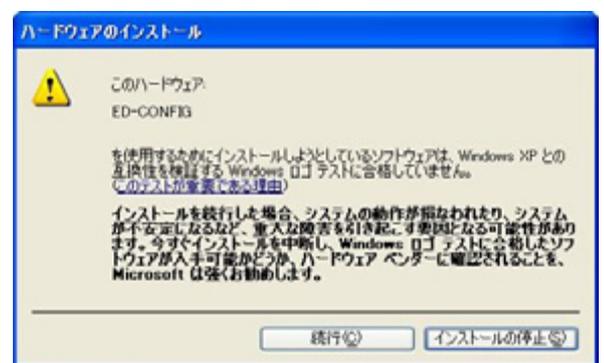
USB コネクタに付属 USB ケーブルを挿入すると「新しいハードウェア」が認識されます。次の手順に従ってインストール作業を完了してください。

Windows XP を例に作成しています。

いいえ、今回は接続しませんにチェックを入れ「次へ」をクリックしてください。



「続行」をクリックしてください。



「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。



「完了」をクリックしてください。



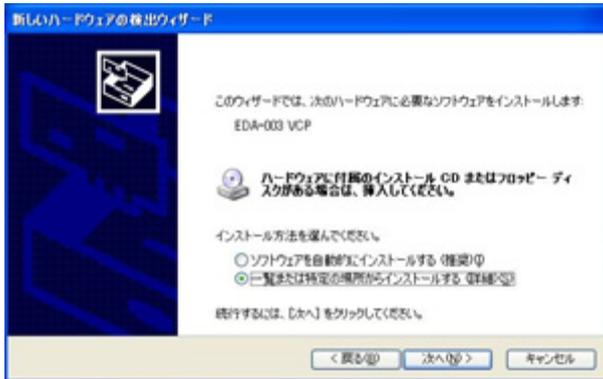
付属 CD 内の WIN2K_XP を選択し「次へ」をクリックしてください。



いいえ、今回は接続しませんにチェックを入れ「次へ」をクリックしてください。



「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。



「完了」をクリックしてください。



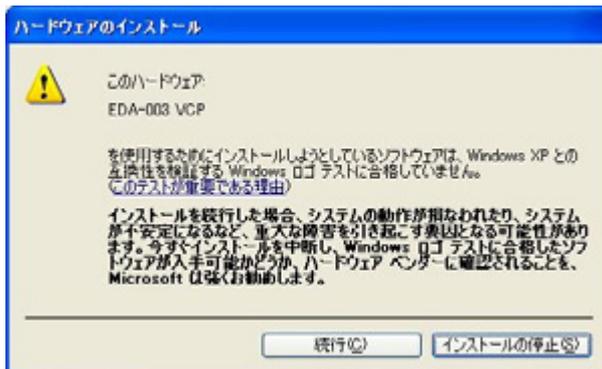
付属 CD 内の WIN2K_XP を選択し「次へ」をクリックしてください。



いいえ、今回は接続しませんにチェックを入れ「次へ」をクリックしてください。



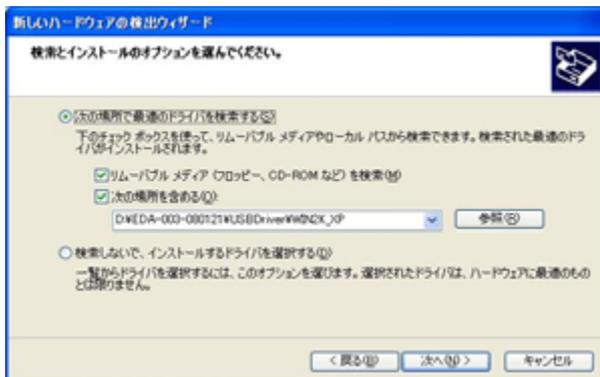
「続行」をクリックしてください。



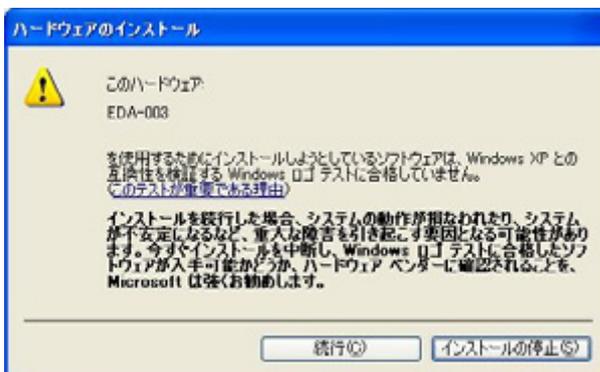
「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。



付属 CD 内の WIN2K_XP を選択し「次へ」をクリックしてください。



「続行」をクリックします。



「完了」をクリックしてください。

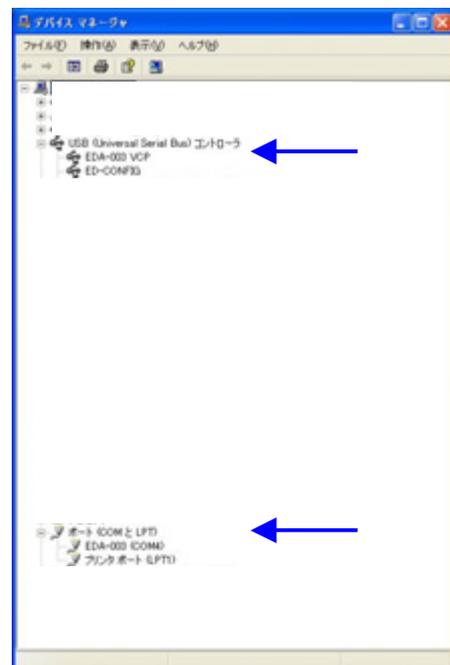


これでドライバの組み込みが完了しました。

デバイスマネージャで確認すると次のようになっているはずです。COM ポートの番号は、お客様の環境により異なります。COM ポートの番号を確認するためにも、一度ご確認を御願いたします。

デバイスマネージャは、**マイコンピュータのプロパティ**を選択し、**ハードウェアタブ**から**デバイスマネージャのボタン**をクリックするか、**マイコンピュータの管理**から、**デバイスマネージャ**をクリックするかのいずれかの方法で起動することができます。

新しいドライバが提供されたときは、弊社サイトのサポートページの説明に従ってください。



5.2. USB ドライバのアンインストール

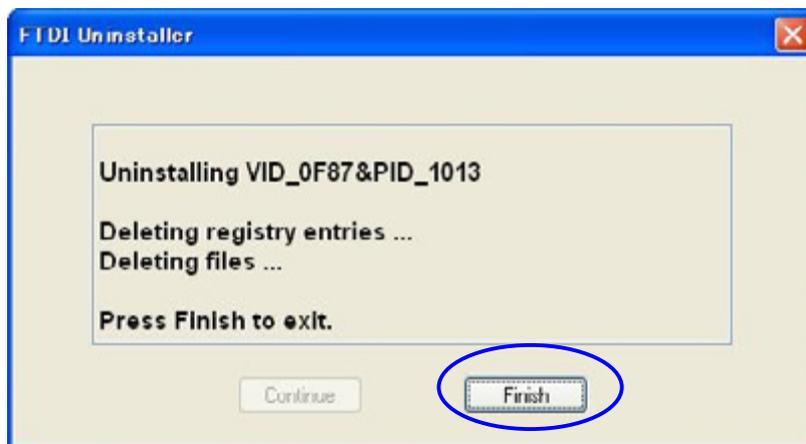
インストールした USB ドライバをアンインストールするには、**PC と EDA-003 を接続しない状態**で「スタート」-「設定」-「コントロールパネル」-「アプリケーションの追加と削除」から「EDA-003 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。



「Continue」をクリックします。



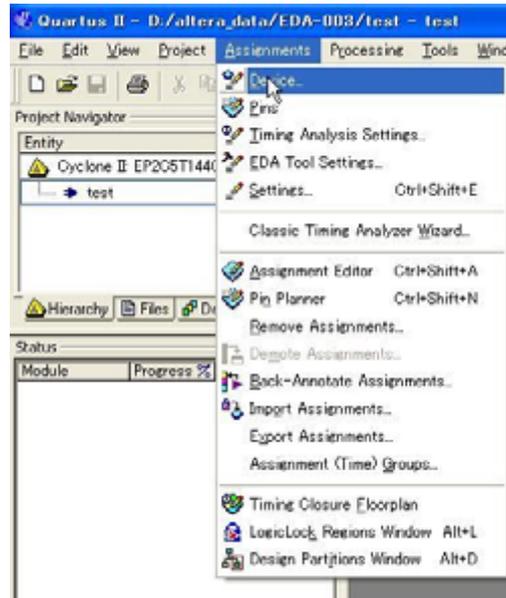
次のダイアログで「Finish」をクリックすれば、終了です



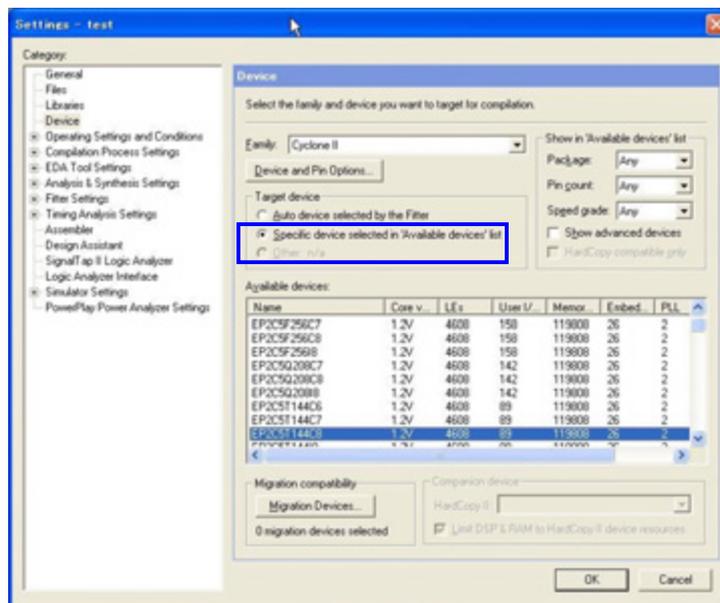
5.3. rbf ファイルの作成

rbf ファイルを生成するためには、使用しないピンをトライステートに設定してコンパイル時に rbf ファイルを生成するように設定する必要があります。

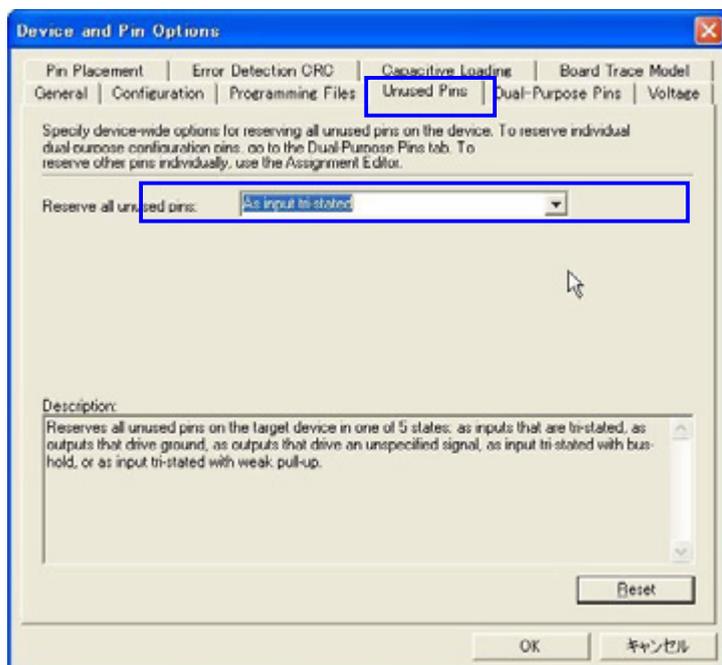
「Assignments」－「Device」を選択します。



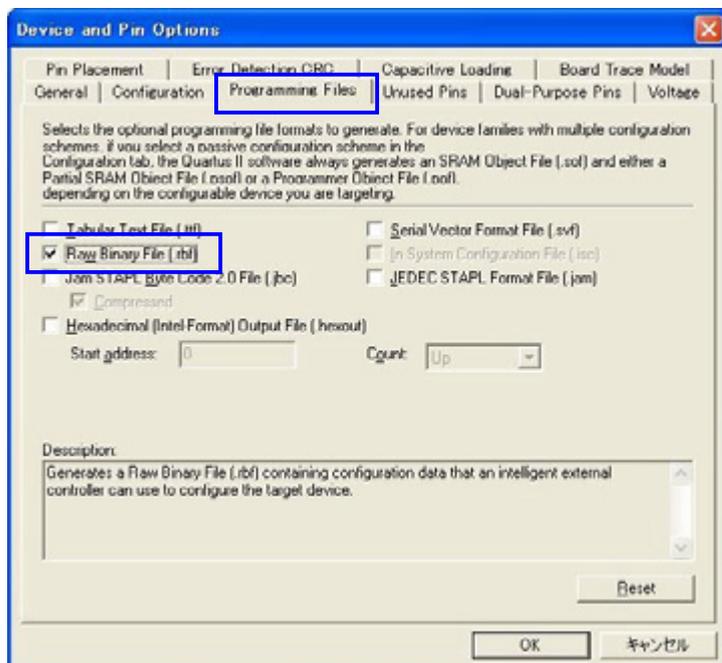
以下の画面が、表示されますので、デバイスが、EP2C5T144C8 であることを確認して「Device & Pin Options」をクリックしてください。



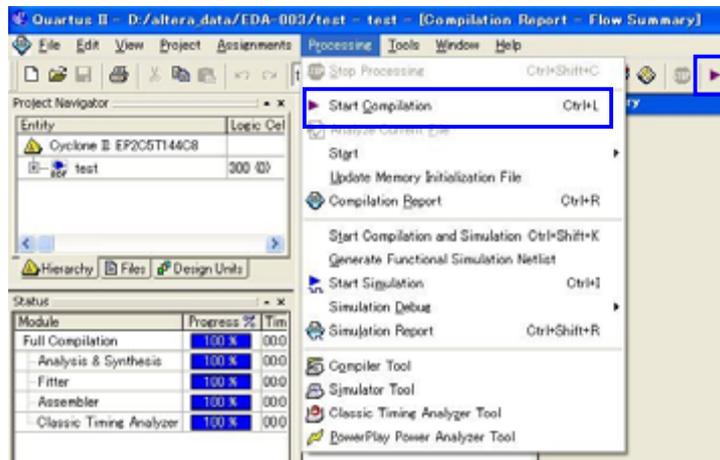
「Device & Pin Options」の設定画面が開きますので、「Unused Pins」の「Reserve all unused pins」の設定で、「As input tri-stated」に設定してください。



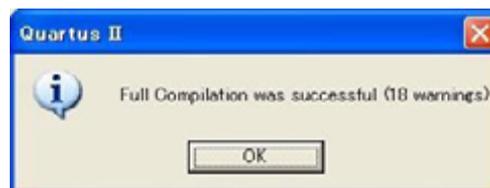
次に「Programming Files」の設定画面を開き「Raw Binary File (rbf)」をチェックします。



rbf ファイルを生成するためにコンパイルと同じ手順で、[Processing] – [Start Compilation] または ▶ をクリックしてください。



コンパイルが、成功すると下の画面がでますので、「OK」をクリックしてください。



これでプロジェクトフォルダに.rbf が生成されました。

EDA-003 の FPGA へのコンフィギュレーションをボード上の USB 経由で行う際に、ALTERA 社の QuartusII プログラマを利用することはできません。付属の専用ソフトウェアにて USB コンフィギュレーションをおこなってください。

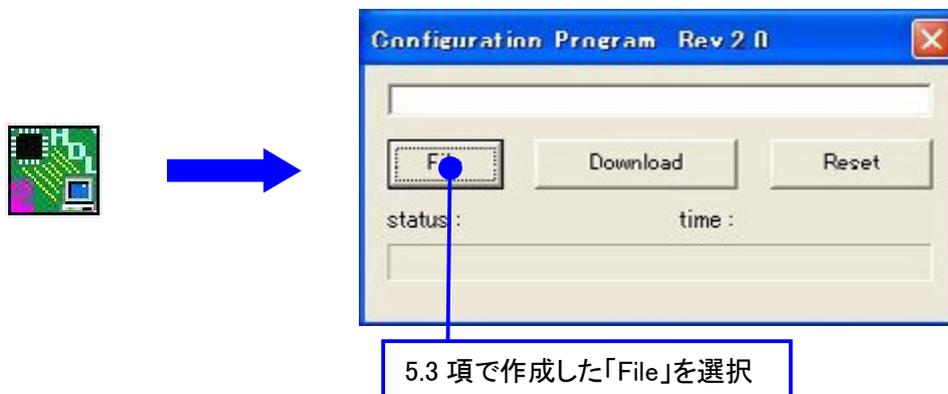
EDA-003 の JTAG コネクタからコンフィギュレーションするときには、ALTERA 社対応のダウンロードケーブルを用いて、QuartusII のプログラマからコンフィギュレーションが可能です。

注意

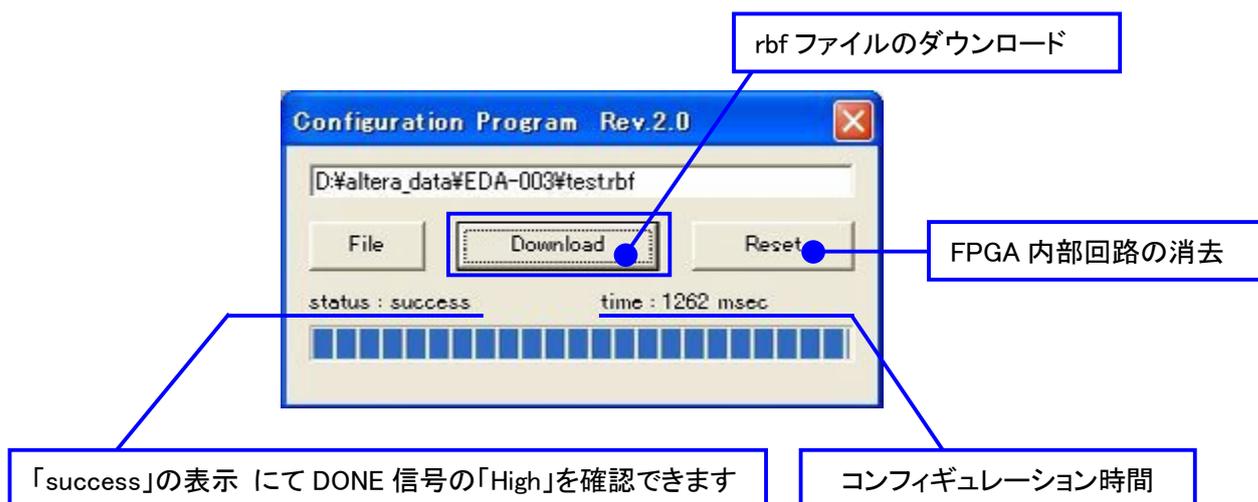
コンフィギュレーション ROM に ISP する際は ALTERA 社対応ダウンロードケーブルが必要です。

5.4. USB から FPGA へコンフィギュレーション

付属 CD 内にある「BitCfg2.exe」を起動させると次のウィンドウが表示されます。



5.3 項で作成した.rbf ファイルを選択し、Download をクリックします。



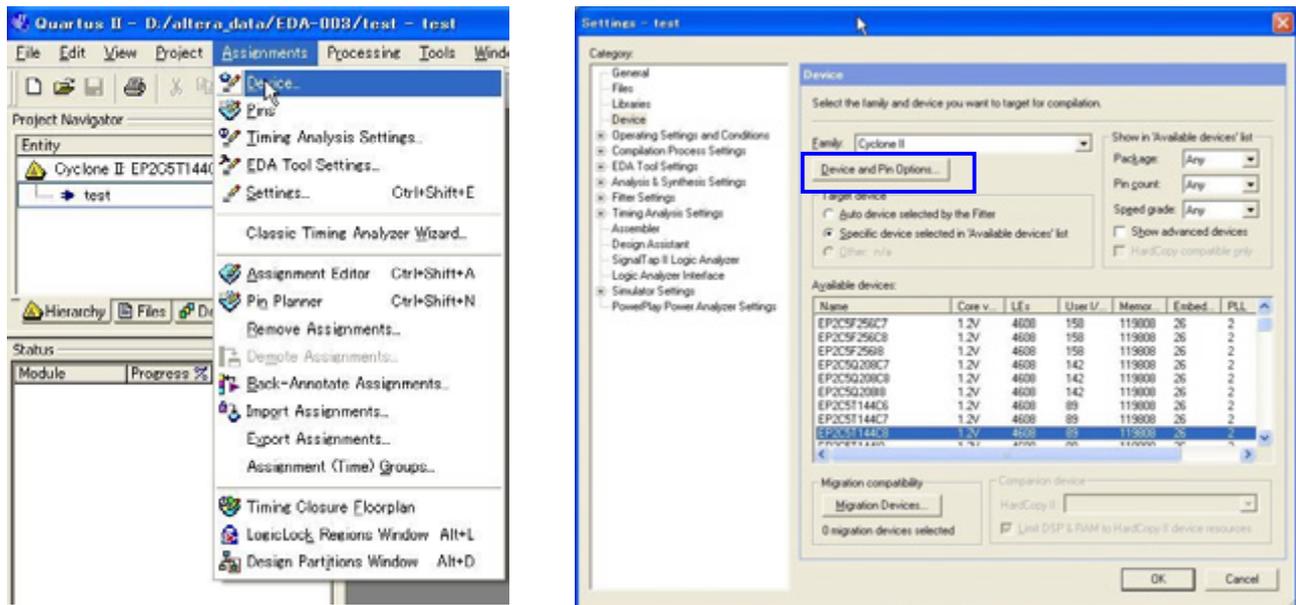
6. コンフィギュレーション ROM への書込み

EDA-003 にはコンフィギュレーション ROM (EPCS4) が実装されています。
 コンフィギュレーション ROM に ISP するためには QuartusII により jic ファイルを作成します。

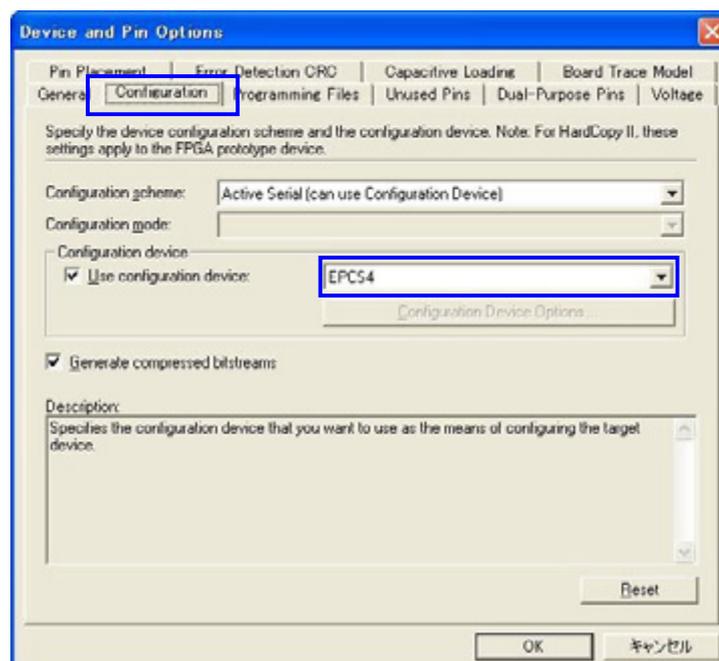
6.1. Device & Pin Options の設定

「Assignments」－「Device」を選択します。

以下の画面が、表示されますので、「Device & Pin Options」をクリックしてください。

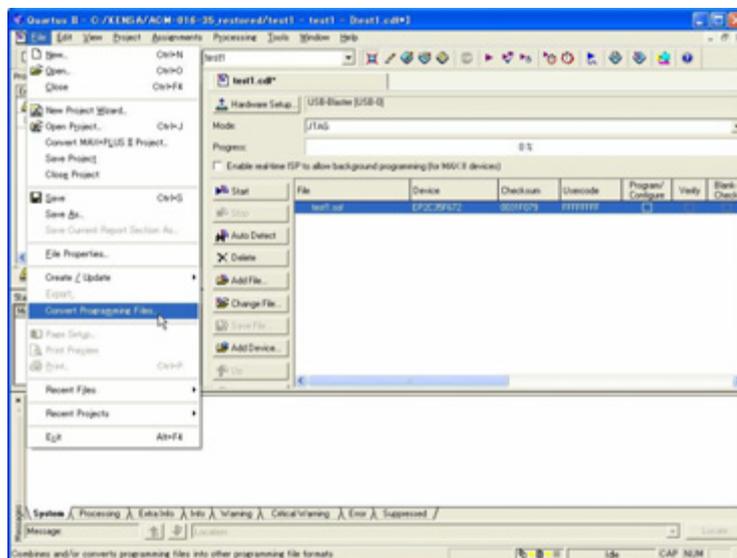


Configuration タブをクリックし Use configuration device を「EPCS4」に設定してください。

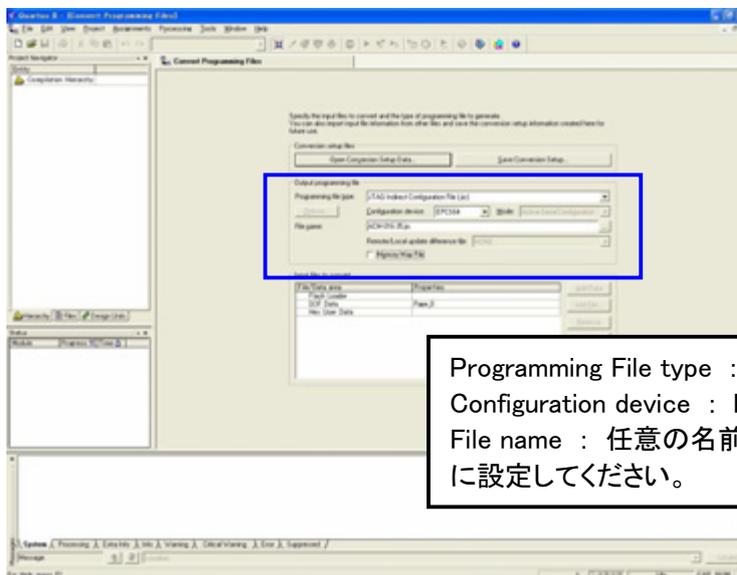


6.2. jic ファイルの作成

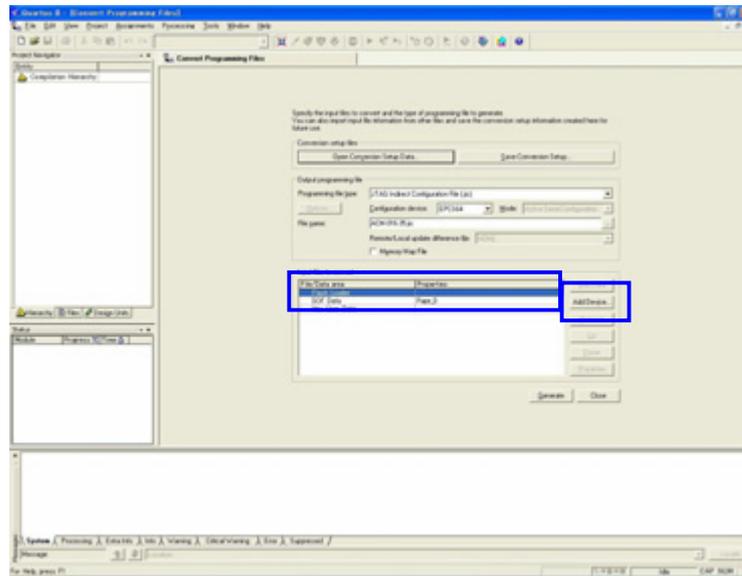
QuartusII の「FILE/Convert Programming Files」をクリックします。



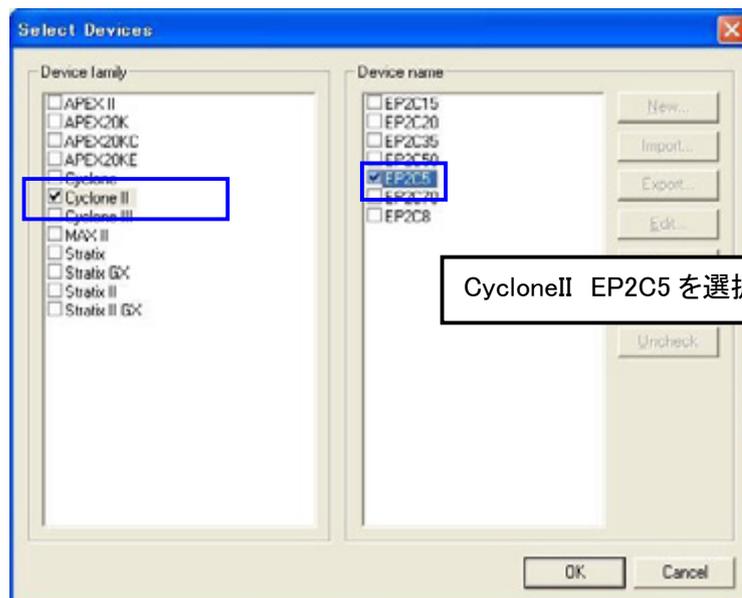
次に「Programming File type」「Configuration device」「File name」を下記のとおり指定し「Memory Map File」のチェックを外します。



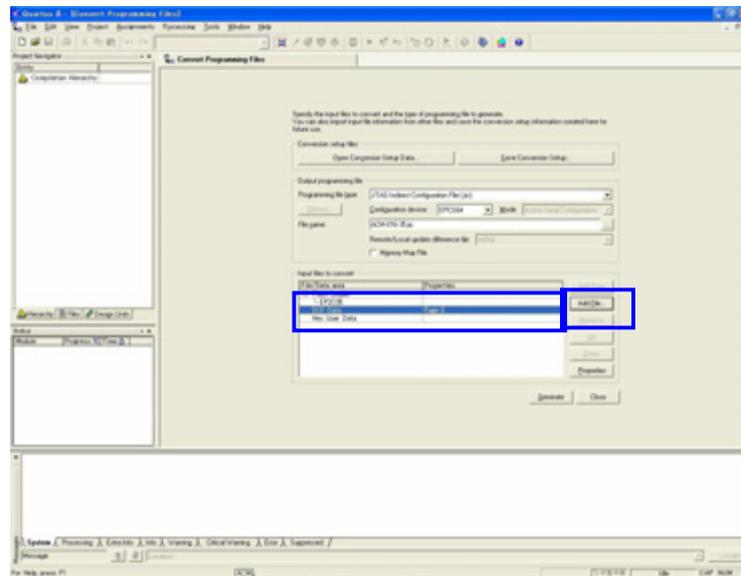
「Flash Loader」を選択し「Add Device...」をクリックしてください。



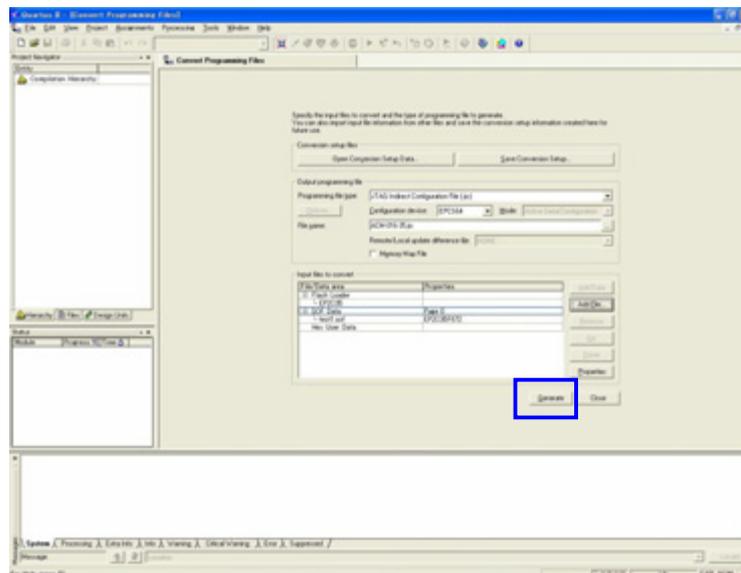
CycloneII EP2C5 を選択し「OK」をクリックします。



次に「SOF Data」を選択し「Add Files...」をクリックし SOF データを割り当ててください。



「Generate」をクリックしてください。

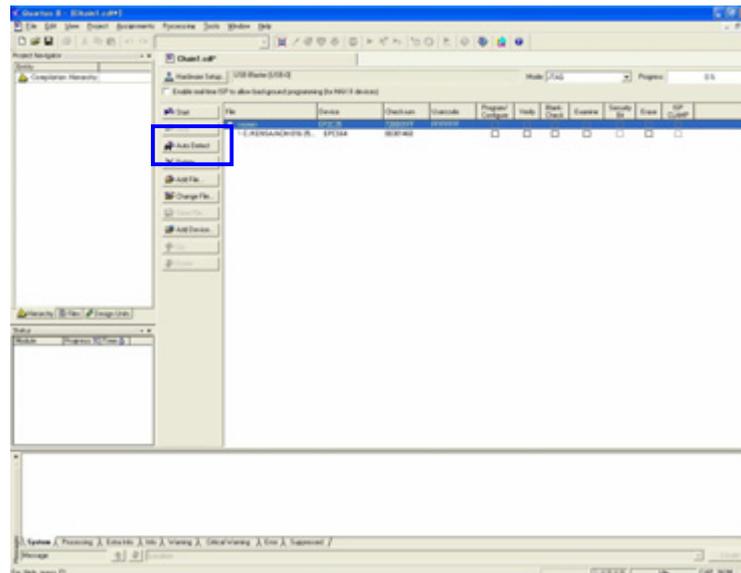


これで jic ファイルができました。

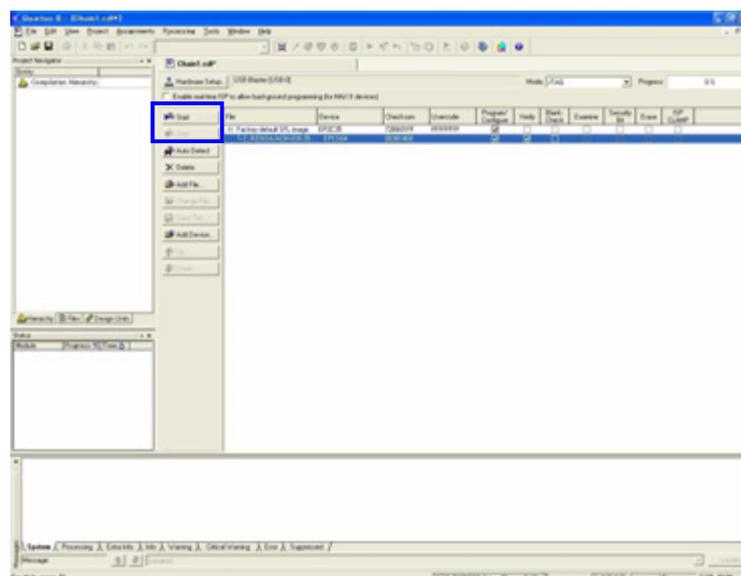
6.3. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし十分に動作確認を行ってから ROM に ISP するよ
にしてください。

6.1 項で作成した jic ファイルを使用します「Auto Detect」をクリックし
jic ファイルを指定してください。



「Program/Configure」と「Verify」にチェックをいれ「Start」をクリックしてください。



6.4. ジャンパ設定(JP4)

ROM から FPGA へコンフィギュレーションを行う際、JP4 の MSEL0, MSEL1 の設定が必要です。

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP4 ——— MSEL0,MSEL1 信号 設定用

JP4	MSEL
1-2	MSEL0
3-4	MSEL1

ROM 使用時

JP4 (1-2 間:ショート 3-4 間:ショート)

MSEL0 = 0

MSEL1 = 0



USB からコンフィギュレーションまたは JTAG 使用時(出荷時)

JP4 (1-2 間:オープン 3-4 間:ショート)

MSEL0 = 1

MSEL1 = 0



メモ

出荷時は JTAG 使用時の設定になっています。

6.5. ROM から FPGA へコンフィギュレーション

6.3.項でジャンパ設定を行った後、ボードの電源を OFF⇒ON にすると、ROM から FPGA にコンフィギュレーションされます。

7. 付属 CD-ROM の内容

- 「BitCfg2」
 - FPGA コンフィギュレーションのためのソフトウェア
 - Visual C++ のソースコード
- 「DirectDriver」
 - USB ドライバ (FTDI 社ダイレクトドライバ)
- 「EDA-003」
 - 「Document」
 - EDA-003 ユーザーマニュアル (カラー)
 - EDA-003 回路図

最新のデータシートは、各社のホームページからダウンロードしてください。

ALTERA 社のホームページ<http://www.altera.com/>

FTDI 社のホームページ<http://www.ftdichip.com/>

8. EDA-003 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 基板回路図 (別紙)
2. 基板外形図

CycloneII FPGA トレーナ

EDA-003

ユーザーズマニュアル

2008/02/05 初版

2008/04/23 第 2 版

2009/06/12 第 3 版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp>

[このマニュアルは2色で印刷されております](#)