





ヒューマンデータ





はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品説明	3
3.1. 各部の名称	3
3.2. ブロック図	3
3.3. 開発環境	4
3.4. ダウンロードケーブル	4
3.5. クロック	4
3.6. 電源	4
3.7. FPGA コンフィギュレーション	4
3.8. JTAG コネクタ	4
4. FPGA ピン割付表	5
4.1. オンボードクロック	5
4.2. 外部クロック	5
4.3. USB 通信	5
4.4. CNA	6
4.5. CNB	7
5. 専用ソフトウェアによる FPGA コンフィギュレーション	8
5.1. USB ドライバのインストール	8
5.2. USB ドライバのアンインストール	.11
5.3. rbf ファイルの作成	.12
5.4. USB から FPGA ヘコンフィギュレーション	.15
6. コンフィギュレーション ROM への書込み	16
6.1. Device&Pin Options の設定	.16
6.2. jic ファイルの作成	.17
6.3. コンフィギュレーション ROM に ISP(書込み)	.20
6.4. ジャンパ設定(JP4)	.21
6.5. ROM から FPGA ヘコンフィギュレーション	.21
7. 付属 CD-ROM の内容	22
8. EDA-003 参考資料について	22
9. 付属資料	22



はじめに

この度は、FPGAトレーナ EDA-003 をお買い上げいただきまして、誠にありがとうございます。

ALTERA 社対応 FPGA トレーナ EDA-003 は、USB インタフェースをもつPCに接続 し、ALTERA 社の開発ソフト(QuartusII)などにより設計した回路を、USB 経由でコンフ ィギュレーションできる学習用ボードです。

FPGA は、ALTERA 社の高性能 FPGA である、CycloneII (144pin)を搭載しています。 USB インタフェースに FTDI 社の FT2232 を採用し、A チャンネルをコンフィギュレー ション用に B チャンネルをアプリケーション通信用に使用できます。アプリケーション通 信は仮想 COM ポートドライバにより行うことができます。

EDA-003は、専用コンフィギュレーションソフト(exe ファイル1本)により、rbfファイル さえあれば、ALTERA 社の開発環境をインストールしていなくても FPGA へのコンフィ ギュレーションが行えますので、検査治具などにも便利にご利用いただけます。

コンフィギュレーション ROM への書き込みには、ALTERA 社対応ダウンロードケーブ ルが別途必要になります。

ご注意

	本製品には、民生用の一般電子部品が使用されています。
\frown	宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる
(\land)	特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
V	れて、高湿度の場所での使用はご遠慮ください。
禁止	腐食性ガス、可燃性ガス等引火性のガスのあるところでの
	使用はご遠慮ください。
	基板表面に他の金属が接触した状態で電源を入れないでください。
	を格を越える電源を加えないでください。
•	本書の内容は、改良のため将来予告なしに変更することがありますので、
$\mathbf{\Lambda}$	ご了承願います。
	本書の内容については万全の記して作成しましたが、万一誤りなど、お気
	づきの点がございましたら、ご連絡をお願いいたします。
注意	オ制 日の 海田の 妹田 につきすしてけ ユ 西に かかわらず 半分け 書 にたら
	一本表面の運用の結果につきましては、/・項にかかわらり当社は具任を見 いわわますので、デス系簡います。
	いかねよりのじ、こ」承願いより。

9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載され ていない使用をされた場合の結果については、当社は責任を負いません。

10 本書および、回路図、サンプル回路などを無断で複写、引用、配布すること はお断りいたします。

11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
13	静電気にご注意ください。



1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、 弊社宛にご連絡ください。

1

1

1

1

1

1

FPGA トレーナ EDA-003 付属品 USB ケーブル 付属 CD マニュアル(本書) ユーザ登録はがき

2. 仕様

製品型番	EDA-003			
搭載 FPGA	EP2C5T144C8N			
電源	DC 5V			
消費電流	N/A (詳細は FPGA データシートご参照)			
外形寸法	86 × 54 [mm]			
質量	約 30g			
ユーザーl/0	75 本			
I/O コネクタ	66 ピンスルーホール 0.9[mm φ]x2 組 2.54mm ピッチ			
プリント基板	ガラスエポキシ 4 層基板 1.6t			
コンフィギュレーション ROM	EPCS4SI8N(ALTERA)			
クロック	オンボード 30MHz 6MHz 外部供給可能			
コンフィギュレーション用リセット回路	内蔵(240ms TYP)			
JTAG コネクタ	DIP10 ピン ピンヘッダ 2.54mm ピッチ			
ステータス LED	2 個(POWER-LED , DONE-LED)			
付届品	DIP80 ピンヘッダ 2個(任意にカット可能)			
	USB ケーブル(1.8m)			

* 互換品と変更になる場合がございます



3. 製品説明

3.1. 各部の名称



部品面



3.2. ブロック図



3.3. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツー ルが必要です。これらの開発ツールは、ALTERA社が無償配布するQuartus IIに て可能です。使用する際には、インターネットによるライセンス登録が必要となりま す。

3.4. ダウンロードケーブル

FPGA へのコンフィギュレーションには、専用のダウンロードケーブルを必要としま せん。添付の USB ケーブルをご使用ください。

注意 コンフィギュレーション ROM に ISP する際は ALTERA 社対応ダウンロードケーブ ルが必要です。

3.5. クロック

USB コネクタより 6MHz, 発振器より 30MHzを FPGA に供給します。

3.6. 電源

電源は USB から 5V が供給されます。FPGA の必要とする 3.3V. 1.2V はオンボード レギュレータにより生成されます。 5V は外部から供給することも可能です。(JP5 をオープンとしてください)

3.7. FPGA コンフィギュレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA をコ ンフィギュレーションすることができます。

コンフィギュレーションが終了し、DONE信号がHになると赤色LED(LED2)が点灯し ます。

3.8. JTAG コネクタ

FPGA へのコンフィギュレーション及び コンフィギュレーション ROM の ISP に 使用します。 ピン配置は次表のとおりです。



CN1	JTAG コネクタ					
回路図上信号名	ダウンロード ケーブル信号名	ピン番号	ピン番号	ダウンロード ケーブル信号名	回路図上信号名	
XTCK	TCK	1	2	GND	GND	
XTDO	TDO	3	4	VCC (3.3 V)	V33A	
XTMS	TMS	5	6	-	-	
-	-	7	8	-	-	
XTDI	TDI	9	10	GND	GND	



弊社製ダウンロードケーブル BL3、BLKIT や ALTERA 社の純正ケーブルなどを用いることができます。





4. FPGA ピン割付表

4.1. オンボードクロック

クロック	NET LABEL	FPGA ピン#
30MHz	CLK-A	17
30MHz	CLK-B	18
6MHz	CLK-6M	88, 89

4.2. 外部クロック

コネクタピン NO	NET LABEL	FPGA ピン#
CNA-66	CLKEXTA	90,91
CNB-66	CLKEXTB	21,22

4.3. USB 通信

NET LABEL	方向	FPGA ピン#
TXDBIN	IN	81
RXDBOUT	OUT	80
RTSBIN	IN	26
CTSBOUT	OUT	27



4.4. CNA

BANK	NET LABEL	FPGA ピン#	CNA	ピン#	FPGA ピン#	NET LABEL	BANK
		(3.3V) *3	1	2	(3.3V) *3		
		5V	3	4	5V		
		GND	5	6	GND		
Α	IOA0	3	7	8	4	IOA1	А
Α	IOA2	7	9	10	8	IOA3	А
Α	IOA4	9	11	12	24	IOA5	А
Α	IOA6	25	13	14	28	IOA7	А
		GND	15	16	GND		
Α	IOA8	30	17	18	31	IOA9	А
Α	IOA10	32	19	20	40	IOA11	А
Α	IOA12	41	21	22	42	IOA13	А
Α	IOA14	43	23	24	44	IOA15	А
		GND	25	26	GND		
Α	IOA16	45	27	28	47	IOA17	А
Α	IOA18	48	29	30	51	IOA19	А
Α	IOA20	52	31	32	53	IOA21	А
Α	IOA22	55	33	34	57	IOA23	А
		GND	35	36	GND		
Α	IOA24	58	37	38	59	IOA25	А
Α	IOA26	60	39	40	63	IOA27	А
Α	IOA28	64	41	42	65	IOA29	А
Α	IOA30	67	43	44	69	IOA31	А
		GND	45	46	GND		
Α	IOA32	70	47	48	71	IOA33	А
А	IOA34	72	49	50	73	IOA35	А
А	IOA36	74	51	52	75	IOA37	А
Α	IOA38	76	53	54	79	IOA39	А
		GND	55	56	GND		Α
Α	IOA40	86	57	58	87	IOA41	Α
Α	IOA42	92	59	60	93	IOA43	А
Α	IOA44	94	61	62	96	IOA45	А
Α	IOA46	97	63	64	99	IOA47	А
Α	IOA48	100	65	66	103	IOA49 *1	А

*1 抵抗(R9)を介して FPGA ピン# 90, 91 (CLKEXTA) に接続

*3 3.3V 出力(入力ではありません)



4.5. CNB

BANK	NET LABEL	FPGA ピン#	CNB	ピン#	FPGA ピン#	NET LABEL	BANK
		(3.3V) *3	1	2	(3.3V) *3		
		5V	3	4	5V		
		GND	5	6	GND		
В	IOB0	144	7	8	143	IOB1	В
В	IOB2	142	9	10	141	IOB3	В
В	IOB4	139	11	12	137	IOB5	В
В	IOB6	136	13	14	135	IOB7	В
		GND	15	16	GND		
В	IOB8	134	17	18	133	IOB9	В
В	IOB10	132	19	20	129	IOB11	В
В	IOB12	126	21	22	125	IOB13	В
В	IOB14	122	23	24	121	IOB15	В
		GND	25	26	GND		
В	IOB16	120	27	28	119	IOB17	В
В	IOB18	118	29	30	115	IOB19	В
В	IOB20	114	31	32	113	IOB21	В
В	IOB22	112	33	34	101	IOB23	В
		GND	35	36	GND		
В		N/C	37	38	N/C		В
В		N/C	39	40	N/C		В
В		N/C	41	42	N/C		В
В		N/C	43	44	N/C		В
В		GND	45	46	GND		
В		N/C	47	48	N/C		В
В		N/C	49	50	N/C		В
В		N/C	51	52	N/C		В
В		N/C	53	54	N/C		В
		GND	55	56	GND		
В		N/C	57	58	N/C		В
В		N/C	59	60	N/C		В
В		N/C	61	62	N/C		В
В		N/C	63	64	N/C		В
В		N/C	65	66	104	IOB24 *2	В

*2 抵抗(R22)を介して FPGA ピン# 21, 22(CLKEXTB) に接続

***3** 3.3V 出力(入力ではありません)



5. 専用ソフトウェアによる FPGA コンフィギュレーション

5.1. USB ドライバのインストール

FPGA へのコンフィギュレーションと、USB の通信実験の前には、FTDI 社の提供す るドライバを PC にインストールする必要があります。本章で説明するインストール作 業が完了後、FPGA へのコンフィギュレーションが可能になります。 USB コネクタに付属 USB ケーブルを挿入すると「新しいハードウェア」が認識されま す。次の手順に従ってインストール作業を完了してください。 Windows XP を例に作成しています。

いいえ、今回は接続しませんにチェックを入 れ「次へ」をクリックしてください。



「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。



付属 CD 内の WIN2K_XPを選択し「次へ」をク リックしてください。



「続行」をクリックしてください。

ハードウェ	アのインストール
<u>.</u>	このハードウェア: ED-CONFIG
	を使用するためにインストールしようとしているシフトウェアは、Windows XP との 互換性を検証する Windows ロゴテストに含格していません。 <u>このテストが営業である理由</u>) インストールを結ちした根本、システムの時代が解わたわたれ、システム
	カイムテになるなど、東大な時半ちゃく得足、す要因となる可能性があり ます。今すぐインストールを中断し、Windows 日ゴ テストに合着したソフ トウェアが入手可能かどうか、ハードウェア ペンターに確認されることを、 Microsoft は強くお勧めします。
	精行公(インストールの停止公)

「完了」をクリックしてください。



いいえ、今回は接続しませんにチェック を入れ「次へ」をクリックしてください。





「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。

新しのハードウェアの検出ウ	df – B
	このウィザードでは、決のハードウェアに必要なシフトウェアをインストールします: EDA-003 VCP のードウェアに対照のインストール CD またはフロッピー ディ スクがある場合は、算人してください。
A STREET	インストール方法を選んでください。
	○ソフトウェアを自動的なインストールする(推定)Φ ○一覧または特定の場所がらインストールする(詳細/02)
	統行するには、じたへ」をクリックしてください。
	(要が) 次へ切り キャンセル

付属 CD 内の WIN2K_XP を選択し「次へ」をク リックしてください。

新しいハードウェアの検出ウィザード
検索とインストールのオブションを選んでください。
○広の場所で最適のドライバを検索するな 下のチェック ポックスを使って、リムーバブル メディアやローカル パスから検索できます。検索された最適のドラ イバダインストールされます。
● リムーパブルメディア (20)ビー、CD-ROM など)を検索性が ● 次の場所を含める(2) DMIDAL (2007)21015100
 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
(第22章) 次へゆう キャンセル

「続行」をクリックしてください。



「完了」をクリックしてください。



いいえ、今回は接続しませんにチェックを入れ「次へ」をクリックしてください。



「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。





付属 CD 内の WIN2K_XP を選択し「次へ」をク リックしてください。



「続行」をクリックします。

ハードウェ	アのインストール
⚠	このハードウェア・ EDA-003
	を使用するためにインストールしようとしているシフトウェアは、Windows XP との 互換性を検証する Windows ロゴテストに含格していません。 にのテストが集切である理由)
	インストールを統行した場合、システムの動作が損なわれなり、システム が不女定になるなど、重大な障害を引き起こす要因しなる可能性があり ます。今すぐインストールを中断し、Windows ロゴ テストに合格したソフ ドウェアが入手可能かどうか、ハードウェア ペンダーに確認をれることを、 Microsoft は強くお勧めします。
	続行の「インストールの停止の」

「完了」をクリックしてください。



これでドライバの組み込みが完了し ました。

デバイスマネージャで確認すると次 のようになっているはずです。 COM ポートの番号は、お客様の環境に より異なります。COM ポートの番号を確 認するためにも、一度ご確認を御願いし ます。

デバイスマネージャは、マイコンピュー タのプロパティを選択し、ハードウエアタ ブからデバイスマネージャのボタンをク リックするか、マイコンピュータの管理か ら、デバイスマネージャをクリックするか のいずれかの方法で起動することがで きます。

新しいドライバが提供されたときは、 弊社サイトのサポートページの説明に 従ってください。

鳥 ダバイス マネージャ	
7+1.60 陳作田 表示心 へかり回	
+ → B # B 3	
○ 通 日 日 日 一 一 一 一 一 一 一 日 日 日 日 日 日 日 日 日	
ው ቻ ም-ት 60M ይ ሆከ ቻ E04-003 E0540 ቻ 7/29 ም-ት 6PTD	



5.2. USB ドライバのアンインストール

インストールした USB ドライバをアンインストールには、PC と EDA-003 を接続しな い状態で「スタート」ー「設定」ー「コントロールパネル」ー「アプリケーションの追加と削 除」から「EDA-003 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。

🐻 ナログラムの 追	i Juu 2	:削降				
	^	現在インストールされているプログラム:		更新プログラムの表示(D)	並べ替え(S): 名前	~
7日27ム() 変更と削除(日)	-	🔒 EDA-UU3 HuMANDATA LTD.				^
Ch.		サポート情報を参照するには、ここを外	<u> かりして</u>	<u>ください。</u> Mail Jup J キィント D an TE BURGET	المعالج المحالية	
プログラムの	-		UP914	ALICU 9 OLLIA, DELECHIDAJ	annann chicerte z	更と削除

「Continue」をクリックします。

		_
If your USB device is co	onnected, please unplug it no	w
Press Continue to uning	stall the drivers, or Cancel to) C
\sim		-

次のダイアログで「Finish」をクリックすれば、終了です

FTD1 Uninstaller	×
	_
Uninstalling VID_0F87&PID_1013	
Deleting registry entries Deleting files	
Press Finish to exit.	
Continue	



5.3. rbf ファイルの作成

rbfファイルを生成するためには、使用しないピンをトライステートに設定してコンパイル時にrbfファイルを生成するように設定する必要があります。

「Assignments」ー「Device」を選択します。



以下の画面が、表示されますので、デバイスが、EP2C5T144C8 であることを確認して「Device & Pin Options」をクリックしてください。

General	Device						
General File Librains Device Operating Settings and Conditions Compilation Process Settings Eth Tool Settings Print Settings Think Analysis I Settings Think Analysis I Settings Orealign Assistant Design Assistant Signal Tao II Logic Analyser Logic Analyses Intellace Simulator Settings PowerPlay Power Analyses Settings	Device Select the family and devic Eamly: Cyclone II Device and Pro Options. Target device C data device salecte C data device salecte C data device salecte C data device salecte Paces 2552500 EPAC57000 EPAC57000 EPAC57000000000000000000000000000	ce you want to dby the Filter cited in Rivals	target for tele devices tEx 400 4	Compilation	Show in 'A Package Pin gourt Spged gas Spged gas Spged gas Spged gas Show in Show in S	Any Any Any de Any advanced d 25 25 25 25 25 25 25 25 25 25 25 25 25	ices' list
	Migration Compatibility Migration Devices		HardCopy				-
	O migration devices sele	cled	In Test D				



「Device & Pin Options」の設定画面が開きますので、「Unused Pins」の「Reserve all unusedpins」の設定で、「As input tri-stated」に設定してください。

Pin Placement Erro	r Detection CRC	Capacitive Loading	Board Trace Mode
ieneral Configuration	Programming Files	Unused Pins Du	al-Purpose Pins Volta
Specify device-wide options dual ouroose configuration o reserve other price individual	for reserving all unused p ins. do to the Dual-Purpos ly, use the Assignment Edi	ins on the device. To te Pins tab. To tot.	o reserve individual
Reserve all unused pins:	As input tri stated		-
			₽
			Ť
Description			Ť
Description: Reserves all unused pins or outputs that drive ground, a hold, or as input tri-stated w	n the target device in one is outputs that drive an un ith weak pull-up.	ol 5 states: as inputs specified signal, as ir	that are tristated, as aput tristated with bus-
Description: Reserves all unused pins or outputs that drive ground, a hold, or as input tri-stated w	n the target device in one s outputs that drive an un th weak pull-up.	ol 5 states: as inputs specified signal, as ir	that are tristated, as apput tristated with bus-

次に「Programming Files」の設定画面を開き「Raw Binary File (rbf)」をチェックします。

Pin Placement Error Detection CBC	Capacitive Loading Board Trace Mode
General Configuration Programming P	Ites Unused Pins Dual-Purpose Pins Volte
Selects the optional programming file formats t schemes. If you select a passive configuration Configuration tab, the Quartus II software alwa Partial SRAM Object File (psof) or a Program desendence on the configuration desires you are	ogenerate. For device families with multiple configuratio scheme in the ays generates an SRAM Object File (.sof) and either a ner Object File (.sof). Langelyo.
Tabular Test File (18)	Serial Vector Format File (svf)
Baw Binary File (Jbf)	In System Configuration File (iso)
Jam SLAPL Byte Lode 2 0 File (.ibc)	JEDEC STAPL Format File (iam)
E Compressed	Terror construction (the h
Hexadecimal (Intel-Format) Output File (he	(turxe
Statt address:	Count II
our Brances Io	Carr Job T
Description	
Generates a Raw Binary File (.rbf) containing controller can use to configure the target dev	configuration data that an intelligent external ice.
	Reset



rbf ファイルを生成するためにコンパイルと同じ手順で、[Processing]ー[Start Compilation] または▶をクリックしてください。



コンパイルが、成功すると下の画面がでますので、「OK」をクリックしてください。

Quartus	п
Ų.	Full Compilation was successful (18 warnings)

これでプロジェクトフォルダに.rbf が生成されました。

EDA-003 の FPGA へのコンフィギュレーションをボード上の USB 経由で行う際に、 ALTERA 社の QuartusII プログラマを利用することはできません。 付属の専用ソフトウェアにて USB コンフィギュレーションをおこなってください。

EDA-003の JTAG コネクタからコンフィギュレーションするときには、ALTERA 社対応のダウンロードケーブルを用いて、QuartusIIのプログラマからコンフィグレーションが可能です。





5.4. USB から FPGA ヘコンフィギュレーション

付属 CD 内にある「BitCfg2.exe」を起動させると次のウィンドウが表示されます。

	Configuration	n Program Rev 2	n 🔀
-	status :	Download time :	Reset
	5.3 項で作り	ずした「File」を選択	

5.3 項で作成した.rbf ファイルを選択し、Download をクリックします。





6. コンフィギュレーション ROM への書込み

EDA-003 にはコンフィギュレーション ROM(EPCS4)が実装されています。 コンフィギュレーション ROM に ISP するためには QuartusII により,jic ファイルを作成し ます。

6.1. Device & Pin Options の設定

い。

「Assignments」-「Device」を選択します。 以下の画面が、表示されますので、「Device&Pin Options」をクリックしてください。



Configuration タブをクリックし Use configuration device を「EPCS4」に設定してくださ

Configuration scheme	Active Se	erial (can use Configuration Device)	
Configuration mode:			
- Configuration devic	, '		
I ∐se configurat	on device:	EPCS4	*
		Configuration Drevice Opti	ons
-			
Generate compre	sed bitstreams		
Description			
	allow device all.	al more used to use and an entry of beauty of	
Specifies the configu device.	ation device th	at you want to use as the means of conliguin	ng the target
Specifies the configu device.	ation device th	at you want to use as the means of conliguin	ng the target



6.2. jic ファイルの作成

QuartusII の「FILE/Convert Programming Files」をクリックします。



次に「Programming File type」「Configuration device」「File name」 を下記のとおり指定し「Memory Map File」のチェックを外します。







「Flash Loader」を選択し「Add Device...」をクリックしてください。

CycloneII EP2C5を選択し「OK」をクリックします。

ielect Devices	
Device lamy APEXII APEX20K APEX20K APEX20KC APEX20KE Cyclone Cyclone II Cyclone II Cyclone III Cyclone	Device name EP2C15 EP2C35 Ep2C35
Stratix GX Stratix II Stratix II	CycloneII EP2C5を選択してください。
	OK Cancel



次に「SOF Data」を選択し「Add Files...」をクリックし SOF データを 割り当ててください。

Courtes 8 - Element Programming Citral	598
a fin fat the frant doments forecase just grane	99
Deskalase	- E7689 8 F 4 50 5 9 8 4 9
Proper Stangers ** E. Connect Programming 1	The second se
Jen .	
Compileran Necestry	
	Sample Register of the Incompany and the team of programming the transmission
	You can also input input the internation from other this and some the conversion rategistionnation constrait here for
	forest the second se
	Description in the law I fee framework into
	(decradation and Last Test receiption and
	Dated anguments fits
	Programming for an and a configuration Provided and an and and and and and and and and
	Dates (adjuste hors (2004) a) the function (adjuster ())
	Ream With the
	Annual and Annual and Annual and Annual and Annual Annua
	C Book in the contract of the
	Input Rec to carvait
	Platitic and Property
	-1203 Anda
Artenty Rile Propins	We Lise Deta
244	
Rokin Property Street & 1	
	Parenter
	generate Occu
B. Spates & Personing & Education & Solid Viewing & Concal Viewing	A fee A Supervised /
prove 1 2 From	- 100 - 100
for their press FT	TTELET IN OF NO.

「Generate」をクリックしてください。

Overtex 8 - Element Programmin	e Filmal				
A DISIS NOT ON			IN MINIMUM PL		
at langer			1		
11	An Canvad Programming Files				
Completes Networks					
		Sands for some fire to	second and the lase of supported	(its is assured	
		You can also import tight folger unit.	the elumation from other lifes and o	are the convenion ratio internation coulted here for	
		Commission when they			
		Open Core	unin-late late	See Constant later	
		Cuput yougaarsing th			
		Property largest	[21A] index Conigation Ne	(e) <u>*</u>	
		- Option	Daufgausten deriten (EPC56	· · · ·	
		Fin parent.	90+26 Ka		
			Resolutional golds difference	• [101]	
			IT Mynoy Hay Tak		
		Input New In-convert			
		Tite Tata area	[higartes	and an a	
		- Cristin		L'AND.	
timety Bile (Trop De)		1 SO Jata	These Diversion		
		Her Use Data			
die Prans Wilse &					
				2000	
				President	
				and the second se	
				genere One	
	11				
Andrew (Branches) English 1	A Distance I Construction of Lines	h hereard d			
Annual A recently A Datases A to	e V anne V rectande V pro	A reprint /			-
121					
felt press Pi				College Lander	Table CAP NUM

これで.jic ファイルができました。



6.3. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし十分に動作確認を行ってから ROM に ISP するよ にしてください。

6.1 項で作成した.jic ファイルを使用します「Auto Detect」をクリックし .jic ファイルを指定してください。



「Program/Configure」と「Verify」にチェックをいれ「Start」をクリックしてください。





6.4. ジャンパ設定(JP4)

ROM から FPGA ヘコンフィギュレーションを行う際、JP4 の MSEL0, MSEL1 の設定 が必要です。

	(ALTERA 社データシートより		
Configuration Scheme	MSEL1	MSELO	
AS (20 MHz)	0	0	
PS	0	1	
Fast AS (40 MHz)	1	0	
JTAG-based Configuration (1)	(2)	(2)	

Notes to Table 13-1:

- JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP4 ——— MSEL0,MSEL1 信号 設定用

JP4	MSEL
1-2	MSEL0
3-4	MSEL1

ROM 使用時

JP4 (1-2 間:ショート 3-4 間:ショート)

MSEL0 = 0 MSEL1 = 0



USB からコンフィギュレーションまたは JTAG 使用時(<u>出荷時</u>) JP4 (1-2 間:オープン 3-4 間:ショート)

MSEL0 = 1 MSEL1 = 0	
▲▲ 出荷時は JTAG 使用時の設定になっています。	

6.5. ROM から FPGA ヘコンフィギュレーション

6.3.項でジャンパ設定を行った後、ボードの電源を OFF⇒ON にすると、ROM から FPGA にコンフィギュレーションされます。



7. 付属 CD-ROM の内容

- 「BitCfg2」 FPGA コンフィギュレーションのためのソフトウェア Visual C++ のソースコード
- 「DirectDriver」 USB ドライバ(FTDI 社ダイレクトドライバ)
- 「EDA-003」 「Document」 EDA-003 ユーザーマニュアル(カラー) EDA-003 回路図

最新のデータシートは、各社のホームページからダウンロードしてください。

ALTERA 社のホームページ<u>http://www.altera.com/</u>

FTDI 社のホームページ<u>http://www.ftdichip.com/</u>

8. EDA-003 参考資料について

追加資料や参考資料がつくられた場合は 製品サポートページ http://www.hdl.co.jp/support_c.html にデータをアップロードすることにいたします。 ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

- 1. 基板回路図(別紙)
- 2. 基板外形図



CycloneII FPGA トレーナ EDA-003

ユーザーズマニュアル 2008/02/05 初版 2008/04/23 第2版 **2009/06/12 第3版**

有限会社ヒューマンデータ 〒567-0034 大阪府茨木市中穂積1-2-10 ジブラルタ生命茨木ビル TEL 072-620-2002 FAX 072-620-2003 URL http://www.hdl.co.jp

このマニュアルは2色で印刷されております