



スパルタン ブレッドボード  
XSP-006-150  
XSP-006-200  
**ユーザーズマニュアル**  
第5版 (R1)

ヒューマンデータ

## 目次

|                          |   |
|--------------------------|---|
| はじめに.....                | 1 |
| ご注意.....                 | 1 |
| 1. 製品の内容について.....        | 2 |
| 2. 各部の名称.....            | 3 |
| 2.1. 電源入力.....           | 4 |
| 2.2. 汎用 LED.....         | 4 |
| 2.3. 押しボタンスイッチ.....      | 4 |
| 2.4. 数字表示 LED.....       | 4 |
| 2.5. 電子ブザー.....          | 5 |
| 3. ジャンプスイッチの説明.....      | 5 |
| 4. SERIAL ROM について.....  | 8 |
| 5. XSP-006 参考資料について..... | 8 |
| 6. 付属資料.....             | 8 |

## はじめに

この度は、スパルタン ブレッドボード / XSP-006 をお買い上げいただきまして誠にありがとうございます。

XSP-006 は、ザイリンクスの高性能 FPGA スパルタン (XC2S) を用いた評価用ボードで、6桁数字表示 LED、汎用 LED、電子ブザー、クロック発生回路、コンフィグレーションケーブル回路 (XILINX HW-JTAG-PC 互換) などを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

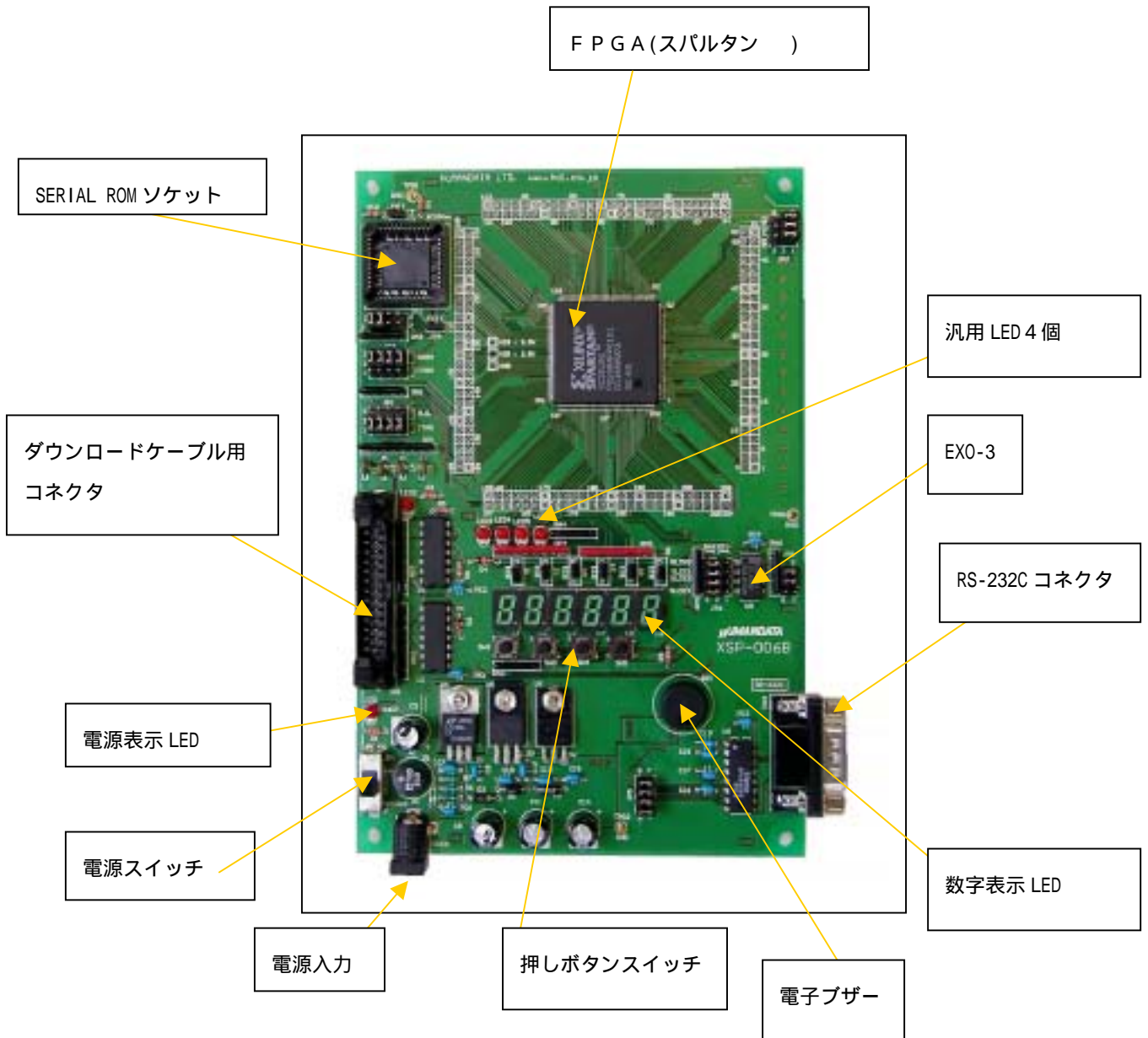
1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

|                     |   |
|---------------------|---|
| FPGAブレッドボード/XSP-006 | 1 |
| 付属品（予備ジャンパなど）       | 1 |
| ACアダプタ              | 1 |
| ダウンロード用ケーブル         | 1 |
| マニュアル（本書）           | 1 |
| ユーザー登録はがき           | 1 |

2. 各部の名称



## 2.1. 電源入力

本ボードは、DC 9V 単一電源で動作します。

内部に必要な、5V、3.3V、2.5V はオンボードのレギュレータにより生成されます。

内部でブリッジダイオードを使用しているため、電源ジャックに極性はありません。

2.1 の標準的な AC アダプタ(9 から 12V) を用いることができます。

付属の AC アダプタをご使用ください。

## 2.2. 汎用 LED

汎用 LED は、L を出力することで点灯します。

消灯するには、ハイインピーダンスとするか、オープンドレインにてオフとしてください。

## 2.3. 押しボタンスイッチ

押しボタンスイッチは、押下すると L として読み込まれます。

## 2.4. 数字表示 LED

数字表示 LED はダイナミック点灯にて表示されます。

桁選択信号 SA0, SA1, SA2, SA3, SA4, SA5 のいずれかを L とし、その他をハイインピーダンスまたはオープンドレインにてオフとします。

このときに、セグメントデータ(SG0, ..., SG6)のパターンにより、数字が表現されます。

SG7 は小数点になっています。

桁信号同様、オフのビットはハイインピーダンスまたはオープンドレインにてオフとしてください。

## 2.5. 電子ブザー

任意の周波数で駆動してかまいませんが、共振周波数は約 4 K H z です。  
そのときに一番大きい音で鳴らすことができます。

## 3. ジャンプスイッチの説明

### J P 6 クロック選択 (次表を参照ください)

| クロック名          | JP6 : BAS 側               | JP6 : DIV 側               |
|----------------|---------------------------|---------------------------|
| FPGA の GCLOCK0 | EX0-03 基本周波数<br>18.432MHz | EX0-03 の分周出<br>力。JP8 で設定。 |
| FPGA の GCLOCK1 |                           |                           |
| FPGA の GCLOCK2 |                           |                           |
| FPGA の GCLOCK3 |                           |                           |

### J P 8 DIV 側クロック設定 (次表を参照ください)

EX0-03(クロック発生器 1 8 . 4 3 2 M H z )

| J P 8 |       |       |          |
|-------|-------|-------|----------|
| 1-2 間 | 3-4 間 | 5-6 間 | 周波数      |
| SHORT | SHORT | SHORT | 9.216MHz |
| OPEN  | SHORT | SHORT | 4.608    |
| SHORT | OPEN  | SHORT | 2.304    |
| OPEN  | OPEN  | SHORT | 1152KHz  |
| SHORT | SHORT | OPEN  | 576      |
| OPEN  | SHORT | OPEN  | 288      |
| SHORT | OPEN  | OPEN  | 144      |
| OPEN  | OPEN  | OPEN  | 72       |

**J P7            M0,M2 信号処理用（回路図参照）**

**ROM 使用時：Master Serial mode**

JP7 1-2 間ショート M0=L

JP7 4-5 間ショート M1=L

JP7 7-8 間ショート M2=L

**JTAG 時：Boundary-scan mode**

JP7 2-3 間ショート M0=H

JP7 4-5 間ショート M1=L

JP7 7-8 間ショート M2=L

| Configuration Mode             | M2 | M1 | M0 | Pull-ups |
|--------------------------------|----|----|----|----------|
| Master Serial                  | 0  | 0  | 0  | No       |
| Slave Serial                   | 1  | 1  | 1  | No       |
| Slave Parallel                 | 1  | 1  | 0  | No       |
| Boundary-scan                  | 1  | 0  | 1  | No       |
| Master Serial (with pull-ups)  | 1  | 0  | 0  | Yes      |
| Slave Serial (with pull-ups)   | 0  | 1  | 1  | Yes      |
| Slave Parallel (with pull-ups) | 0  | 1  | 0  | Yes      |
| Boundary-scan (with pull-ups)  | 0  | 0  | 1  | Yes      |

**J P4            INIT 信号処理用（回路図参照）**

ショートで、INIT 信号 = L になります。（1K でプルダウン）

（出荷時はオープン）

**J P5            RS-232C 回路切り離し用**

ショートで、FPGA と RS-232C トランシーバ IC(SP232)と接続されます。これらのピンをを他の目的で使用したいときに切り離すことができます。

（出荷時ショート）

**J P1            コンフィグレーションモード設定**

JTAG 側で、JTAG モードとなります。

H.D.側でハードウェアデバッグモードとなります。

（出荷時は JTAG 側）



### J P2            コンフィグレーションソース設定

FPGA 側で、コンフィグレーションケーブルからのコンフィグレーションとなります。  
 SROM 側でオプションのコンフィグレーション ROM からのコンフィグレーションとなります。  
 H.D.側でハードウェアデバッグモードとなります。  
 (出荷時は FPGA 側)

### J P3            JTAG チェイン切り替え

|           |                           |                     |
|-----------|---------------------------|---------------------|
|           | 1-2 間、3-4 間<br>ショート       | 5-6 間、7-8 間<br>ショート |
| JTAG チェイン | JTAG にはコンフィグレーション ROM が接続 | JTAG には FPGA が接続    |

参考：ジャンパの差し方を工夫することにより、FPGA と ROM の両方を JTAG に参加させることが可能です。  
 回路図にて御確認ください。

**J P 9 PCLK(回路図参照ください)**

(出荷時はオープン)

**4. SERIAL ROM について**

シリアルROMによりコンフィグレーションする場合は、ザイリンクス製のXC18V02PC44Cを用いることで、オンボードでISP(In System Programing)が可能です。

オンボードで、シリアルROMにISPするときは、ジャンパ設定で、JTAGチェーンにROMを接続してください。

ROMからコンフィグレーションするときの設定は、JP2をSROM側にし、JP7をMasterSerialモードに設定してください。

**5. XSP-006 参考資料について**

追加資料や参考資料がつけられた場合は  
製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることにいたします。

拡張子“.exe”のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

パスワードを求められたときは“thanks”を入力していただければ開けます。

**6. 付属資料****1. 基板回路図**

---

**スパルタン 2 ブレッドボード**

XSP-006-150

XSP-006-200

---

**ユーザーズマニュアル**

---

2001/2/26 初版 ( R 1 ) 2002/4/4 第 2 版 ( R 1 )

2002/7/9 第 3 版 ( R 1 ) 2003/3/26 第 4 版 ( R 1 )

2003/07/29 第 5 版 ( R 1 )

**有限会社ヒューマンデータ**

〒 5 6 7 - 0 0 3 4

大阪府茨木市中穂積 1 - 2 - 5 1

シャトー春日第 3 ビル

TEL 072-620-2002

FAX 072-620-2003

U R L <http://www.hdl.co.jp>

M a i l [support@hdl.co.jp](mailto:support@hdl.co.jp)

---