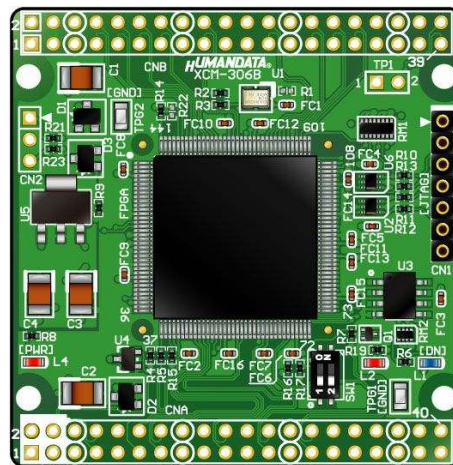


Spartan-6 LX FPGA ボード  
XCM-306 シリーズ  
ユーザーズマニュアル  
Ver. 1.0



ヒューマンデータ



## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 開発環境.....	2
2. 製品の内容について.....	2
3. 仕様.....	2
4. 製品説明.....	3
4.1. 各部名称.....	3
4.2. ブロック図.....	3
4.3. 電源.....	4
4.4. クロック.....	4
4.5. 設定スイッチ (SW1).....	4
5. FPGA コンフィギュレーション.....	5
5.1. JTAG/バウンダリスキャン.....	5
5.2. コンフィグ ROM ファイルの作成.....	6
5.3. コンフィグ ROM アクセス.....	6
6. FPGA ピン割付け表.....	7
6.1. ユーザ I/O (CNA).....	7
6.2. ユーザ I/O (CNB).....	8
6.3. オンボードクロック.....	8
6.4. 汎用 LED.....	8
6.5. 汎用スイッチ.....	8
6.6. 汎用 I/F.....	9
6.7. 外部クロック入力.....	9
7. サポートページ.....	10
8. 付属資料.....	10
9. お問い合わせについて.....	10


## ● はじめに


この度は Spartan-6 FPGA ボード XCM-306 シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-306 シリーズは、XILINX の高性能 FPGA Spartan-6 LX を用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2013/01/15	1.0	・初版発行

## 1. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

## 2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード XCM-306	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

\* オーダー毎に各1部の場合があります。（ご要望により追加請求できます）

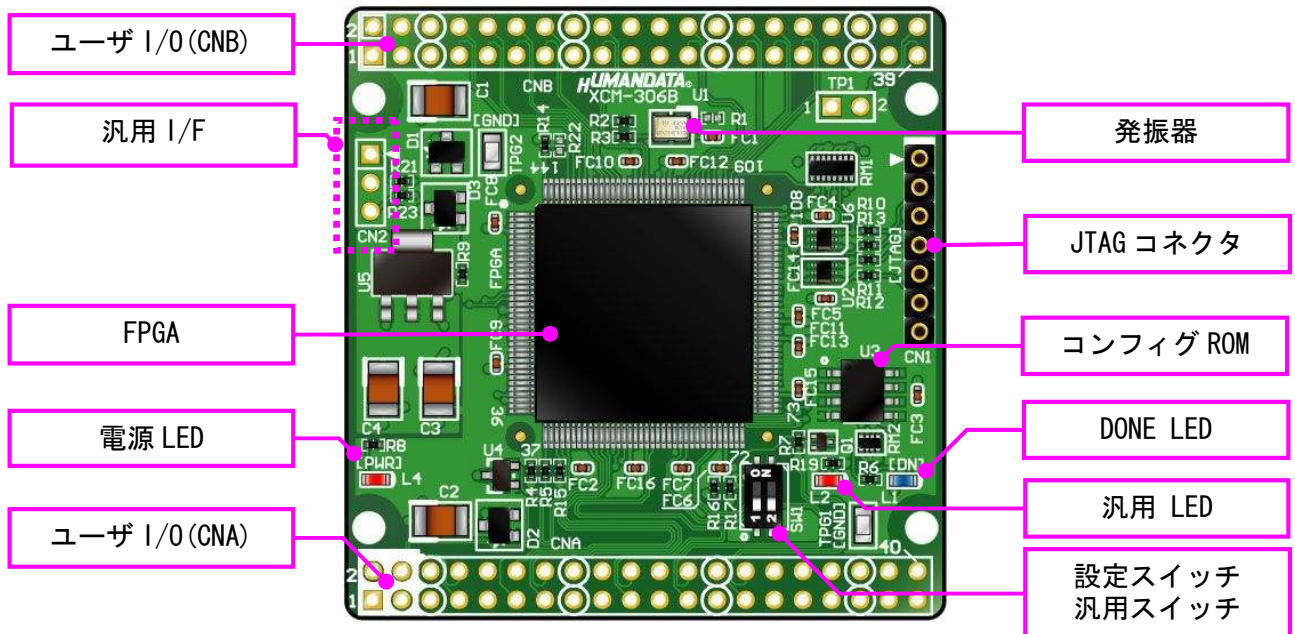
## 3. 仕様

製品型番	XCM-306-LX4	XCM-306-LX9
搭載 FPGA	XC6SLX4-2TQG144C	XC6SLX9-2TQG144C
コンフィグ ROM	M25P16-VMN6 (Micron, 16Mbit)	
オンボードクロック	50MHz	
外部クロック入力	一部のユーザ I/O より入力可能	
電源	DC 3.3[V]	
ユーザ I/O	56 本	
汎用スイッチ	DIP x1bit	
汎用 LED	1	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
リセット信号	コンフィグ用リセット信号 (typ. 240ms)	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ	
ステータス LED	POWER (赤), DONE (青)	
基板寸法	53 x 54 [mm]	
質量	約 15 [g]	
消費電流	FPGA 内部のデザインに依存します	
付属品	SIL7 ロングピンヘッダ (本体に取付け済み) x1	
	DIL40 ピンヘッダ x2	

\*これらの部品や仕様は変更となる場合がございます

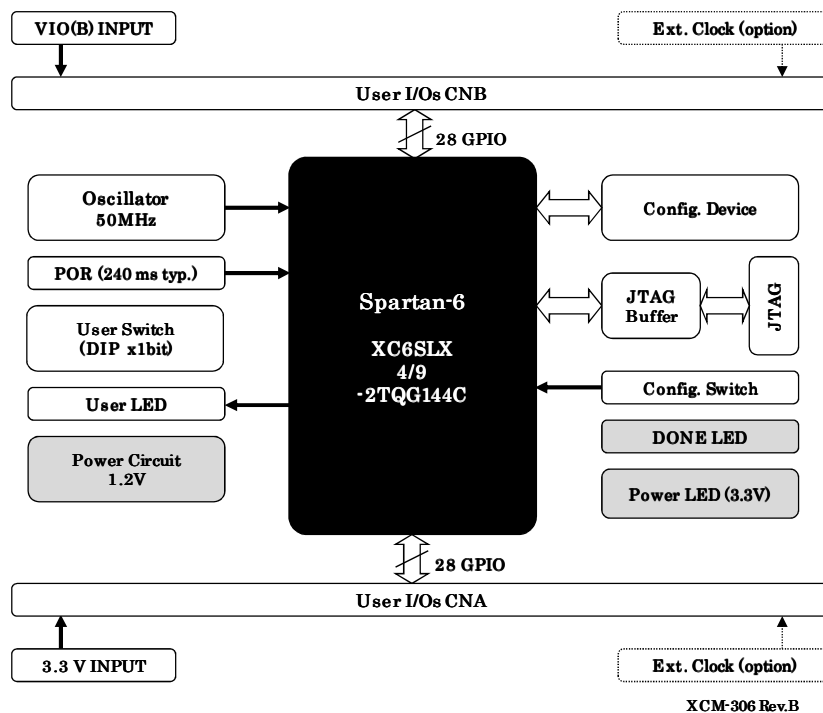
## 4. 製品説明

### 4.1. 各部名称



部品面  
※はんだ面に部品実装はありません

### 4.2. ブロック図



XCM-306 Rev.B

### 4.3. 電源

電源はCNAより3.3V (V33A) を供給してください。外部から供給する3.3V電源は充分安定して、十分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。内部で必要になる1.2Vはオンボードレギュレータにより生成されます。

V10(B)にはCNBより設計に合った値を供給してください。CNAから供給するV33Aとは接続されていません。詳しくはFPGAのデータシートや回路図などを参照してください。

### 4.4. クロック

オンボードクロックとして50MHz (U1) を搭載しています。一部汎用I/Oより外部クロックを入力することも可能です。

### 4.5. 設定スイッチ (SW1)

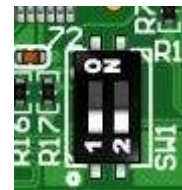
設定スイッチによりコンフィギュレーションモードなどを変更することが可能です。各ピンの詳細についてはSpartan-6コンフィギュレーションユーザガイドをご参照ください。

SW1

番号	1	2
記号	X_M1	ASW2
説明	コンフィグモード設定	汎用

コンフィギュレーションモード	X_M1
マスタシリアル/SPI	ON
JTAG	OFF

ON: Low (0), OFF: High (1)



- **X\_M1**  
コンフィギュレーションモードを設定します。  
本来 JTAG モードにてご使用される場合の設定値は自由ですが、上記の設定値にてご使用になることを推奨致します。
- **ASW2**  
汎用スイッチとしてご使用頂けます。

## 5. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

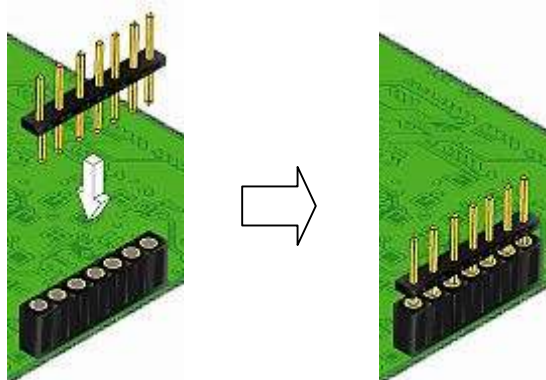
コンフィグ ROM から FPGA へのコンフィギュレーションは、マスタシリアル/SPI モード設定時に電源投入にて自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は下表のとおりです。ケーブル接続時は誤接続に注意してください。

CN2		
ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VREF	OUT
6	TDI	IN
7	GND	I/O



ダウンロードケーブルとの接続には付属のロングピンヘッダをご使用下さい。

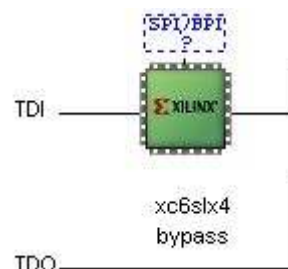


使用例

### 5.1. JTAG/バウンダリスキャン

JTAG より FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。

コンフィグ ROM を使用したコンフィギュレーションには以下をご参照ください。

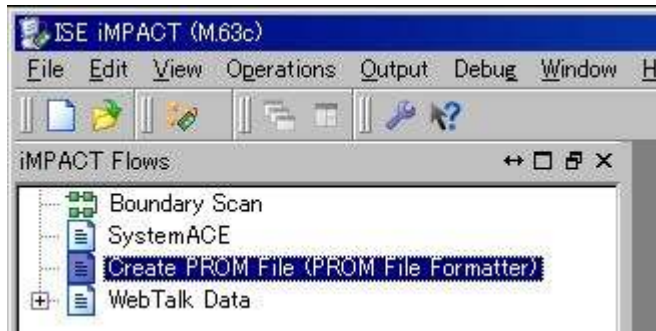




## 5.2. コンフィグ ROM ファイルの作成

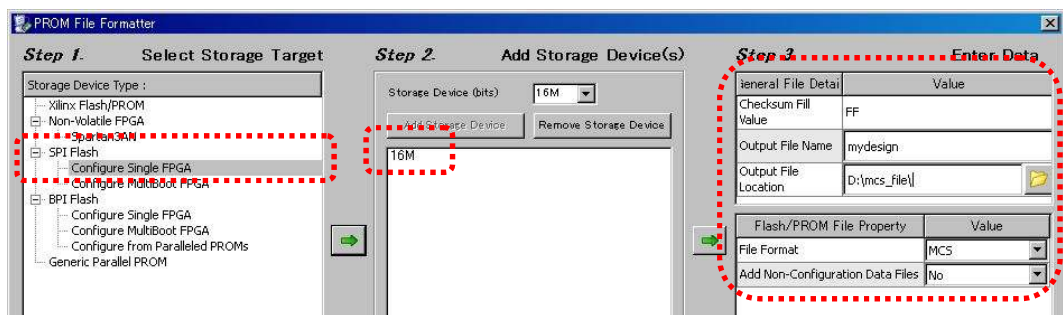
コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。

- (1) iMPACT にて「Create PROM File」をダブルクリックします



- (2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash – Configure Single FPGA
- Storage Device: 16M (1つ)
- File Format: MCS
- その他項目：任意



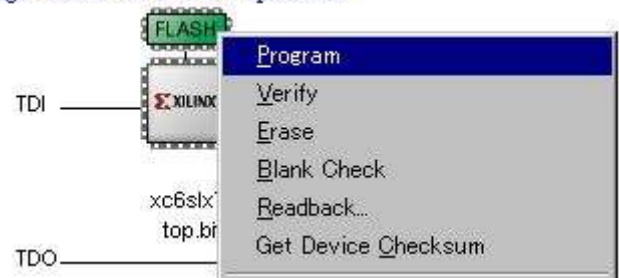
- (3) 使用する bit ファイルを選択します
- (4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします
- (5) 「Generate Succeeded」と表記されれば完了です

## 5.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、右図のようにコンフィグ ROM に MCS ファイルを割付けます。

デバイスには【SPI PROM – M25P16】を選択してください。右クリックから各コマンドを実行できます。

Right click device to select operations



コンフィギュレーションモードはマスタシリアル/SPI モードに設定してください。

## 6. FPGA ピン割付け表

FPGA の BANK は下表のように「BANK Group」にまとめられています。Group A の Vcco は CNA より供給する V33A (3.3V) 固定です。Group B の Vcco には CNB より設計に合った値を供給できます。

配線長などの情報につきましては、サポートページよりエクセルファイルをご利用ください。

FPGA BANK	Vcco	NET LABEL	BANK Group
0	VCCO_0	V10 (B)	B
1	VCCO_1	V10 (B)	B
2	VCCO_2	V33A	A
3	VCCO_3	V33A	A

### 6.1. ユーザ I/O (CNA)

BANK Group	ネットラベル	FPGA ピン	CNA ピン#		FPGA ピン	ネットラベル	BANK Group
	V33A	-	1	2	-	V33A	
		-	3	4	-		
		GND	5	6	GND		
A	IOA0	40	7	8	41	IOA1	A
A	IOA2	43	9	10	44	IOA3	A
A	IOA4	45	11	12	46	IOA5	A
A	IOA6	47	13	14	48	IOA7	A
		GND	15	16	GND		
A	IOA8	50	17	18	51	IOA9	A
A	IOA10	55	19	20	56	IOA11	A
A	IOA12	57	21	22	58	IOA13	A
A	IOA14	61	23	24	62	IOA15	A
		GND	25	26	GND		
A	IOA16	66	27	28	67	IOA17	A
A	IOA18	12	29	30	11	IOA19	A
A	IOA20	10	31	32	9	IOA21	A
A	IOA22	8	33	34	7	IOA23	A
		GND	35	36	GND		
A	IOA24	6	37	38	5	IOA25	A
A	IOA26	2	39	40	1	IOA27	A

## 6.2. ユーザ I/O (CNB)

BANK Group	ネットラベル	FPGA ピン	CNB ピン#		FPGA ピン	ネットラベル	BANK Group
	VIO (B)	-	1	2	-	VIO (B)	
		-	3	4	-		
		GND	5	6	GND		
B	IOB0	140	7	8	139	IOB1	B
B	IOB2	138	9	10	137	IOB3	B
B	IOB4	134	11	12	133	IOB5	B
B	IOB6	132	13	14	131	IOB7	B
		GND	15	16	GND		
B	IOB8	127	17	18	126	IOB9	B
B	IOB10	124	19	20	123	IOB11	B
B	IOB12	95	21	22	94	IOB13	B
B	IOB14	119	23	24	118	IOB15	B
		GND	25	26	GND		
B	IOB16	117	27	28	116	IOB17	B
B	IOB18	115	29	30	114	IOB19	B
B	IOB20	112	31	32	111	IOB21	B
B	IOB22	102	33	34	101	IOB23	B
		GND	35	36	GND		
B	IOB24	100	37	38	99	IOB25	B
B	IOB26	98	39	40	97	IOB27	B

## 6.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	GCLK_50A	14
	GCLK_50B	23

## 6.4. 汎用 LED

LED	NET LABEL	FPGA Pin
L2	ULED2	32

## 6.5. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW1 [2]	ASW2	29

## 6.6. 汎用 I/F

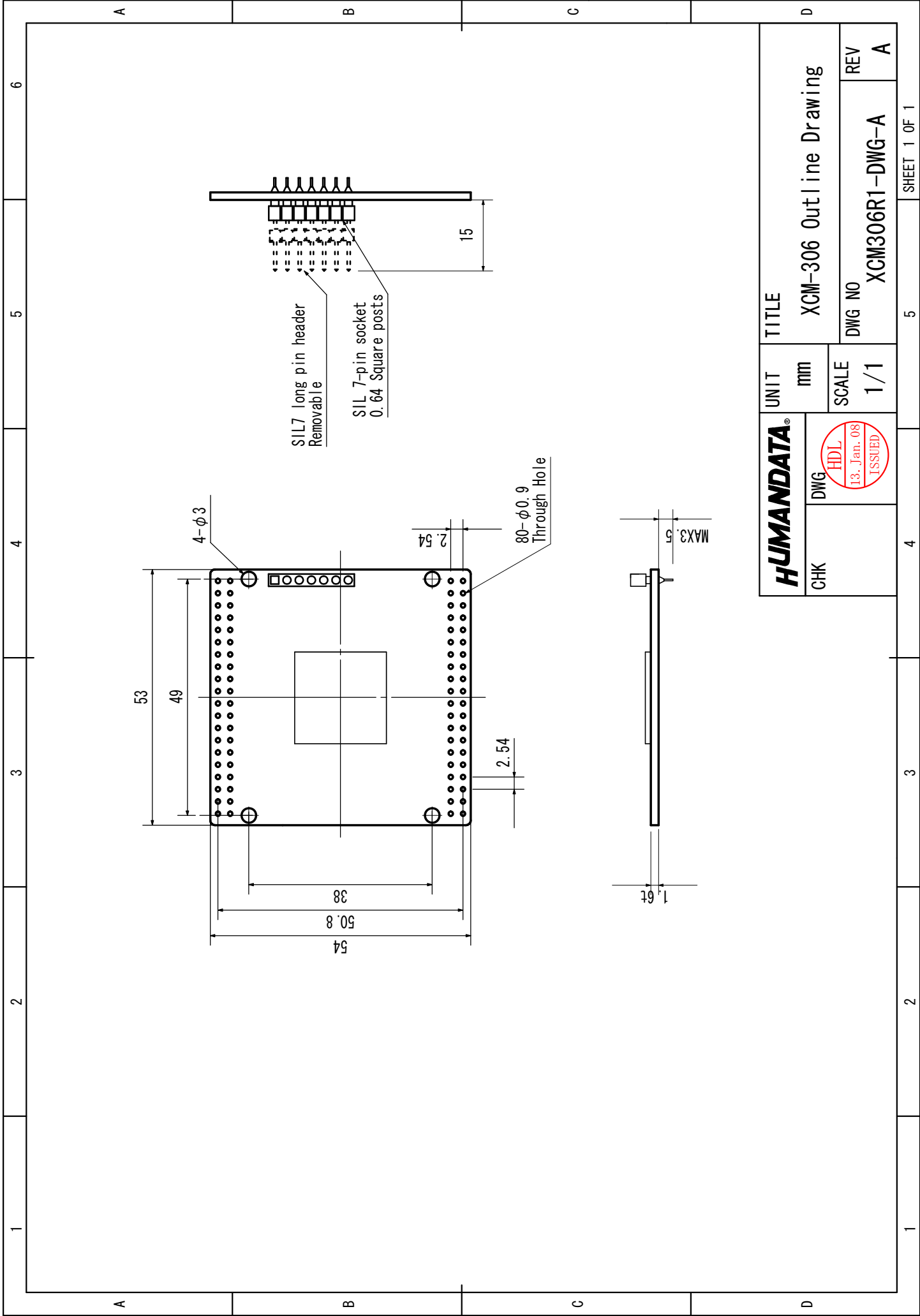
弊社の USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。  
汎用ピンとしてもご使用頂けます。

CN2	NET LABEL	FPGA Pin
1	D_TXD	33
2	GND	-
3	D_RXD	34

## 6.7. 外部クロック入力

コネクタ	NET LABEL	FPGA Pin
CNA[17]	IOA8	50
CNA[18]	IOA9	51
CNA[19]	IOA10	55
CNA[20]	IOA11	56
CNB[11]	IOB4	134
CNB[12]	IOB5	133
CNB[13]	IOB6	132
CNB[14]	IOB7	131
CNB[17]	IOB8	127
CNB[18]	IOB9	126
CNB[19]	IOB10	124
CNB[20]	IOB11	123
CNB[21]	IOB12	95
CNB[22]	IOB13	94





<b>HUMANDATA</b> <sup>®</sup>		UNIT	TITLE
CHK	DWG	mm	XCM-306 Outline Drawing
		SCALE	DWG NO
		1/1	XCM306R1-DWG-A
			REV
			A

---

Spartan-6 LX FPGA ボード  
XCM-306 シリーズ  
ユーザーズマニュアル

---

2013/01/15 Ver.1.0 (初版)

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---