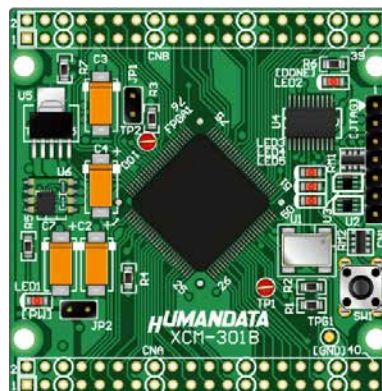


Spartan-3 VQG100 ブレッドボード
(セミカードサイズ)
XCM-301-200 Rev2
ユーザーズマニュアル
Ver. 2.0



ヒューマンデータ

目次


● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 開発環境	2
3. 仕様	3
4. 製品概要	4
4.1. 各部の名称	4
4.2. ブロック図	5
4.3. 電源入力	5
5. FPGA コンフィギュレーション	6
5.1. JTAG/バウンダリスキャン	6
5.2. コンフィグ ROM ファイルの作成	6
5.3. コンフィグ ROM アクセス	7
6. ジャンプスイッチの説明	8
7. コネクタピン割付表	9
7.1. CNA	9
7.2. CNB	10
7.3. LED、スイッチ	10
7.4. CLK	10
8. サポートページ	11
9. お問い合わせについて	11


● はじめに

この度は Spartan-3 ブレッドボード XCM-301-200 をお買い上げいただきまして、誠にありがとうございます。XCM-301-200 は、AMD (XILINX) の高性能 FPGA スパルタン III (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2024/01/26	2.0	製品リビジョンの更新

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-301-200	1
付属品	1
ユーザー登録はがき	1

マニュアルなどは付属していません。製品の資料ページからダウンロードして下さい。

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

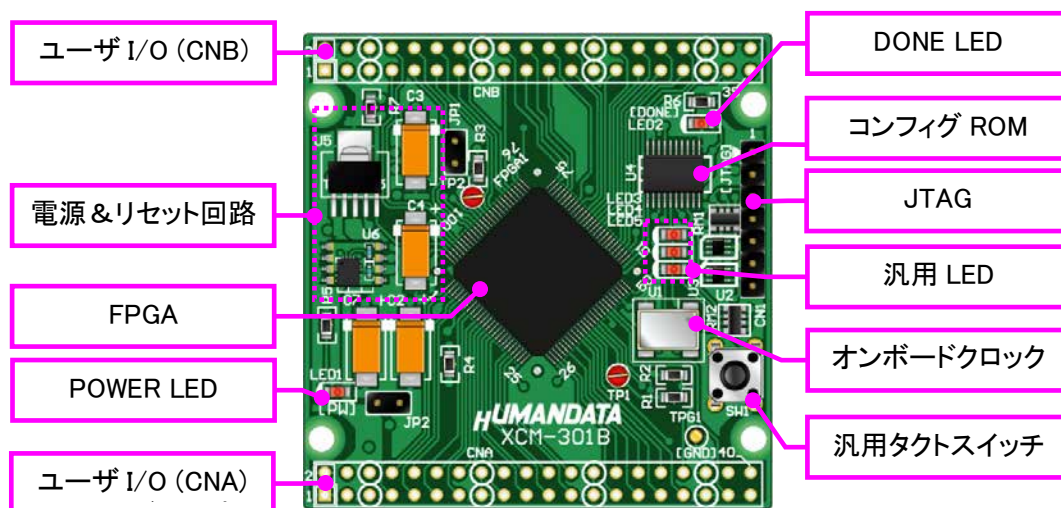
3. 仕様

製品型番	XCM-301-200
搭載 FPGA	XC3S200-4VQG100C
コンフィグ ROM	XCF01SVOG20C (1Mbit)
電源	DC 3.3 [V] (内部に必要な 1.2V、2.5V 生成回路内蔵)
オンボードクロック	48MHz
ユーザ I/O	56 本
ステータス LED	POWER(赤), DONE(赤)
汎用スイッチ	タクトスイッチ 1 個
汎用 LED	3 個
リセット回路	内蔵 (200ms TYP)
I/O コネクタ	40 ピンスルーホール 0.9 [mmφ] x 2 組 2.54 [mm] ピッチ
JTAG コネクタ	SIP7 ピンヘッダ 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
消費電流	N/A (詳細は FPGA データシートご参照)
基板寸法	54 x 53 [mm]
質量	約 14 [g]
付属品	DIL40 ピンヘッダ (任意にカット可能) x2 ジャンパソケット 2 個

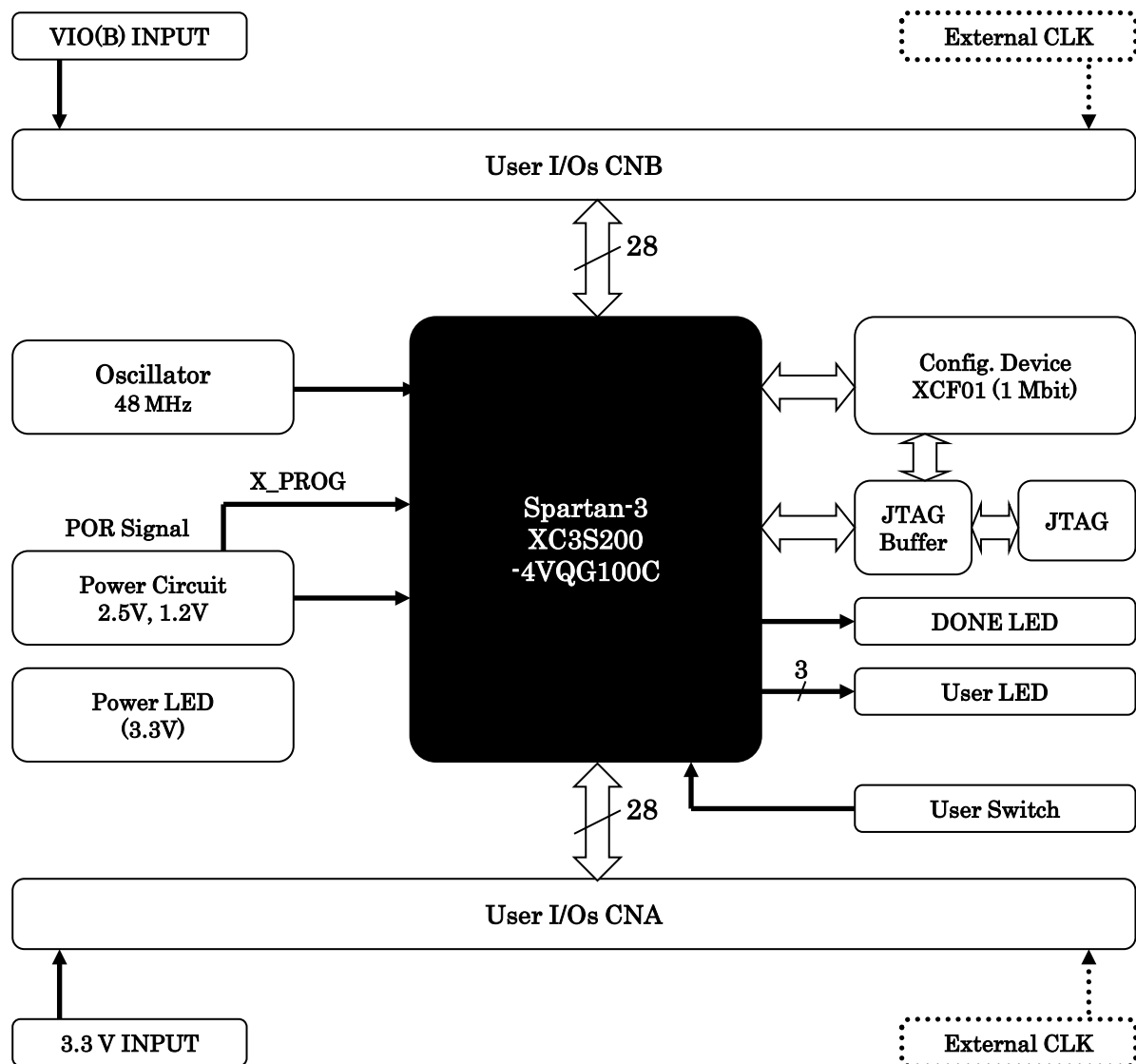
* これらの部品や仕様は変更となる場合がございます

4. 製品概要

4.1. 各部の名称



4.2. ブロック図



XCM-301-200 Rev.B

4.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。内部に必要な、2.5V、1.2V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。電源は CNA、CNB から供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

VCC0 は 2 系統に分かれていますので、全て正しく接続して下さい。

5. FPGA コンフィギュレーション

FPGA へのコンフィギュレーション、内蔵の ISP 可能なシリアル ROM への書込みに用います。ピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

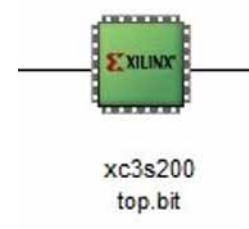
CN1

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT (POW)
6	TDI	IN
7	GND	I/O



5.1. JTAG/バウンダリスキャン

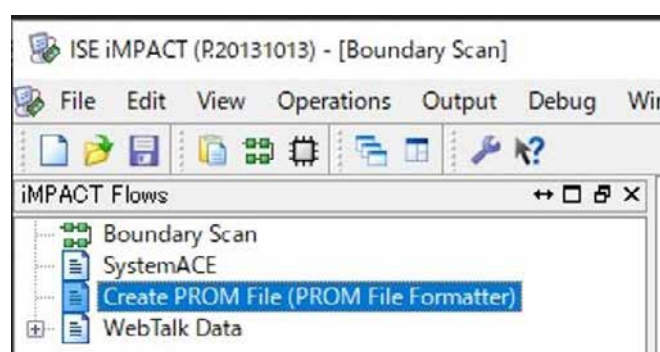
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。



5.2. コンフィグ ROM ファイルの作成

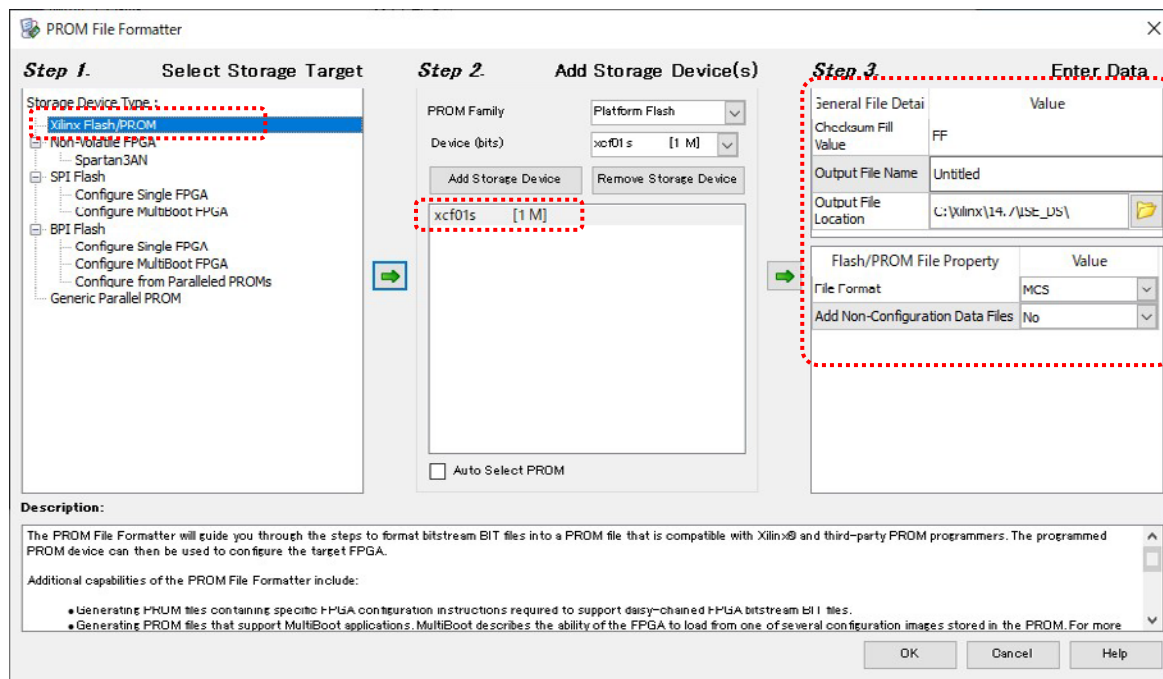
コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。

- (1) iMPACT にて「Create PROM File」をダブルクリックします。



(2) 設定画面にて必要な項目を設定します

- Storage Target: Xilinx Flash/PROM
- Storage Device: xcf01s [1M]
- File Format: MCS
- その他項目 : 任意



(3) 使用する bit ファイルを選択します

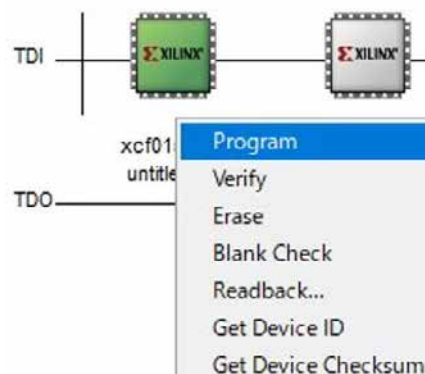
(4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします

(5) 「Generate Succeeded」と表記されれば完了です

5.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。

右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードを Master Serial に設定する必要があります。



6. ジャンプスイッチの説明

JP1 により、FPGA のコンフィギュレーションモードを設定できます。詳しくは下図をご参考ください。

JP2 ——— M0, M2 信号 設定用

M1 は 0 に固定 (回路図参照)

JP2 により、M0 と M2 は同時に 1 または 0 に設定されます。

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

ROM 使用時 : Master Serial mode

JP2 ショート M0 = 0

M1 = 0 (固定)

M2 = 0

出荷時 : JTAG mode

JP2 オープン M0 = 1

M1 = 0 (固定)

M2 = 1

JP1 ——— HSWAP ENABLE ピンの設定

FPGA の HSWAP_ENABLE ピンの設定を行います。

JP1 ショート : 0

JP1 オープン : 1

(出荷時はオープン)

7. コネクタピン割付表

7.1. CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOA0	1	7	8	2	IOA1	A
A	IOA2	4	9	10	5	IOA3	A
A	IOA4	8	11	12	9	IOA5	A
A	IOA6	11	13	14	12	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	13	17	18	14	IOA9	A
A	IOA10	15	19	20	16	IOA11	A
A	IOA12	17	21	22	21	IOA13	A
A	IOA14	22	23	24	23	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	27	27	28	28	IOA17	A
A	IOA18	30	29	30	32	IOA19	A
A	IOA20	34	31	32	35	IOA21	A
A	IOA22	36	33	34	43	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	44	37	38	37	IOA25	A
A	IOA26	39	39	40	40 ※1	IOA27	A

※1 40 ピンは DOUT/BUSY ピンです。コンフィギュレーション中は出力ピンとなります。

コンフィギュレーション後に I/O として使用できますが、出力として使用することを推奨します。詳細は FPGA のデータシートをご覧ください。

7.2. CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	V33_B	3.3V	1	2	3.3V	V33_B	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOB0	97	7	8	96	IOB1	B
B	IOB2	92	9	10	91	IOB3	B
B	IOB4	86	11	12	85	IOB5	B
B	IOB6	81	13	14	80	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	79	17	18	75	IOB9	B
B	IOB10	74	19	20	72	IOB11	B
B	IOB12	71	21	22	68	IOB13	B
B	IOB14	67	23	24	65	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	64	27	28	63	IOB17	B
B	IOB18	62	29	30	61	IOB19	B
B	IOB20	60	31	32	59	IOB21	B
B	IOB22	55	33	34	54	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	53	37	38	90	IOB25	B
B	IOB26	88	39	40	89	IOB27	B

7.3. LED、スイッチ

NET LABEL	機能	FPGA ピン#
ULED0	汎用 LED3	47
ULED1	汎用 LED4	49
RESET	汎用 LED5 汎用 SW1 兼用	50

7.4. CLK

NET LABEL	機能	FPGA ピン#
CLK0	48MHz	38
CLK1	48MHz	87

Spartan-3 VQG100 ブレッドボード

XCM-301-200 Rev2
ユーザーズマニュアル

2024/01/26 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
