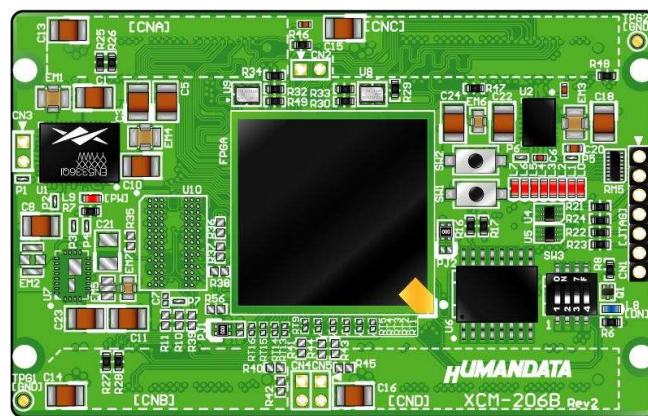




Spartan-6 FPGA ボード
XCM-206Z Rev2
ユーザーズマニュアル
Ver.2.2



ヒューマンデータ

目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 共通ピンについて【重要】.....	2
2. 製品の内容について.....	4
3. 開発環境.....	4
4. 仕様.....	5
5. 製品概要.....	6
5.1 各部の名称.....	6
5.2 ブロック図.....	7
5.3 電源入力.....	7
5.4 クロック.....	8
5.5 設定スイッチ(SW3).....	8
6. FPGA コンフィギュレーション.....	9
6.1 JTAG/バウンダリスキャン.....	9
6.2 コンフィグ ROM ファイルの作成.....	10
6.3 コンフィグ ROM アクセス.....	11
7. FPGA ピン割付表.....	12
7.1 ユーザ I/O (CNA).....	12
7.2 ユーザ I/O (CNB).....	13
7.3 ユーザ I/O (CNC).....	14
7.4 ユーザ I/O (CND).....	15
7.5 オンボードクロック.....	17
7.6 外部クロック入力.....	17
7.7 汎用 LED.....	17
7.8 汎用スイッチ.....	17
7.9 共通ピン.....	18
8. サポートページ.....	19
9. 付属資料.....	19
10. お問い合わせについて.....	19


● はじめに

この度は Spartan-6 FPGA ボード XCM-206Z シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-206Z は、XILINX の高性能 FPGA Spartan-6 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

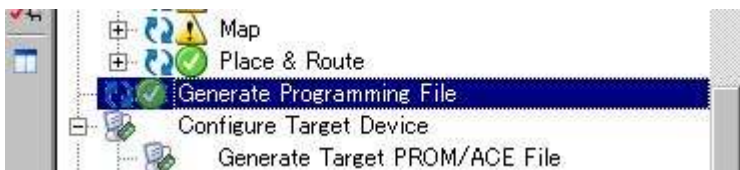
 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

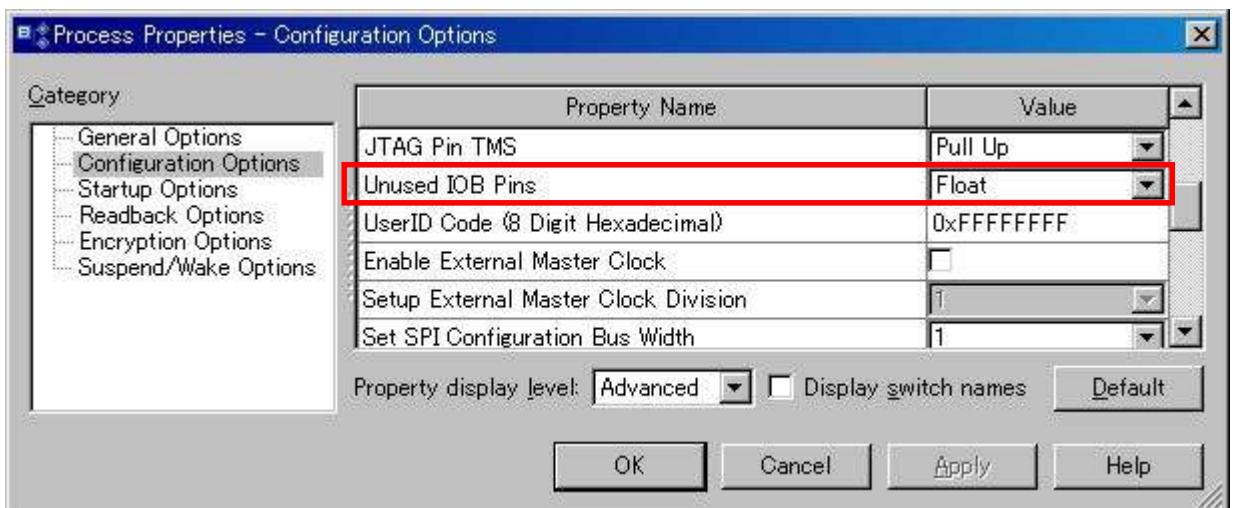
日付	バージョン	改訂内容
2011/04/11	1.0	・初版発行
2011/07/05	1.1	・ピンリスト誤植修正 ・LX75 をラインナップより削除
2011/12/01	1.2	・外形図修正
2011/12/01	2.0	・製品リビジョン更新 (Rev2) ・1章「I/O 共通ピンについて」を更新 ・外形図修正
2012/05/15	2.1	・3章「開発環境」についての記述を編集 ・9章「お問い合わせについて」を追加
2012/05/22	2.2	・LX75 をラインナップに追加 ・ブロック図を更新

1. 共通ピンについて【重要】

意図しないショートを避けるため、未使用ピンの設定を【Float】としておくことを推奨します。
ISE での未使用ピン処理設定の確認は下記をご参照ください



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2.【Configuration Options】内の【Unused IOB Pins】を確認します

本ボードでは、下表の Vref ピンが共通になっています。

VRFB	VRFD	V09_REF
A2	AD7	A23
C6	V6	L21
A16	R6	
A18	L6	

IOB[46-63]の接続

LX100/LX150 では Bank Group B の I/O に Bank Group A の I/O が並列に接続、

LX75 では Bank Group A の I/O が接続されています。(Rev2 より)

	LX100/150 接続先		LX75 接続先	
IOB46	E20	J10	NC	J10
IOB47	D20	K9	NC	K9
IOB48	J17	H8	NC	H8
IOB49	H17	G7	NC	G7
IOB50	J14	H6	NC	H6
IOB51	G14	H5	NC	H5
IOB52	E14	G6	NC	G6
IOB53	D15	G5	NC	G5
IOB54	F9	F5	NC	F5
IOB55	E9	E5	NC	E5
IOB56	D12	E4	NC	E4
IOB57	C12	E3	NC	E3
IOB58	D10	C4	NC	C4
IOB59	C10	C3	NC	C3
IOB60	D8	C2	NC	C2
IOB61	C8	C1	NC	C1
IOB62	E8	B2	NC	B2
IOB63	D7	B1	NC	B1
	BANK Group B	BANK Group A	BANK Group B	BANK Group A

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-206Z	1
付属品	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

3. 開発環境

FPGA の内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

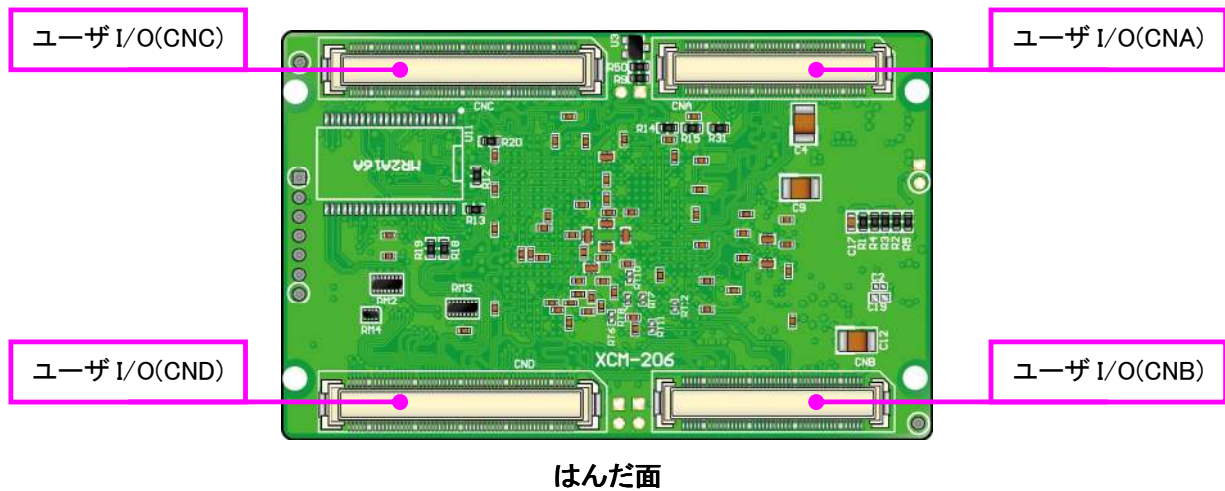
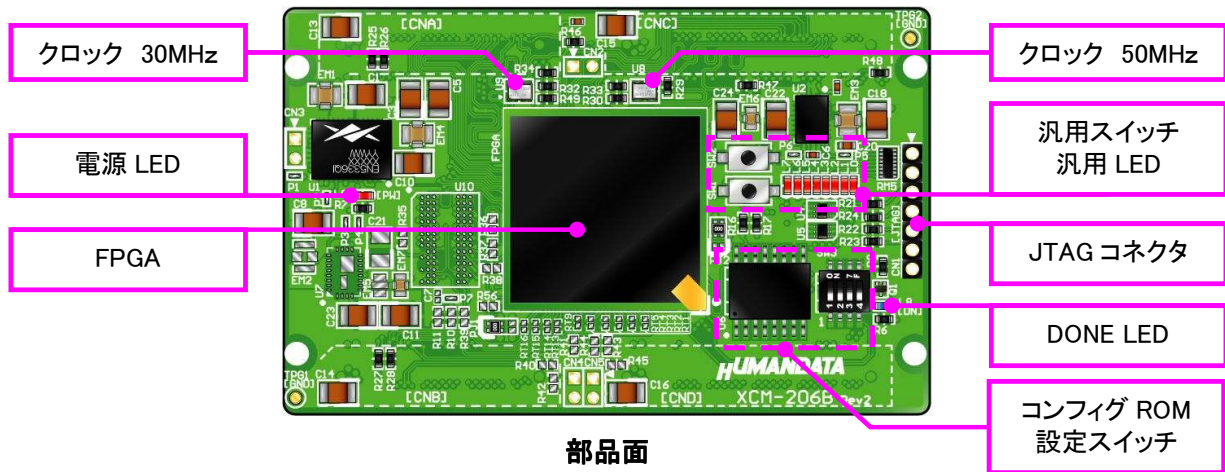
4. 仕様

製品型番	XCM-206Z-LX75	XCM-206Z-LX100	XCM-206Z-LX150
搭載 FPGA	XC6SLX75 -2FGG676C	XC6SLX100 -2FGG676C	XC6SLX150 -2FGG676C
MRAM	非搭載		
DDR2SDRAM	非搭載		
コンフィグ ROM	M25P64-VMF6P (Micron, 64Mbit)		
オンボードクロック	50MHz、30MHz		
外部入力クロック	4 本		
電源	DC 3.3[V]		
基板寸法	54 x 86 [mm]		
質量	約 38 [g]		
ユーザ I/O	296 本		
汎用スイッチ	4 (Push x 2, DIP x 2bit)		
汎用 LED	8		
I/O コネクタ	FX10A-80P/8-SV1(71) x 2 FX10A-100P/10-SV1(71) x 2 (ヒロセ電機)		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
リセット信号	コンフィグ用リセット信号 (typ. 240ms)		
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ		
ステータス LED	POWER(赤), DONE(青)		
付属品	SIL7 ロングピンヘッダ(本体に取付け済み)x1 FX10A-80S/8-SV(71) x 2 FX10A-100S/10-SV(71) x 2 (ヒロセ電機) スペーサ x 4		
消費電流	ユーザの FPGA デザインに依存します		

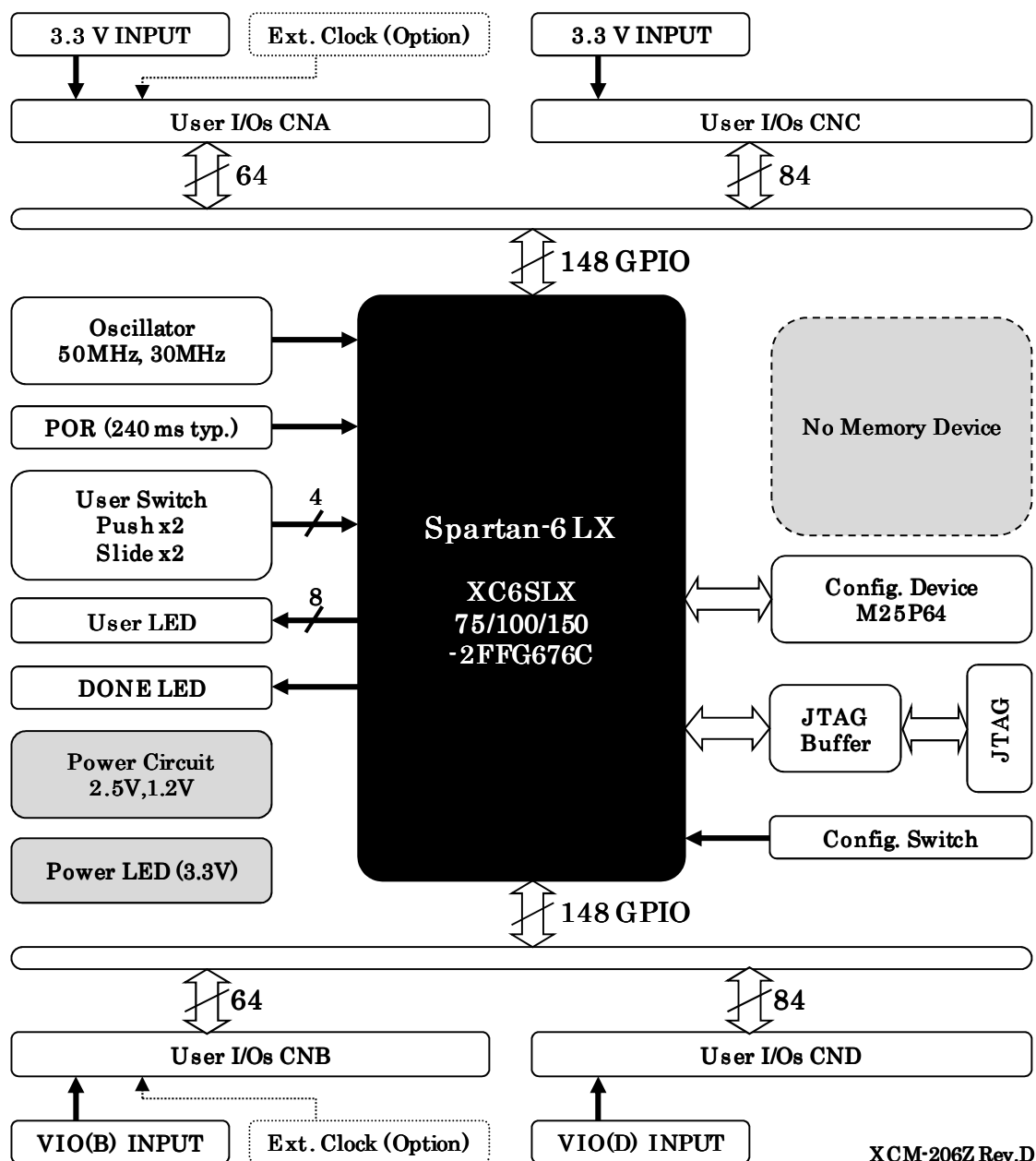
*これらの部品や仕様は変更となる場合がございます

5. 製品概要

5.1 各部の名称



5.2 ブロック図



XCM-206Z Rev.D

5.3 電源入力

電源はCNA, CNCより3.3Vを供給してください。内部で必要になる2.5V、1.2Vはオンボードレギュレータにより生成されます。

CNB, CNDからはI/O用電源VIO(B), VIO(D)を入力することが可能です。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

詳しくはFPGAのデータシートや回路図などを参照してください。

5.4 クロック

オンボードクロックとして 50MHz(U8)と 30MHz(U9)を搭載しています。CNA, CNB コネクタより外部クロックを入力することも可能です。

詳しくは回路図をご参照ください。

5.5 設定スイッチ(SW3)

設定スイッチ(SW3)によりコンフィギュレーションモードを変更することが可能です。各ピンの詳細については Spartan-6 コンフィギュレーションユーザガイドをご参照ください。

SW3

番号	1	2	3	4
記号	X_HSWAPEN	X_M1	ASW0	ASW1
出荷時	OFF	OFF	OFF	OFF
説明	プルアップ設定	コンフィグモード設定	汎用	汎用

コンフィギュレーションモード

X_M1 の設定値	モード
ON	Master Serial/SPI
OFF	JTAG (Slave Serial)



(*) M0 は High に固定されています

● X_HSWAPEN

コンフィギュレーション前のユーザ I/O の状態を設定します。

ON : プルアップ有り

OFF : プルアップ無し(ハイインピーダンス)

● X_M1

コンフィギュレーションモードを設定します。

本来 JTAG モードにてご使用される場合の設定値は自由ですが、上記の設定値にてご使用になることを推奨致します。

● ASW0, ASW1

汎用用途としてご使用頂けます。

6. FPGA コンフィギュレーション

JTAG コネクタ(CN1)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

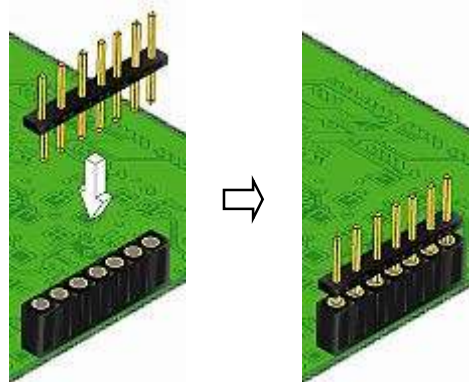
JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN1

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O



ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。

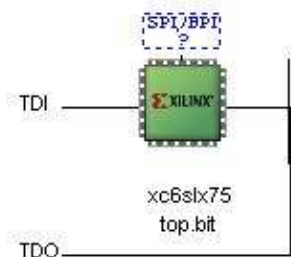


注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

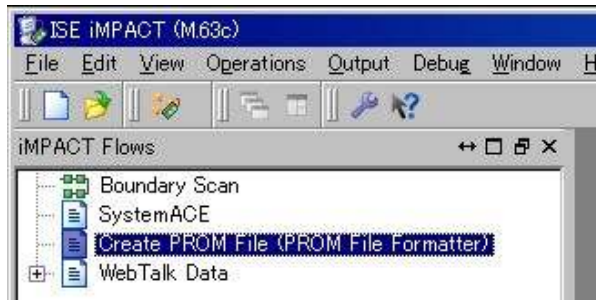
6.1 JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。

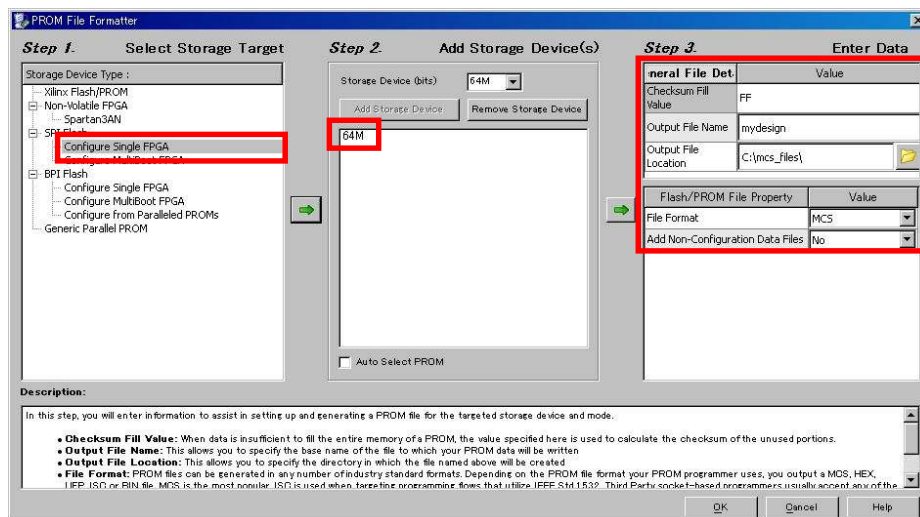


6.2 コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



(1) iMPACT にて「Create PROM File」をダブルクリックします



(2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 64M (1つ)
- File Format: MCS
- その他項目: 任意

(3) 使用する bit ファイルを選択します

(4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします

(5) 「Generate Succeeded」と表記されれば完了です

6.3 コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。
デバイスには【SPI PROM – M25P64】を選択してください。

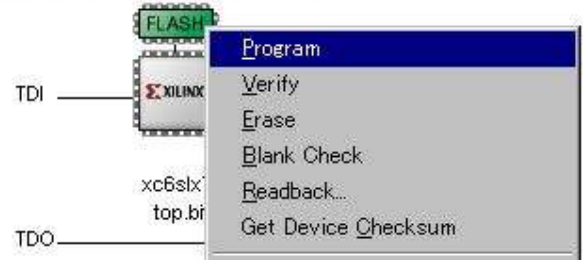
右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードを Master Serial/SPI に設定する必要があります。

SW3

	1	2	3	4
ON	X	■	X	X
OFF	X		X	X

X : Don' t Care

Right click device to select operations



7. FPGA ピン割付表

7.1 ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK Group
	V33A	3.3V	1/3	2/4	3.3V	V33A	
		電源予約	5/7	6/8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
D	CLK_EXAP	T3	11	12	T1	CLK_EXAN	D
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	T22	17	18	N24	IOA32	A
A	IOA1	U23	19	20	M23	IOA33	A
A	IOA2	U21	21	22	N23	IOA34	A
A	IOA3	U22	23	24	N22	IOA35	A
A	IOA4	N21	25	26	R24	IOA36	A
A	IOA5	P20	27	28	R23	IOA37	A
A	IOA6	T19	29	30	L23	IOA38	A
		GND	-	-	GND		
A	IOA7	T18	31	32	L24	IOA39	A
A	IOA8	R18	33	34	K19	IOA40	A
A	IOA9	R17	35	36	L19	IOA41	A
A	IOA10	P26	37	38	M19	IOA42	A
A	IOA11	P24	39	40	L18	IOA43	A
A	IOA12	R26	41	42	T23	IOA44	A
A	IOA13	R25	43	44	U24	IOA45	A
A	IOA14	T26	45	46	V23	IOA46	A
A	IOA15	T24	47	48	W24	IOA47	A
A	IOA16	U26	49	50	R22	IOA48	A
		GND	-	-	GND		
A	IOA17	U25	51	52	R21	IOA49	A
A	IOA18	V26	53	54	R20	IOA50	A
A	IOA19	V24	55	56	R19	IOA51	A
A	IOA20	W26	57	58	AD26	IOA52	A
A	IOA21	W25	59	60	AD24	IOA53	A
A	IOA22	Y26	61	62	M18	IOA54	A
A	IOA23	Y24	63	64	N19	IOA55	A
A	IOA24	AA26	65	66	P17	IOA56	A
A	IOA25	AA25	67	68	P18	IOA57	A
A	IOA26	AB26	69	70	P22	IOA58	A
		GND	-	-	GND		
A	IOA27	AB24	71	72	P21	IOA59	A
A	IOA28	AC26	73	74	L17	IOA60	A
A	IOA29	AC25	75	76	K18	IOA61	A
A	IOA30	AE26	77	78	N17	IOA62	A
A	IOA31	AE25	79	80	N18	IOA63	A

7.2 ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
	VIO(B)	–	1/3	2/4	–	VIO(B)	
		電源予約	5/7	6/8	電源予約		
		N.C	9	10	N.C		
		GND	–	–	GND		
B	CLK_EXBP	C15	11	12	A15	CLK_EXBN	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	B22	17	18	G8	IOB32	B
B	IOB1	A22	19	20	F7	IOB33	B
B	IOB2	C21	21	22	C9	IOB34	B
B	IOB3	A21	23	24	A9	IOB35	B
B	IOB4	B20	25	26	B8	IOB36	B
B	IOB5	A20	27	28	A8	IOB37	B
B	IOB6	A19	29	30	C7	IOB38	B
		GND	–	–	GND		
B	IOB7	C19	31	32	A7	IOB39	B
B	IOB8	D21	33	34	B6	IOB40	B
B	IOB9	C20	35	36	A6	IOB41	B
B	IOB10	D18	37	38	C5	IOB42	B
B	IOB11	C18	39	40	A5	IOB43	B
B	IOB12	F17	41	42	A4	IOB44	B
B	IOB13	E17	43	44	B4	IOB45	B
B	IOB14	J15	45	46	E20/J10	IOB46 *	B/A
B	IOB15	H15	47	48	D20/K9	IOB47 *	B/A
B	IOB16	C14	49	50	J17/H8	IOB48 *	B/A
		GND	–	–	GND		
B	IOB17	D14	51	52	H17/G7	IOB49 *	B/A
B	IOB18	F16	53	54	J14/H6	IOB50 *	B/A
B	IOB19	E16	55	56	G14/H5	IOB51 *	B/A
B	IOB20	C17	57	58	E14/G6	IOB52 *	B/A
B	IOB21	A17	59	60	D15/G5	IOB53 *	B/A
B	IOB22	B14	61	62	F9/F5	IOB54 *	B/A
B	IOB23	A14	63	64	E9/E5	IOB55 *	B/A
B	IOB24	C13	65	66	D12/E4	IOB56 *	B/A
B	IOB25	A13	67	68	C12/E3	IOB57 *	B/A
B	IOB26	B12	69	70	D10/C4	IOB58 *	B/A
		GND	–	–	GND		
B	IOB27	A12	71	72	C10/C3	IOB59 *	B/A
B	IOB28	C11	73	74	D8/C2	IOB60 *	B/A
B	IOB29	A11	75	76	C8/C1	IOB61 *	B/A
B	IOB30	B10	77	78	E8/B2	IOB62 *	B/A
B	IOB31	A10	79	80	D7/B1	IOB63 *	B/A

* これらのピンは Bank Group A のピンと並列に接続されています

* LX75 の場合、Bank Group B 側は NC となります

7.3 ユーザ I/O (CNC)

BANK Group	NET LABEL	FPGA ピン	CNC		FPGA ピン	NET LABEL	BANK Group
	V33A	-	1/3	2/4	-	V33A	
		電源予約	5/7	6/8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOC0	V22	17	18	AB17	IOC42	A
A	IOC1	W22	19	20	AC17	IOC43	A
A	IOC2	AA24	21	22	V17	IOC44	A
A	IOC3	AA23	23	24	U17	IOC45	A
A	IOC4	AC23	25	26	AD15	IOC46	A
A	IOC5	AC24	27	28	AC15	IOC47	A
A	IOC6	AE24	29	30	V19	IOC48	A
		GND	-	-	GND		
A	IOC7	AF25	31	32	V18	IOC49	A
A	IOC8	AB22	33	34	V20	IOC50	A
A	IOC9	AB21	35	36	U19	IOC51	A
A	IOC10	AA22	37	38	W12	IOC52	A
A	IOC11	Y22	39	40	V12	IOC53	A
A	IOC12	Y21	41	42	AD8	IOC54	A
A	IOC13	Y20	43	44	AF8	IOC55	A
A	IOC14	W19	45	46	U20	IOC56	A
A	IOC15	W18	47	48	T20	IOC57	A
A	IOC16	AB15	49	50	AF5	IOC58	A
		GND	-	-	GND		
A	IOC17	AC14	51	52	AE5	IOC59	A
A	IOC18	AA15	53	54	AF6	IOC60	A
A	IOC19	Y15	55	56	AD6	IOC61	A
A	IOC20	AD13	57	58	AA9	IOC62	A
A	IOC21	AC13	59	60	AB9	IOC63	A
A	IOC22	AB13	61	62	AF9	IOC64	A
A	IOC23	AA13	63	64	AE9	IOC65	A
A	IOC24	AF15	65	66	L8	IOC66	A
A	IOC25	AE15	67	68	K8	IOC67	A
A	IOC26	AF18	69	70	N2	IOC68	A
		GND	-	-	GND		
A	IOC27	AD18	71	72	N1	IOC69	A
A	IOC28	AF19	73	74	M3	IOC70	A
A	IOC29	AE19	75	76	M1	IOC71	A
A	IOC30	AF13	77	78	L2	IOC72	A
A	IOC31	AE13	79	80	L1	IOC73	A
A	IOC32	AF11	81	82	K3	IOC74	A

:
:

:

A	IOC33	AE11	83	84	K1	IOC75	A
A	IOC34	AF7	85	86	J1	IOC76	A
A	IOC35	AE7	87	88	J2	IOC77	A
A	IOC36	AF10	89	90	H1	IOC78	A
		GND	-	-	GND		
A	IOC37	AD10	91	92	H3	IOC79	A
A	IOC38	AF12	93	94	G1	IOC80	A
A	IOC39	AD12	95	96	G2	IOC81	A
A	IOC40	AC12	97	98	F1	IOC82	A
A	IOC41	AA12	99	100	F3	IOC83	A

7.4 ユーザ I/O (CND)

BANK Group	NET LABEL	FPGA ピン	CND		FPGA ピン	NET LABEL	BANK Group
	VIO(D)	-	1/3	2/4	-	VIO(D)	
		電源予約	5/7	6/8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
D	IOD0	M10	17	18	N7	IOD42	D
D	IOD1	N9	19	20	N6	IOD43	D
D	IOD2	T10	21	22	P5	IOD44	D
D	IOD3	U9	23	24	N5	IOD45	D
D	IOD4	R9	25	26	T8	IOD46	D
D	IOD5	P10	27	28	T6	IOD47	D
D	IOD6	T9	29	30	R5	IOD48	D
		GND	-	-	GND		
D	IOD7	R10	31	32	T4	IOD49	D
D	IOD8	N8	33	34	P3	IOD50	D
D	IOD9	P8	35	36	P1	IOD51	D
D	IOD10	R4	37	38	W10	IOD52	D
D	IOD11	R3	39	40	V10	IOD53	D
D	IOD12	U8	41	42	M9	IOD54	D
D	IOD13	U7	43	44	M8	IOD55	D
D	IOD14	V8	45	46	Y9	IOD56	D
D	IOD15	W9	47	48	Y8	IOD57	D
D	IOD16	AA4	49	50	P7	IOD58	D
		GND	-	-	GND		
D	IOD17	AA3	51	52	P6	IOD59	D
D	IOD18	AB3	53	54	W8	IOD60	D
D	IOD19	AB1	55	56	W7	IOD61	D
D	IOD20	U2	57	58	N4	IOD62	D
D	IOD21	U1	59	60	N3	IOD63	D

:
:

D	IOD22	V3	61	62	U5	IOD64	D
D	IOD23	V1	63	64	V5	IOD65	D
D	IOD24	W1	65	66	R2	IOD66	D
D	IOD25	W2	67	68	R1	IOD67	D
D	IOD26	Y3	69	70	U4	IOD68	D
		GND	-	-	GND		
D	IOD27	Y1	71	72	U3	IOD69	D
D	IOD28	AA2	73	74	V4	IOD70	D
D	IOD29	AA1	75	76	W3	IOD71	D
D	IOD30	AA5	77	78	W5	IOD72	D
D	IOD31	AB5	79	80	Y5	IOD73	D
D	IOD32	Y6	81	82	AB4	IOD74	D
D	IOD33	AA7	83	84	AC3	IOD75	D
D	IOD34	AC1	85	86	AA8	IOD76	D
D	IOD35	AC2	87	88	AB8	IOD77	D
D	IOD36	AE2	89	90	AB7	IOD78	D
		GND	-	-	GND		
D	IOD37	AE1	91	92	AB6	IOD79	D
D	IOD38	AD3	93	94	AC5	IOD80	D
D	IOD39	AD1	95	96	AD5	IOD81	D
D	IOD40	AE3	97	98	AC4	IOD82	D
D	IOD41	AF2	99	100	AD4	IOD83	D

7.5 オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	GCLK30_A	AF14
	GCLK30_B	N20
50MHz	GCLK50_A	AD14
	GCLK50_B	M21

7.6 外部クロック入力

コネクタ	NET LABEL	FPGA ピン
CNA_11	CLK_EXAP	T3
CNA_12	CLK_EXAN	T1
CNB_11	CLK_EXBP	C15
CNB_12	CLK_EXBN	A15

7.7 汎用 LED

LED	NET LABEL	FPGA ピン
L0	ULED0	H7
L1	ULED1	G3
L2	ULED2	J7
L3	ULED3	K6
L4	ULED4	J3
L5	ULED5	J4
L6	ULED6	J5
L7	ULED7	K5

7.8 汎用スイッチ

SW	NET LABEL	FPGA ピン
SW1	PSW1	K10
SW2	PSW2	K7
SW3-3	ASW0	L9
SW3-4	ASW1	D1

7.9 共通ピン

本ボードでは、下表の Vref ピンが共通になっています。

VRFB	VRFD	V09_REF
A2	AD7	A23
C6	V6	L21
A16	R6	
A18	L6	

IOB[46-63]の接続

LX100/LX150 では Bank Group B の I/O に Bank Group A の I/O が並列に接続、

LX75 では Bank Group A の I/O が接続されています。(Rev2 より)

	LX100/150 接続先		LX75 接続先	
IOB46	E20	J10	NC	J10
IOB47	D20	K9	NC	K9
IOB48	J17	H8	NC	H8
IOB49	H17	G7	NC	G7
IOB50	J14	H6	NC	H6
IOB51	G14	H5	NC	H5
IOB52	E14	G6	NC	G6
IOB53	D15	G5	NC	G5
IOB54	F9	F5	NC	F5
IOB55	E9	E5	NC	E5
IOB56	D12	E4	NC	E4
IOB57	C12	E3	NC	E3
IOB58	D10	C4	NC	C4
IOB59	C10	C3	NC	C3
IOB60	D8	C2	NC	C2
IOB61	C8	C1	NC	C1
IOB62	E8	B2	NC	B2
IOB63	D7	B1	NC	B1
	BANK Group B	BANK Group A	BANK Group B	BANK Group A

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-206Z/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

9. 付属資料

1. 基板外形図
2. 基板回路図(別紙)

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

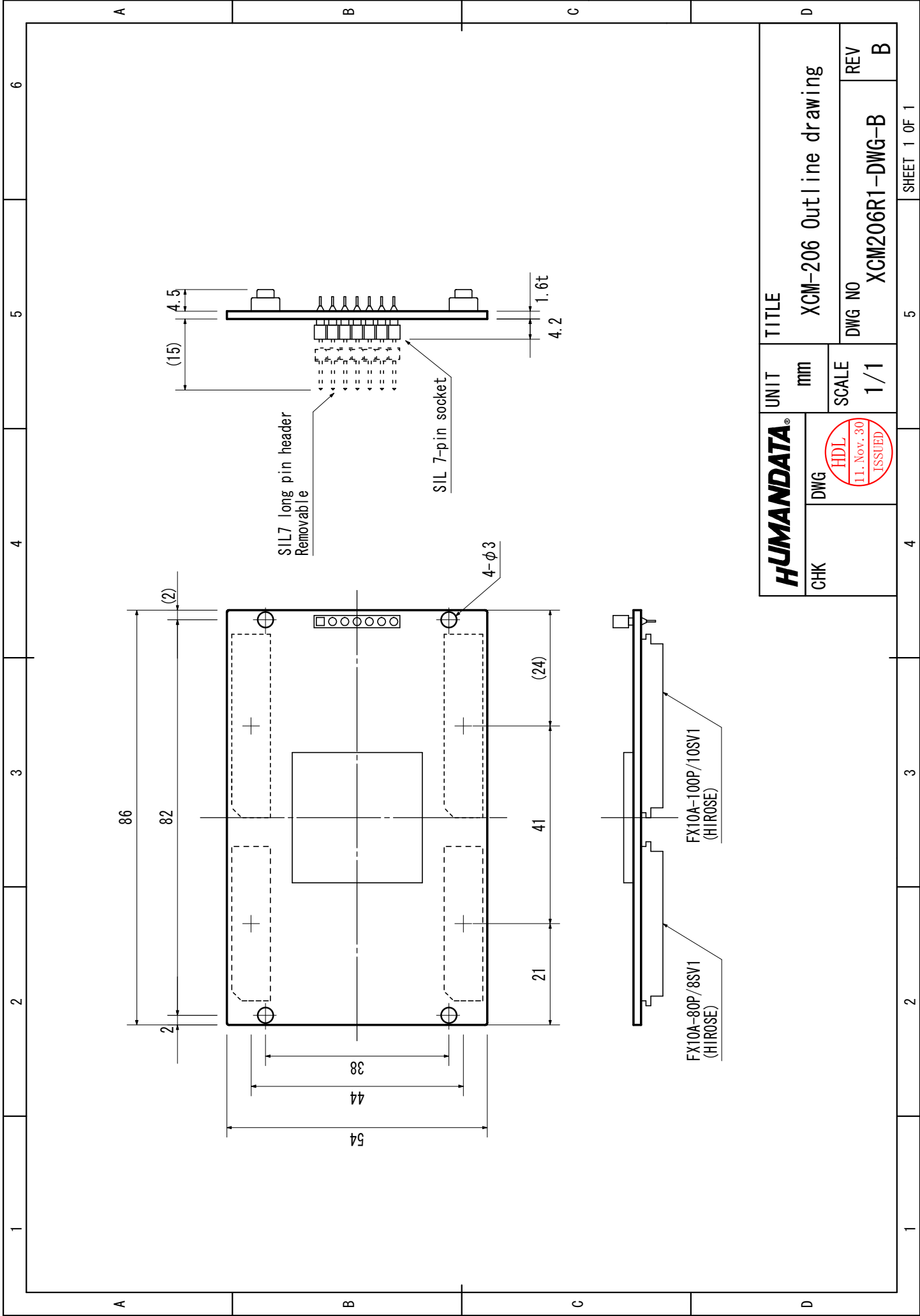
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただいております。あらかじめご了承下さいませ。



CHK	DWG		HUMANDATA®	UNIT	TITLE
			mm	XCM-206 Outline drawing	
			SCALE	DWG NO	REV
			1/1	XCM206R1-DWG-B	B

Spartan-6 FPGA ボード

XCM-206Z シリーズ
ユーザーズマニュアル

2011/04/11 Ver.1.0

2011/07/04 Ver.1.1

2011/12/01 Ver.1.2

2011/12/01 Ver.2.0(Rev2)

2012/05/15 Ver.2.1

2012/05/22 Ver.2.2

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積 1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
