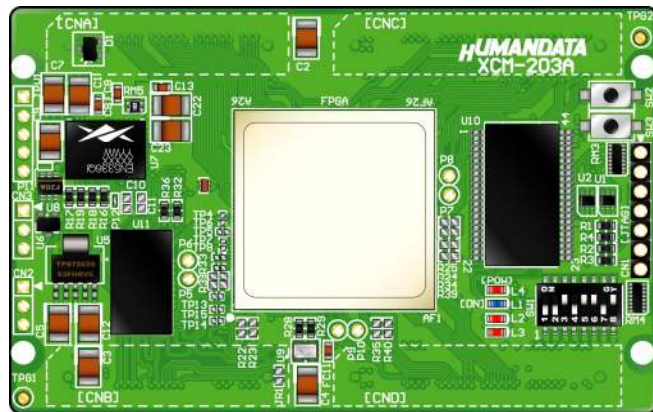




Virtex-5 FPGA ボード
XCM-203
ユーザーズマニュアル
Ver. 1.0



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	3
2. 仕様.....	3
3. 製品説明.....	4
3.1. 各部名称.....	4
3.2. ブロック図.....	5
3.3. 電源.....	6
3.4. クロック.....	6
4. 開発環境.....	6
5. FPGA コンフィギュレーション.....	7
5.1. ディップスイッチ.....	7
5.2. JTAG コネクタ (CN1).....	7
6. コンフィギュレーション ROM.....	8
6.1. プログラミングファイルの作成.....	8
6.2. 書込み.....	9
6.3. 消去.....	9
6.4. FPGA へのコンフィギュレーション.....	9
7. FPGA ピン割付け表.....	10
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. ユーザ I/O (CNC).....	12
7.4. ユーザ I/O (CND).....	13
7.5. SDRAM (U11).....	15
7.6. MRAM (U10).....	16
7.7. オンボードクロック.....	17
7.8. 外部クロック入力.....	17
7.9. 汎用 LED.....	17
7.10. 汎用スイッチ.....	17
7.11. シリアル I/F (CN2).....	17
7.12. 温度ダイオード (CN3).....	17
8. サポートページ.....	18
9. 付属資料.....	18


● はじめに

この度はVirtex-5 ブレッドボード XCM-203 をお買い上げいただきまして、誠にありがとうございます。

XCM-203 は、XILINX の高性能 FPGA Virtex-5LX シリーズを用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
13 静電気にご注意ください。	

● 改訂記録

日付	バージョン	改訂内容
2010/07/08	1.0	・ 初版発行

1. 製品の内容について

本パッケージには、以下のものが含まれています。 万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-203	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

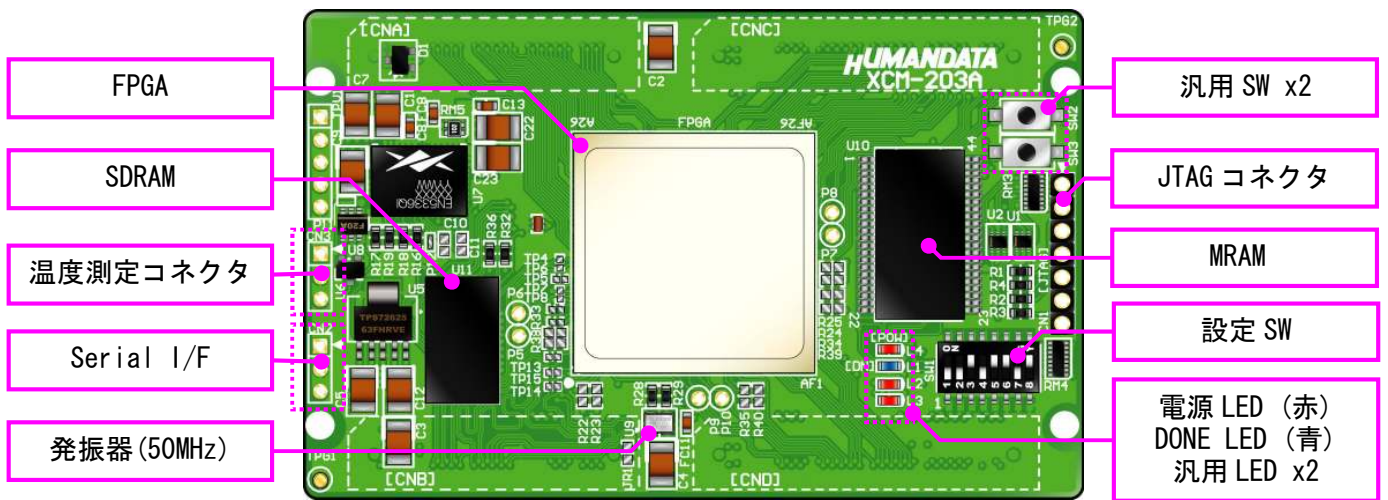
2. 仕様

製品型番	XCM-203-LX30	XCM-203-LX50	XCM-203-LX85	XCM-203-LX110
搭載 FPGA	XC5VLX30 -1FFG676C	XC5VLX50 -1FFG676C	XC5VLX85 -1FFG676C	XC5VLX110 -1FFG676C
コンフィグ ROM	M25P16-VMF6P (16Mb)		M25P32-VMF6P (32Mb)	*
SDRAM	MT48LC16M16A2BG-7E (Micron, 256Mb:4Mb x16 x4banks)			*
MRAM	MR2A16AYS35 (Everspin, 4Mb:256Kb x16)			*
ユーザ I/O	275 本	296 本		
クロック	オンボード 50MHz (外部供給可能)			*
電源	DC 3.3[V]			
消費電流	N/A (詳細は FPGA データシートをご参照ください)			
外形寸法	86 x 54 [mm]			
質量	約 39[g]			
汎用スイッチ	2			
汎用 LED	2			
I/O コネクタ	FX10A-80P/8-SV1 (71) x2 FX10A-100P/10-SV1 (71) x2 (ヒロセ電機)			*
プリント基板	ガラスエポキシ 8 層基板 1.6t			
コンフィグ用リセット回路	内蔵 (200ms min.)			*
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			*
ステータス LED	POWER (赤), DONE (青)			*
付属品	SIL7 ピンヘッド (本体に取付け済み) x1			*
	FX10A-80S/8-SV (71) x2 FX10A-100S/10-SV (71) x2 (ヒロセ電機)			*
	スペーサ x4			*

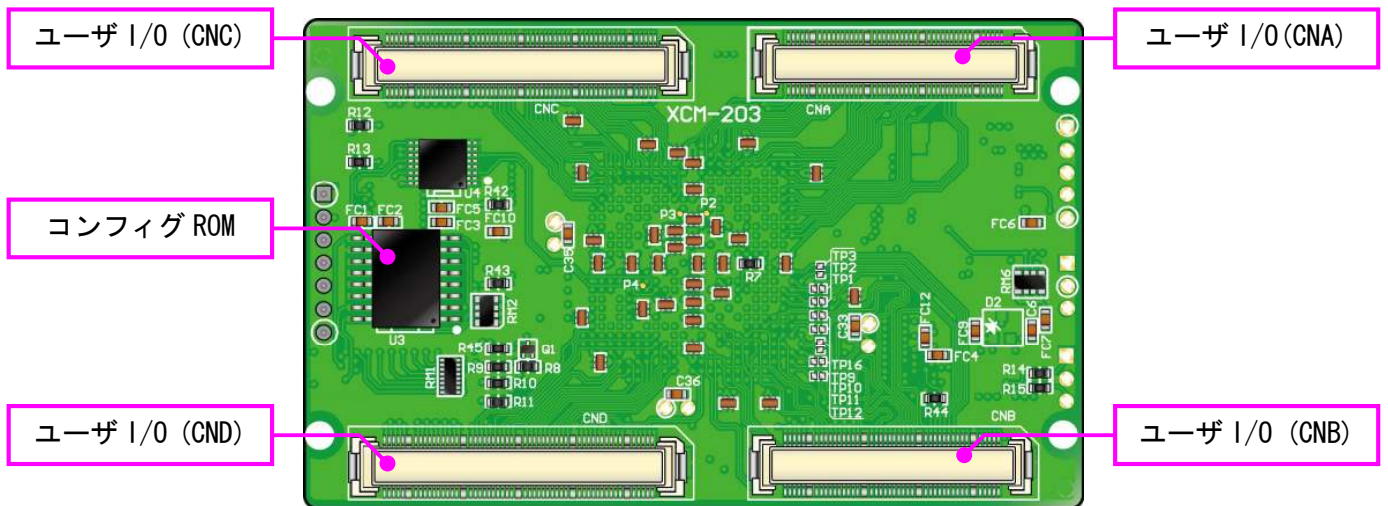
* 互換品と変更になる場合がございます

3. 製品説明

3.1. 各部名称

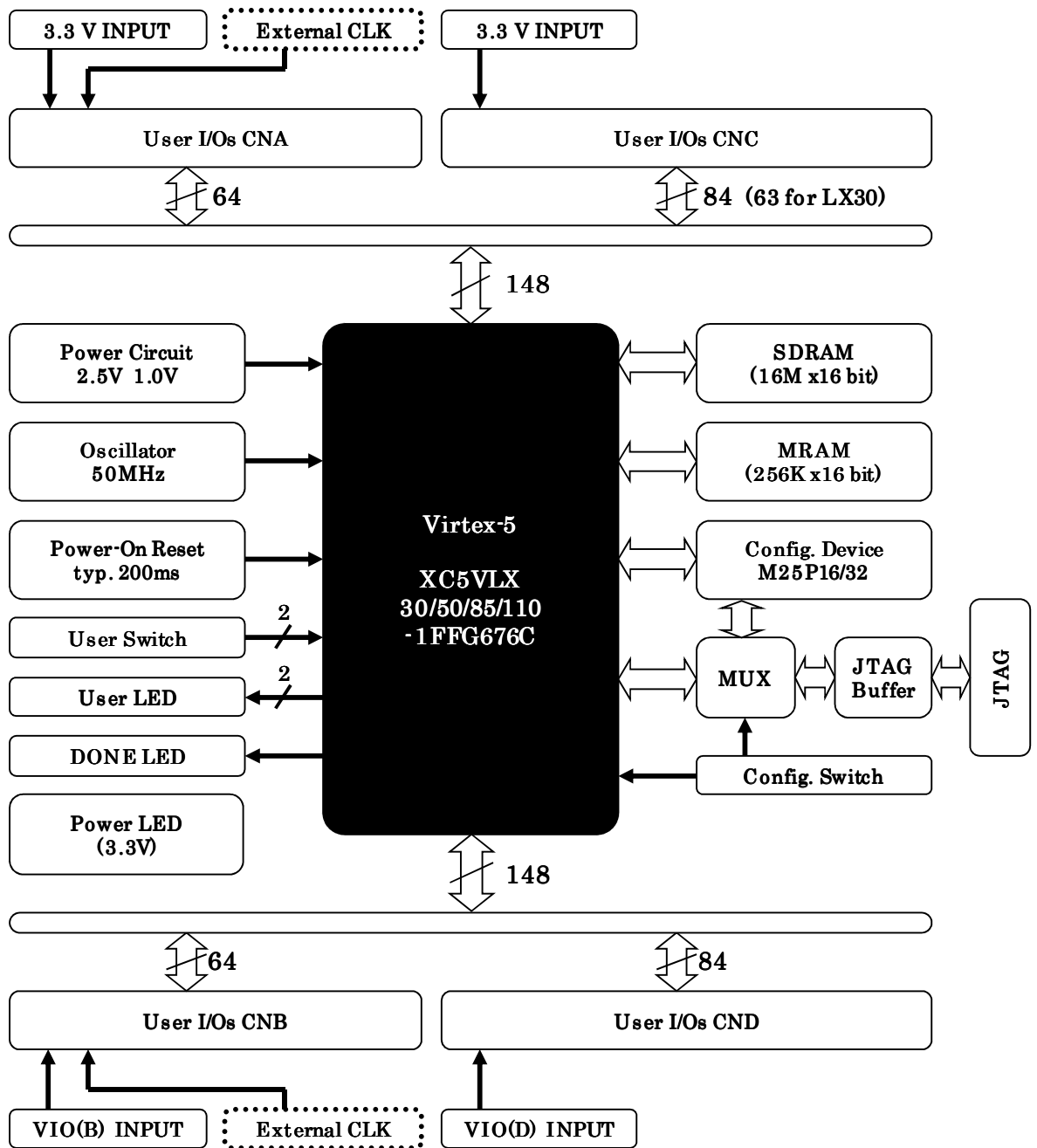


部品面



はんだ面

3.2. ブロック図



3.3. 電源

電源は CNA, CNC より 3.3V を供給してください。内部で必要になる 2.5V、1.0V はオンボードレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

CNB, CND からはそれぞれ VCC10 用電源 V10(B), V10(D) を入力することができます。詳しくは FPGA のデータシートや回路図などを参照してください。

3.4. クロック

オンボードクロックとして 50MHz を搭載しています。CNA, CNB より外部クロックを入力することが可能です。

4. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。~~これらの開発ツールは、XILINX 社が無償配布する ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。~~

製品開発時の ISE 環境は Ver. 10.1.03 です。

5. FPGA コンフィギュレーション

5.1. ディップスイッチ

SW1 により JTAG の動作モードなどを変更することが可能です。各ピンの詳細については Virtex-5 ユーザガイドをご参照ください。

SW1

番号	1	2	3	4	5	6	7	8
記号	FS0	FS1	FS2	HSWAP_EN	X_M2	X_M1	X_M0	X_PROG
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	SPI モード変数設定			IO Pull-up	モード設定			ターゲット指定

	マスタ SPI	スレーブシリアル	JTAG
X_M[2.0]の設定値	0 : 0 : 1	1 : 1 : 1	1 : 0 : 1

- **FS0, FS1, FS2**
SPI モード変数設定ピンです。
- **HSWAP_EN**
コンフィギュレーション中の I/O の状態をコントロールします。
ON : プルアップ
OFF : トライステート
- **M2, M1, M0**
動作モードを設定します。上表に示したモードは一部のものです。
- **X_PROG**
JTAG による書込み対象を選択します。
ON : コンフィギュレーション ROM
OFF : FPGA

5.2. JTAG コネクタ (CN1)

FPGA へのコンフィギュレーション、及び内部マスタ SPI Flash モード時に使用します。ピン配置は次表のとおりです。XILINX 社の純正ケーブルをお使い頂けます。ケーブル接続時は誤接続に注意してください。

CN1

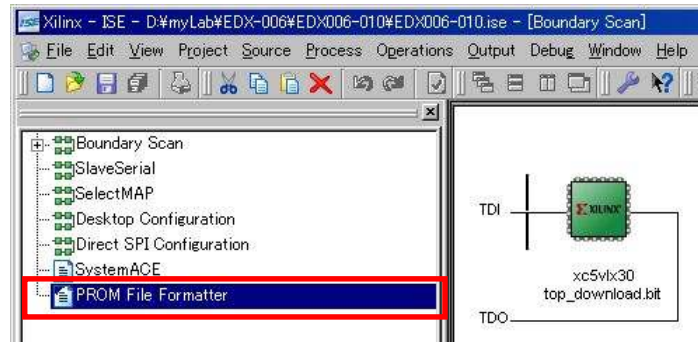
ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O

6. コンフィギュレーション ROM

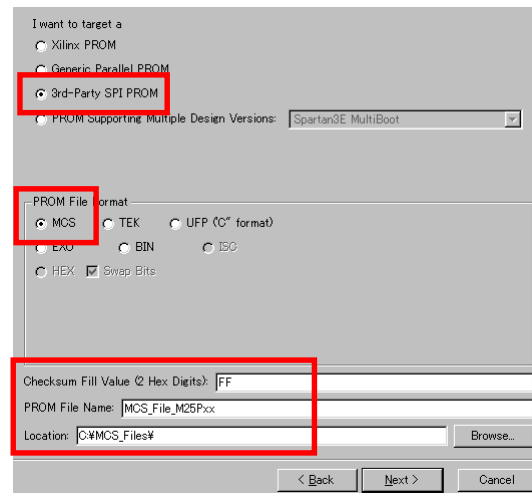
6.1. プログラミングファイルの作成

コンフィギュレーション ROM へ書き込むためのファイル(MGS)の作成方法を以下に示します。

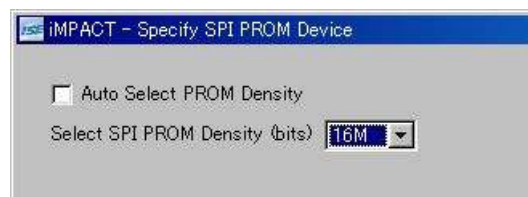
1. iMPACTにて「PROM File Formatter」をダブルクリックします。



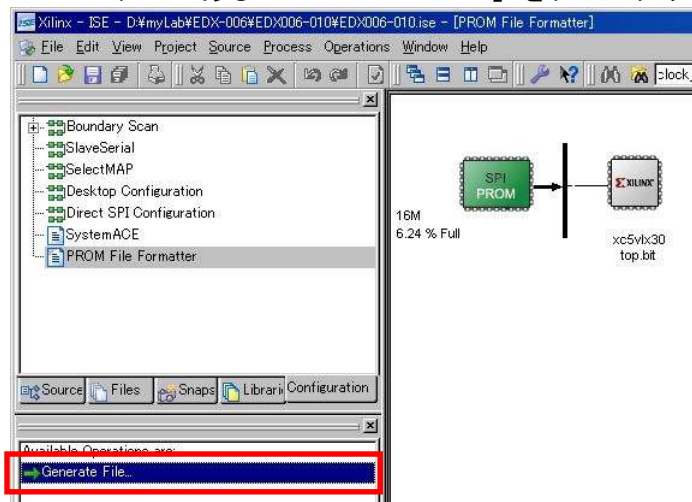
2. Targetに「3rd-Party SPI PROM」を選択し、各必要項目を入力します。



3. 「Select SPI PROM Density (bits)」へ「16M」を選択し、Next をクリックします。
 (*)LX85, LX110 の場合は 32M を選択してください。



4. 使用する bit ファイルを選択します。
5. iMPACT Processes のタブにある「Generate File…」をダブルクリックします。



6.2. 書込み

コンフィギュレーションモードをマスタ SPI に設定する必要があります。下記のように設定し iMPACT から書込みを行ってください。詳細は5.1をご参照ください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		■
OFF	X	X	X	X			■	

X : Don't Care

6.3. 消去

デバイスアイコンを選択し、右クリックから「Erase…」をクリックします。成功すると「Erase Succeeded」と表記されます。

6.4. FPGA へのコンフィギュレーション

コンフィギュレーション ROM から FPGA にコンフィギュレーションする場合は、設定スイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		
OFF	X	X	X	X			■	■

X : Don't Care

7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA Pin	CNA		FPGA Pin	NET LABEL	BANK
		3.3 V (input)	1	2	3.3 V (input)		
		3.3 V (input)	3	4	3.3 V (input)		
		Power (Reserved)	5	6	Power (Reserved)		
		Power (Reserved)	7	8	Power (Reserved)		
		N. C	9	10	N. C		
		GND	-	-	GND		
D	CLK_EXAP	AD13	11	12	AC14	CLK_EXAN	D
		N. C	13	14	N. C		
		N. C	15	16	N. C		
A	IOA0	A14	17	18	C14	IOA32	A
A	IOA1	B14	19	20	C16	IOA33	A
A	IOA2	A15	21	22	D16	IOA34	A
A	IOA3	B15	23	24	C17	IOA35	A
A	IOA4	B16	25	26	C18	IOA36	A
A	IOA5	A17	27	28	D18	IOA37	A
A	IOA6	B17	29	30	C19	IOA38	A
		GND	-	-	GND		
A	IOA7	A18	31	32	D19	IOA39	A
A	IOA8	A19	33	34	D20	IOA40	A
A	IOA9	B19	35	36	C21	IOA41	A
A	IOA10	A20	37	38	D21	IOA42	A
A	IOA11	B20	39	40	C22	IOA43	A
A	IOA12	B21	41	42	D23	IOA44	A
A	IOA13	A22	43	44	C23	IOA45	A
A	IOA14	B22	45	46	D24	IOA46	A
A	IOA15	A23	47	48	C24	IOA47	A
A	IOA16	A24	49	50	F24	IOA48	A
		GND	-	-	GND		
A	IOA17	B24	51	52	G24	IOA49	A
A	IOA18	A25	53	54	H24	IOA50	A
A	IOA19	B25	55	56	J24	IOA51	A
A	IOA20	B26	57	58	L24	IOA52	A
A	IOA21	C26	59	60	L25	IOA53	A
A	IOA22	D25	61	62	K25	IOA54	A
A	IOA23	D26	63	64	K26	IOA55	A
A	IOA24	E25	65	66	M24	IOA56	A
A	IOA25	E26	67	68	M25	IOA57	A
A	IOA26	F25	69	70	M26	IOA58	A
		GND	-	-	GND		
A	IOA27	G25	71	72	N24	IOA59	A
A	IOA28	G26	73	74	N26	IOA60	A
A	IOA29	H26	75	76	P26	IOA61	A
A	IOA30	J25	77	78	P25	IOA62	A
A	IOA31	J26	79	80	P24	IOA63	A

7.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA Pin	CNB		FPGA Pin	NET LABEL	BANK
		VIO(B) (input)	1	2	VIO(B) (input)		
		VIO(B) (input)	3	4	VIO(B) (input)		
		Power (Reserved)	5	6	Power (Reserved)		
		Power (Reserved)	7	8	Power (Reserved)		
		N. C	9	10	N. C		
		GND	-	-	GND		
B	CLK_EXBP	D8	11	12	C8	CLK_EXBN	B
		N. C	13	14	N. C		
		N. C	15	16	N. C		
B	IOB0	C13	17	18	A13	IOB32	B
B	IOB1	B12	19	20	A12	IOB33	B
B	IOB2	C12	21	22	B11	IOB34	B
B	IOB3	C11	23	24	A10	IOB35	B
B	IOB4	D11	25	26	A9	IOB36	B
B	IOB5	D10	27	28	A8	IOB37	B
B	IOB6	B10	29	30	A7	IOB38	B
		GND	-	-	GND		
B	IOB7	B9	31	32	B7	IOB39	B
B	IOB8	F7	33	34	A3	IOB40	B
B	IOB9	E7	35	36	A2	IOB41	B
B	IOB10	C7	37	38	B2	IOB42	B
B	IOB11	C6	39	40	B1	IOB43	B
B	IOB12	B6	41	42	C1	IOB44	B
B	IOB13	B5	43	44	D1	IOB45	B
B	IOB14	B4	45	46	C3	IOB46	B
B	IOB15	C4	47	48	C2	IOB47	B
B	IOB16	D5	49	50	L7	IOB48	B
		GND	-	-	GND		
B	IOB17	D6	51	52	M7	IOB49	B
B	IOB18	E6	53	54	L4	IOB50	B
B	IOB19	E5	55	56	L3	IOB51	B
B	IOB20	F5	57	58	N4	IOB52	B
B	IOB21	F4	59	60	M4	IOB53	B
B	IOB22	G7	61	62	N7	IOB54	B
B	IOB23	G6	63	64	N6	IOB55	B
B	IOB24	G5	65	66	R7	IOB56	B
B	IOB25	H6	67	68	P6	IOB57	B
B	IOB26	G4	69	70	P5	IOB58	B
		GND	-	-	GND		
B	IOB27	H4	71	72	P4	IOB59	B
B	IOB28	J5	73	74	R3	IOB60	B
B	IOB29	J4	75	76	T3	IOB61	B
B	IOB30	K5	77	78	R5	IOB62	B
B	IOB31	L5	79	80	R6	IOB63	B

7.3. ユーザ I/O (CNC) (*) IOC63~IOC83 は XCM203-LX30 では N.C となります

BANK	NET LABEL	FPGA Pin	CNC		FPGA Pin	NET LABEL	BANK
		3.3 V (input)	1	2	3.3 V (input)		
		3.3 V (input)	3	4	3.3 V (input)		
		Power (Reserved)	5	6	Power (Reserved)		
		Power (Reserved)	7	8	Power (Reserved)		
		N. C	9	10	N. C		
		GND	-	-	GND		
		N. C	11	12	N. C		
		N. C	13	14	N. C		
		N. C	15	16	N. C		
C	IOC0	V19	17	18	R20	IOC42	C
C	IOC1	T19	19	20	T24	IOC43	C
C	IOC2	U19	21	22	R21	IOC44	C
C	IOC3	T20	23	24	U24	IOC45	C
C	IOC4	U20	25	26	T23	IOC46	C
C	IOC5	U22	27	28	V24	IOC47	C
C	IOC6	U21	29	30	T22	IOC48	C
		GND	-	-	GND		
C	IOC7	V22	31	32	W24	IOC49	C
C	IOC8	Y23	33	34	V23	IOC50	C
C	IOC9	V21	35	36	W23	IOC51	C
C	IOC10	Y22	37	38	AA24	IOC52	C
C	IOC11	W21	39	40	AA23	IOC53	C
C	IOC12	Y21	41	42	AB24	IOC54	C
C	IOC13	AA20	43	44	AA22	IOC55	C
C	IOC14	R26	45	46	AC24	IOC56	C
C	IOC15	R25	47	48	AB22	IOC57	C
C	IOC16	T25	49	50	AC23	IOC58	C
		GND	-	-	GND		
C	IOC17	U26	51	52	AB21	IOC59	C
C	IOC18	U25	53	54	AC22	IOC60	C
C	IOC19	V26	55	56	AB20	IOC61	C
C	IOC20	W26	57	58	AC21	IOC62	C
C	IOC21	W25	59	60	AC19	IOC63	C
C	IOC22	Y26	61	62	AD26	IOC64	C
C	IOC23	Y25	63	64	AD25	IOC65	C
C	IOC24	AA25	65	66	AE26	IOC66	C
C	IOC25	AB26	67	68	AE25	IOC67	C
C	IOC26	AB25	69	70	AE23	IOC68	C
		GND	-	-	GND		
C	IOC27	AC26	71	72	AF25	IOC69	C
C	IOC28	Y20	73	74	AF24	IOC70	C
C	IOC29	AB19	75	76	AE22	IOC71	C
C	IOC30	AA19	77	78	AF23	IOC72	C
C	IOC31	AD19	79	80	AF22	IOC73	C

⋮

C	I0C32	W20	81	82	AE20	I0C74	C
C	I0C33	W19	83	84	AF20	I0C75	C
C	I0C34	AA18	85	86	AF19	I0C76	C
C	I0C35	Y18	87	88	AF17	I0C77	C
C	I0C36	AB17	89	90	AE17	I0C78	C
		GND	-	-	GND		
C	I0C37	AA17	91	92	AE15	I0C79	C
C	I0C38	Y11	93	94	AF15	I0C80	C
C	I0C39	Y10	95	96	AF14	I0C81	C
C	I0C40	Y8	97	98	AF13	I0C82	C
C	I0C41	AA8	99	100	AF12	I0C83	C

7.4. ユーザ I/O (CND)

BANK	NET LABEL	FPGA Pin	GND		FPGA Pin	NET LABEL	BANK
		VIO(D) (input)	1	2	VIO(D) (input)		
		VIO(D) (input)	3	4	VIO(D) (input)		
		Power (Reserved)	5	6	Power (Reserved)		
		Power (Reserved)	7	8	Power (Reserved)		
		N. C	9	10	N. C		
		GND	-	-	GND		
		N. C	11	12	N. C		
		N. C	13	14	N. C		
		N. C	15	16	N. C		
D	I0D0	J1	17	18	E2	I0D42	D
D	I0D1	H2	19	20	E1	I0D43	D
D	I0D2	K1	21	22	E3	I0D44	D
D	I0D3	L2	23	24	F3	I0D45	D
D	I0D4	H3	25	26	F2	I0D46	D
D	I0D5	J3	27	28	G2	I0D47	D
D	I0D6	M2	29	30	G1	I0D48	D
		GND	-	-	GND		
D	I0D7	N2	31	32	H1	I0D49	D
D	I0D8	R2	33	34	M1	I0D50	D
D	I0D9	T2	35	36	N1	I0D51	D
D	I0D10	T4	37	38	P1	I0D52	D
D	I0D11	T5	39	40	R1	I0D53	D
D	I0D12	U4	41	42	V1	I0D54	D
D	I0D13	V3	43	44	V2	I0D55	D
D	I0D14	W3	45	46	AB1	I0D56	D
D	I0D15	Y3	47	48	AB2	I0D57	D
D	I0D16	Y2	49	50	AC1	I0D58	D

		GND	-	-	GND		
D	I0D17	AA2	51	52	AC2	I0D59	D
D	I0D18	AA3	53	54	AD1	I0D60	D
D	I0D19	AB4	55	56	AE1	I0D61	D
D	I0D20	U5	57	58	AE2	I0D62	D
D	I0D21	U6	59	60	AF2	I0D63	D
D	I0D22	AD3	61	62	AE3	I0D64	D
D	I0D23	AD4	63	64	AF3	I0D65	D
D	I0D24	AD5	65	66	AF4	I0D66	D
D	I0D25	AD6	67	68	AF5	I0D67	D
D	I0D26	AE5	69	70	T7	I0D68	D
D	I0D27	AE6	71	72	U7	I0D69	D
D	I0D28	AB7	73	74	V7	I0D70	D
D	I0D29	AC6	75	76	V6	I0D71	D
D	I0D30	AC7	77	78	W6	I0D72	D
D	I0D31	AD8	79	80	W5	I0D73	D
D	I0D32	AC8	81	82	Y6	I0D74	D
D	I0D33	AC9	83	84	Y5	I0D75	D
D	I0D34	AD10	85	86	AA4	I0D76	D
D	I0D35	AD11	87	88	AA5	I0D77	D
D	I0D36	AC12	89	90	Y7	I0D78	D
		GND	-	-	GND		
D	I0D37	AC13	91	92	AA7	I0D79	D
D	I0D38	AC16	93	94	V4	I0D80	D
D	I0D39	AC17	95	96	Y1	I0D81	D
D	I0D40	AC18	97	98	AB6	I0D82	D
D	I0D41	AD18	99	100	AC3	I0D83	D

7.5. SDRAM (U11)

SDRAM		NET LABEL	FPGA Pin
Pin Name	Pin		
DQ0	A8	SDD0	F14
DQ1	B9	SDD1	E11
DQ2	B8	SDD2	D14
DQ3	C9	SDD3	E12
DQ4	C8	SDD4	D13
DQ5	D9	SDD5	F12
DQ6	D8	SDD6	E13
DQ7	E9	SDD7	E10
DQ8	E1	SDD8	F19
DQ9	D2	SDD9	F18
DQ10	D1	SDD10	E18
DQ11	C2	SDD11	E8
DQ12	C1	SDD12	E17
DQ13	B2	SDD13	E15
DQ14	B1	SDD14	F17
DQ15	A2	SDD15	E16
A0	H7	SDADD0	H9
A1	H8	SDADD1	H11
A2	J8	SDADD2	G9
A3	J7	SDADD3	H8
A4	J3	SDADD4	G17
A5	J2	SDADD5	H17
A6	H3	SDADD6	H16
A7	H2	SDADD7	G15
A8	H1	SDADD8	G16
A9	G3	SDADD9	F15
A10	H9	SDADD10	G12
A11	G2	SDADD11	G19
A12	G1	SDADD12	H18
BA0	G7	SDBS0	G10
BA1	G8	SDBS1	G11
DQML	E8	SDLQML	H14
DQMH	F1	SDUDQM	G22
WE#	F9	NSDWE	F13
CAS#	F8	NSDCAS	H13
RAS#	F7	NSDRAS	G14
CS#	G9	NSDCS	H12
CKE	F3	NSDCLKE	G21
CLK	F2	SDDCLK	F9
		SDDCLKIN *	F10

(*) 抵抗 (R44) を介して FPGA に接続されています。

7. 6. MRAM (U10)

MRAM		NET LABEL	FPGA Pin
Pin Name	Pin		
A0	1	MRAM_A1	N22
A1	2	MRAM_A2	N23
A2	3	MRAM_A3	N21
A3	4	MRAM_A4	L20
A4	5	MRAM_A5	P23
A5	18	MRAM_A6	G20
A6	19	MRAM_A7	H19
A7	20	MRAM_A8	F20
A8	21	MRAM_A9	E20
A9	22	MRAM_A10	Y12
A10	23	MRAM_A11	M21
A11	24	MRAM_A12	M22
A12	25	MRAM_A13	L22
A13	26	MRAM_A14	K20
A14	27	MRAM_A15	M20
A15	42	MRAM_A16	F23
A16	43	MRAM_A17	E23
A17	44	MRAM_A18	E22
DQL0	7	MRAM_DQL0	R23
DQL1	8	MRAM_DQL1	P21
DQL2	9	MRAM_DQL2	R22
DQL3	10	MRAM_DQL3	P20
DQL4	13	MRAM_DQL4	M19
DQL5	14	MRAM_DQL5	P19
DQL6	15	MRAM_DQL6	J19
DQL7	16	MRAM_DQL7	J20
DQU8	29	MRAM_DQU8	K21
DQU9	30	MRAM_DQU9	J21
DQU10	31	MRAM_DQU10	K22
DQU11	32	MRAM_DQU11	L23
DQU12	35	MRAM_DQU12	H21
DQU13	36	MRAM_DQU13	K23
DQU14	37	MRAM_DQU14	H22
DQU15	38	MRAM_DQU15	J23
G#	41	MRAM_OE	F22
W#	17	MRAM_WE	L19
E#	6	MRAM_CE	N19
LB#	39	MRAM_BE0	H23
UB#	40	MRAM_BE1	E21

7.7. オンボードクロック

周波数	NET LABEL	FPGA Pin
50 MHz	GCLK1	F8
	GCLK2	D15

7.8. 外部クロック入力

コネクタ	NET LABEL	FPGA Pin
CNA_11	CLK_EXAP	AD13
CNA_12	CLK_EXAN	AC14
CNB_11	CLK_EXBP	D8
CNB_12	CLK_EXBN	C8

7.9. 汎用 LED

LED	NET LABEL	FPGA Pin
L2	ULED2	Y13
L3	ULED3	AA15

7.10. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW2	AB14
SW3	PSW3	AA12

7.11. シリアル I/F (CN2)

コネクタ番号	NET LABEL	FPGA Pin
1	D_TXD	AB15
2	GND	-
3	D_RXD	AB16

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

7.12. 温度ダイオード (CN3)

コネクタ番号	NET LABEL	FPGA Pin
1	DXP	R14
2	GND	-
3	DXN	R13

FPGA の温度測定用ダイオードに直結します。外部での温度監視にご使用頂けます。
弊社 UTL-015 をご使用頂けます。詳しくは回路図、データシートをご参照ください。

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-203/index.html>

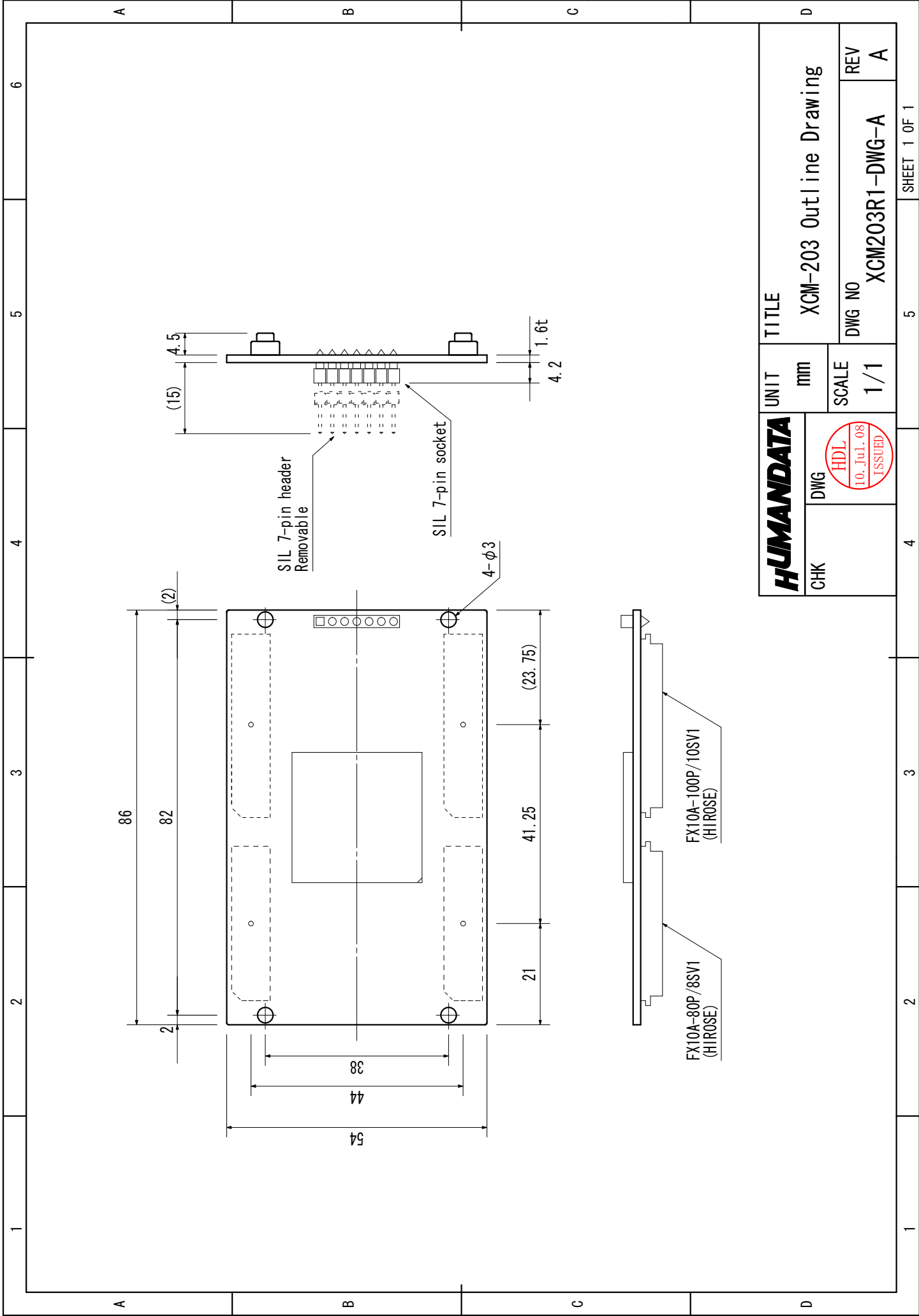
- 回路図
 - ピンリスト
 - 外形図
 - パターン図
 - ネットリスト
- ...等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA	UNIT	TITLE	
	mm	XCM-203 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	XCM203R1-DWG-A
			REV
			A



Virtex-5 FPGA ボード
XCM-203
ユーザーズマニュアル

2010/07/08 Ver.1.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
