

Virtex- Pro ブレッドボード
XCM-104
ユーザズマニュアル
初版



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品説明	3
3.1. 各部の名称	3
3.2. 電源入力	4
3.3. JTAG コネクタ	4
3.4. ジャンプスイッチの説明	6
4. FPGA へのコンフィグレーション方法	7
5. コンフィグレーション ROM データ作成方法	8
6. コンフィグレーション ROM へのデータ書き込み方法	10
7. ピン割付表	11
7.1. CNA	11
7.2. CNB	12
7.3. オンボードクロック	13
8. XCM-104 シリーズ 参考資料について	13
9. 付属資料	13

はじめに

この度は、Virtex- Pro ブレッドボード / XCM-104 をお買い上げいただきまして誠にありがとうございます。

XCM-104 は、XILINX の高性能 FPGA Virtex- Pro を用いた評価用ボードで、電源回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した、使いやすいボードになっています
どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

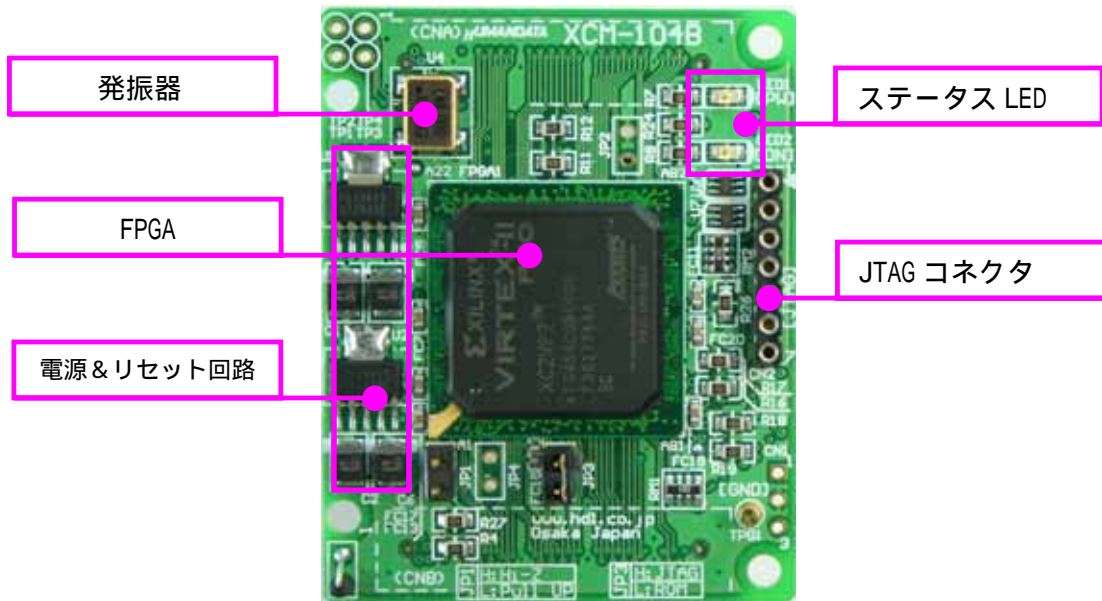
Virtex- Pro ブレッドボード	XCM-104	1
付属品		1
マニュアル(本書)		1
ユーザー登録はがき		1

2. 仕様

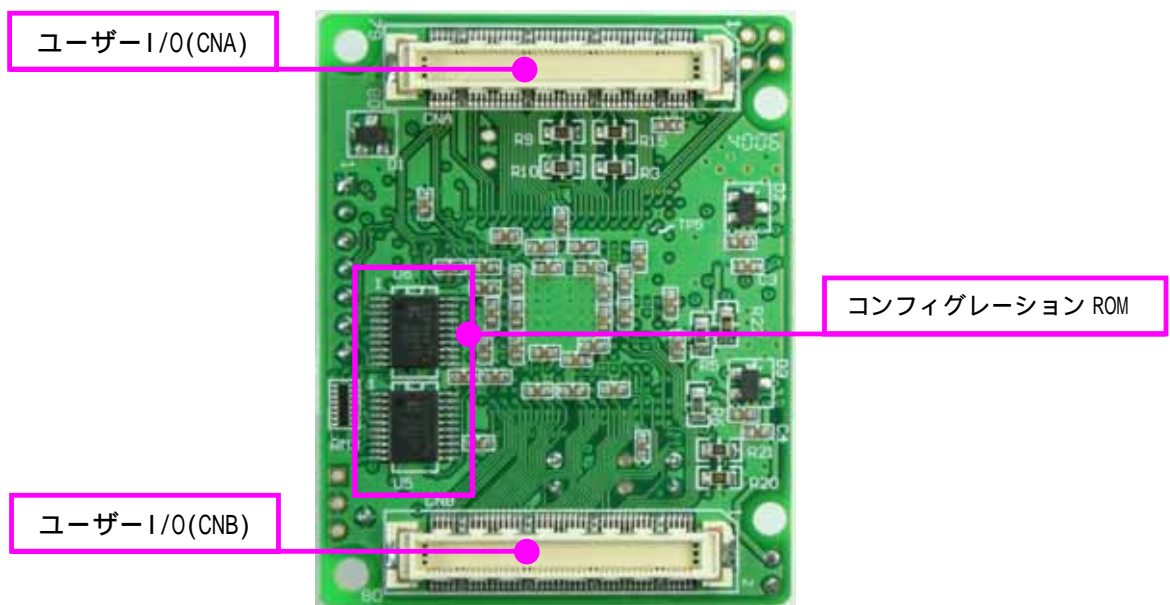
製品型番	XCM-104
搭載 FPGA	XC2VP7-5FG456C
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)
消費電流	N/A (詳細は FPGA データシートご参照)
外形寸法	43 × 55 [mm]
重量	約 40 [g]
ユーザー I/O	128 本(64 本 × 2)
I/O コネクタ	メーカー型番 : FX10A-80P/8-SV1 (ヒロセ電機)
プリント基板	ガラスエポキシ 6 層基板 1.6t
コンフィグレーション ROM	XCF04SV020C0936 (XILINX) 2 個
クロック	オンボード 48MHz 外部供給可能
リセット回路	内蔵 (200ms TYP)
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ
ステータス LED	2 個 (POWER-LED , DONE-LED)
付属品	SIP7 ピンヘッダ (本体に取付け済み) 1 個 コネクタ : FX10A-80S/8-SV (ヒロセ電機) 2 個 ジャンパソケット 2 個

3. 製品説明

3.1. 各部の名称



<A 面>



<B 面>

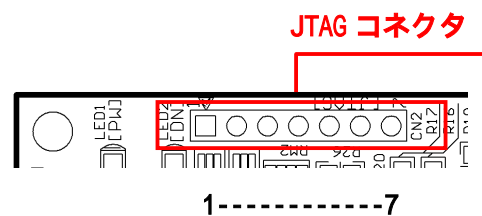
3.2. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。
内部に必要な、2.5V、1.5V はオンボードのレギュレータにより生成されます。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB から供給してください。CNA は BANK-A、CNB は BANK-B の VCC0 となっております。適切な電源を供給してください。**いずれも 3.3V を超えることはできません。**詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

3.3. JTAG コネクタ

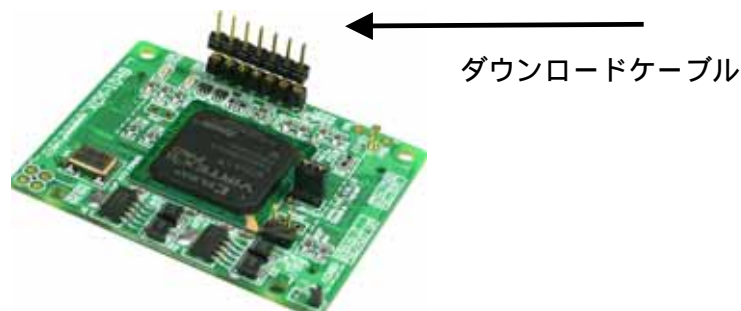
FPGA へのコンフィグレーションや ROM への ISP に用います。
ピン配置は次表のとおりです。



信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	IN(POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC2、XC3、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

また、ダウンロードケーブルと本品(XCM-104)との接続には付属品 SIP7 ピンヘッダをご利用できます。



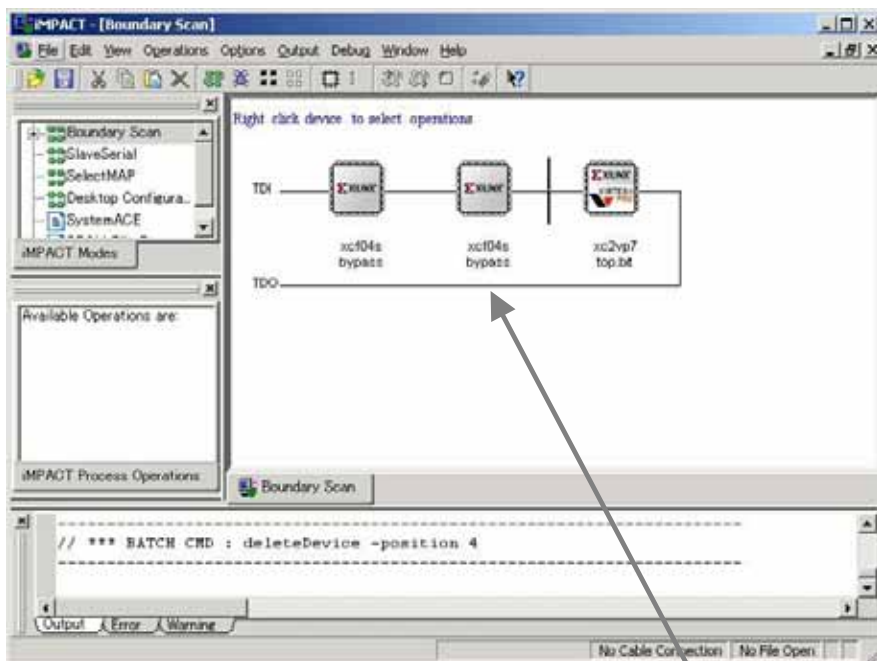
注意

ダウンロードケーブルを接続する場合、逆差しなどにご注意ください。

JTAG チェインには ROM と FPGA の両方が参加しています。



iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。



操作が必要ないときは、
BYPASS とすれば良い

3.4. ジャンパスイッチの説明

表 4-1 : Virtex-II Pro のコンフィギュレーション モード ピンの設定

コンフィギュレーション モード ⁽¹⁾	M2	M1	M0	CCLK の方向	データ幅	シリアル DOUT ⁽²⁾
マスタ シリアル	0	0	0	出力	1	あり
スレーブ シリアル	1	1	1	入力	1	あり
マスタ SelectMAP	0	1	1	出力	8	なし
スレーブ SelectMAP	1	1	0	入力	8	なし
バウンダリ スキャン	1	0	1	なし	1	なし

メモ :

1. HSWAP_EN ピンは、プルアップ抵抗の有無を制御します。コンフィギュレーション モードは M2、M1、M0 で選択されますが、プルアップ抵抗の使用は、HSWAP_EN ピンの設定で決定します。
2. デイジー チェーン接続は、シリアル DOUT を使用するモードでのみ可能です。たとえば、SelectMAP モードの場合、先頭のデバイスと後続のデバイスをデイジー チェーン接続できません。

(XILINX 社 Virtex- Pro および Virtex- Pro X FPGA ユーザーガイドより)

JP3 ----- M0,M2 信号 設定用 (M1 は 0 に固定)

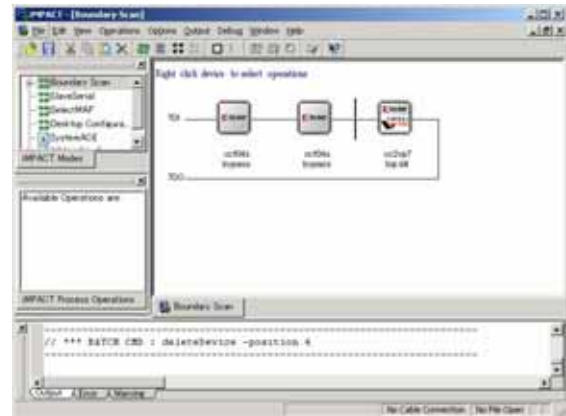
JP3	M0	M1	M2	モード
Short	0	0	0	ROM 使用
Open	1	0	1	JTAG(バウンダリ スキャン)使用

メモ

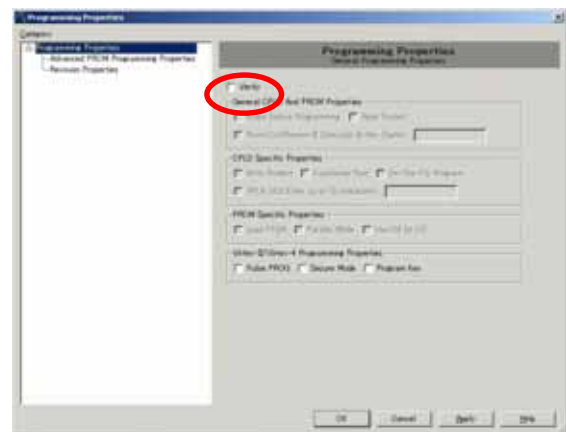
出荷時は Open しています。(ソケット付属品)

4 . FPGA へのコンフィグレーション方法

FPGA へのコンフィグレーションは iMPACT により行います。iMPACT を起動し [File]-[Initialize Chain] をクリックすると、ROM と FPGA が認識されます。ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください。



デバイスのアイコン上で右クリックをし、Program... をクリックします。FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。

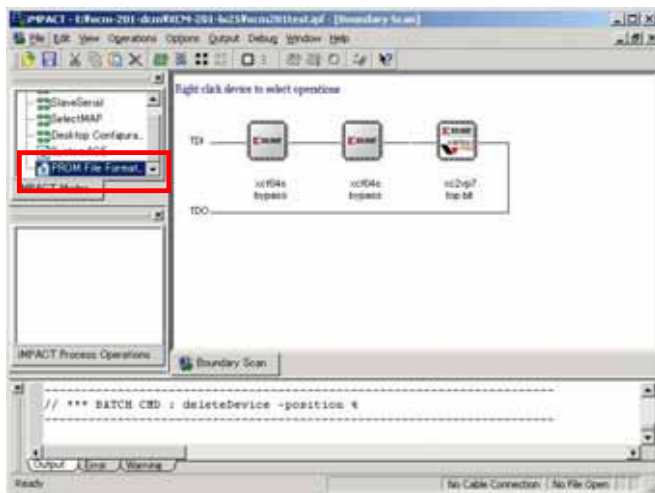


書き込みが成功すると、Program Succeeded と表記されます。

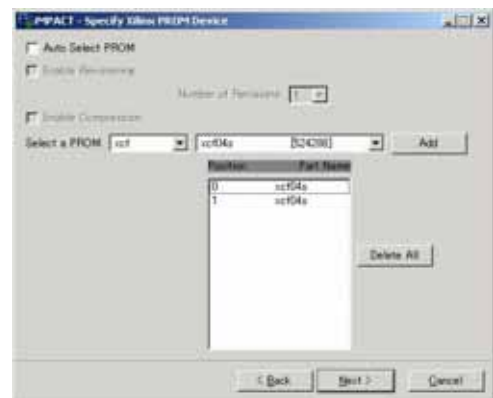


5. コンフィグレーション ROM データ作成方法

下図 赤枠[PROM File Formatter]上でダブルクリックします。

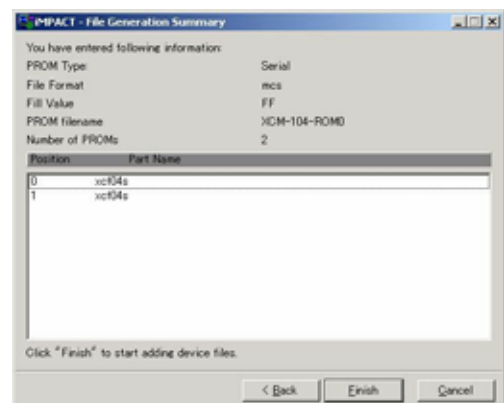
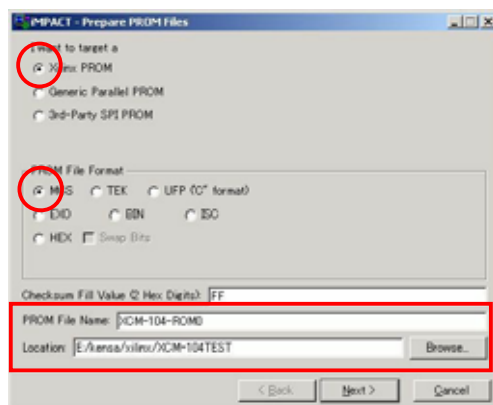


XCM-104 は XCF04SV020C を 2 個使用しているため、Select a PROM は XCF04SV020C を選択し、2 度 ADD をクリックします) 下図のようになれば Next> をクリックします。



次に、Finish をクリックします。

次に、下図のようにチェックを入れ、File Name と Location(保存先)を指定し Next> をクリックします。



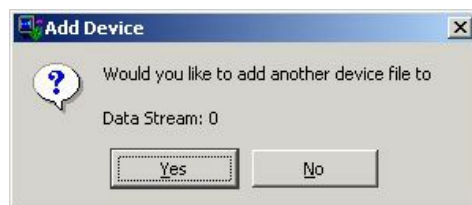
- ▼ 下図ダイアログが表示されましたら、OK をクリックします。



次に下図画面が現れますので、任意の bit ファイルを指定してください。



- ▼ 下図ダイアログが表示されましたら、No をクリックします。

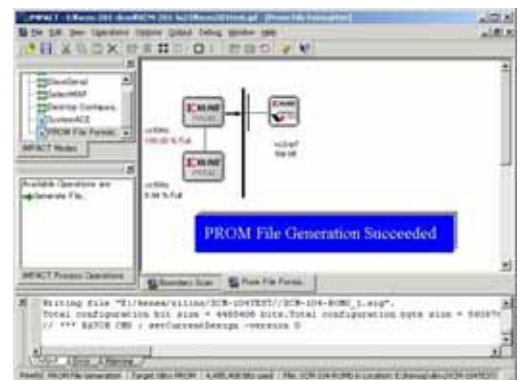


- ▼ 下図ダイアログが表示されましたら、OK をクリックします。



次に、PROM File Formatter タブの表示エリアで右ボタンメニューの Generate File をクリックします。

PROM File Generation Succeeded が表示されれば ROM データの完成です。

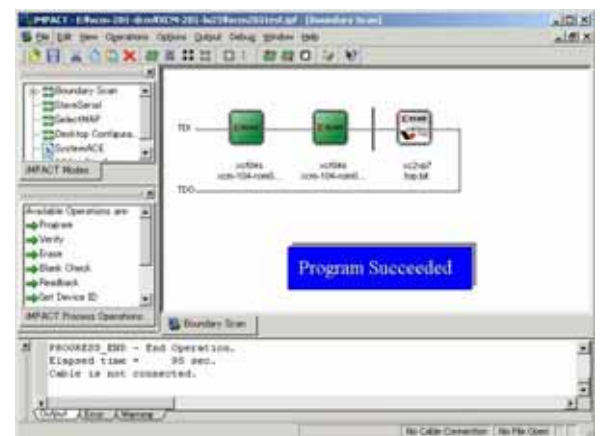
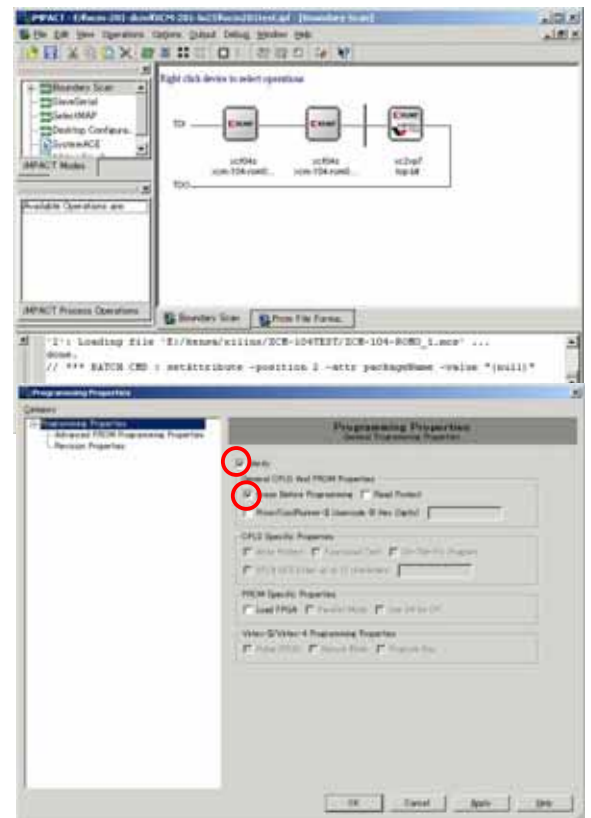


6. コンフィグレーション ROM へのデータ書き込み方法

ROM へのデータ書き込みは iMPACT により行います。
iMPACT を起動し [File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。JTAG は任意の bit ファイル、または BYPASS とし、ROM に対して mcs ファイルを割り付けてください。
データ書き込みに際して 1 つずつ書き込みしてもかまいませんが、CTRL キーで 2 つ選択して 1 回の操作で 2 つともデータを書き込むこともできます。

ROM へデータ書き込み時は [Verify] [Erase Before Programming] にチェックをいれ OK をクリックします

Program Succeeded が表示されれば終了です。



メモ

ROM から FPGA にコンフィグレーションする際、JP3 はショートして下さい。

7. ピン割付表

7.1. CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン #		FPGA ピン#	NET LABEL	BANK
A	3.3V	3.3V	1	2	3.3V	3.3V	A
A	3.3V	3.3V	3	4	3.3V	3.3V	A
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
A	GND	GND	-	-	GND	GND	A
A	CLKA0	Y12	11	12	W12	CLKA1	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	E21	17	18	E19	IOA32	A
A	IOA1	E22	19	20	E20	IOA33	A
A	IOA2	F21	21	22	F19	IOA34	A
A	IOA3	F22	23	24	F20	IOA35	A
A	IOA4	G21	25	26	G19	IOA36	A
A	IOA5	G22	27	28	G20	IOA37	A
A	IOA6	H21	29	30	H19	IOA38	A
	GND	GND	-	-	GND	GND	
A	IOA7	H22	31	32	H20	IOA39	A
A	IOA8	J21	33	34	J19	IOA40	A
A	IOA9	J22	35	36	J20	IOA41	A
A	IOA10	K21	37	38	K19	IOA42	A
A	IOA11	K22	39	40	K20	IOA43	A
A	IOA12	L21	41	42	L19	IOA44	A
A	IOA13	M21	43	44	L20	IOA45	A
A	IOA14	N21	45	46	M19	IOA46	A
A	IOA15	N22	47	48	M20	IOA47	A
A	IOA16	P21	49	50	N19	IOA48	A
	GND	GND	-	-	GND	GND	
A	IOA17	P22	51	52	N20	IOA49	A
A	IOA18	R21	53	54	P19	IOA50	A
A	IOA19	R22	55	56	P20	IOA51	A
A	IOA20	T21	57	58	R19	IOA52	A
A	IOA21	T22	59	60	R20	IOA53	A
A	IOA22	U21	61	62	T19	IOA54	A
A	IOA23	U22	63	64	T20	IOA55	A
A	IOA24	V21	65	66	U19	IOA56	A
A	IOA25	V22	67	68	U20	IOA57	A
A	IOA26	W21	69	70	V19	IOA58	A
	GND	GND	-	-	GND	GND	
A	IOA27	W22	71	72	V20	IOA59	A
A	IOA28	Y21	73	74	W16	IOA60	A
A	IOA29	Y22	75	76	Y16	IOA61	A
A	IOA30	AA22	77	78	W15	IOA62	A
A	IOA31	AB21	79	80	Y15	IOA63	A

7.2. CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
B	V33_B	3.3V	1	2	3.3V	V33_B	B
B	V33_B	3.3V	3	4	3.3V	V33_B	B
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
B	CLKB0	D11	11	12	C11	CLKB1	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	E10	17	18	D2	IOB32	B
B	IOB1	F10	19	20	D1	IOB33	B
B	IOB2	E9	21	22	E1	IOB34	B
B	IOB3	F9	23	24	F2	IOB35	B
B	IOB4	C8	25	26	F1	IOB36	B
B	IOB5	D8	27	28	G2	IOB37	B
B	IOB6	E7	29	30	G1	IOB38	B
	GND	GND	-	-	GND	GND	
B	IOB7	E6	31	32	H1	IOB39	B
B	IOB8	E3	33	34	J2	IOB40	B
B	IOB9	E4	35	36	J1	IOB41	B
B	IOB10	F3	37	38	K2	IOB42	B
B	IOB11	G4	39	40	K1	IOB43	B
B	IOB12	G3	41	42	L2	IOB44	B
B	IOB13	H4	43	44	M2	IOB45	B
B	IOB14	H3	45	46	N2	IOB46	B
B	IOB15	J4	47	48	N1	IOB47	B
B	IOB16	J3	49	50	P2	IOB48	B
	GND	GND	-	-	GND	GND	
B	IOB17	K4	51	52	R2	IOB49	B
B	IOB18	K3	53	54	R1	IOB50	B
B	IOB19	L4	55	56	T2	IOB51	B
B	IOB20	L3	57	58	T1	IOB52	B
B	IOB21	M4	59	60	U2	IOB53	B
B	IOB22	M3	61	62	V2	IOB54	B
B	IOB23	N4	63	64	V1	IOB55	B
B	IOB24	N3	65	66	V3	IOB56	B
B	IOB25	P4	67	68	V4	IOB57	B
B	IOB26	P3	69	70	P6	IOB58	B
	GND	GND	-	-	GND	GND	
B	IOB27	R4	71	72	R5	IOB59	B
B	IOB28	T4	73	74	Y2	IOB60	B
B	IOB29	T3	75	76	Y1	IOB61	B
B	IOB30	U4	77	78	T5	IOB62	B
B	IOB31	U3	79	80	U5	IOB63	B

メモ

V33.B は J1 を取り外すことにより、CNB 側の VCC0 を分離することができます。（VCC0 は 3.3V 以下である必要があります）

7.3. オンボードクロック

クロック	NET LABEL	FPGA ピン#
オンボード 48M	CLK0	E12
オンボード 48M	CLK1	D12
オンボード 48M	CLK2	C12
オンボード 48M	CLK3	Y11

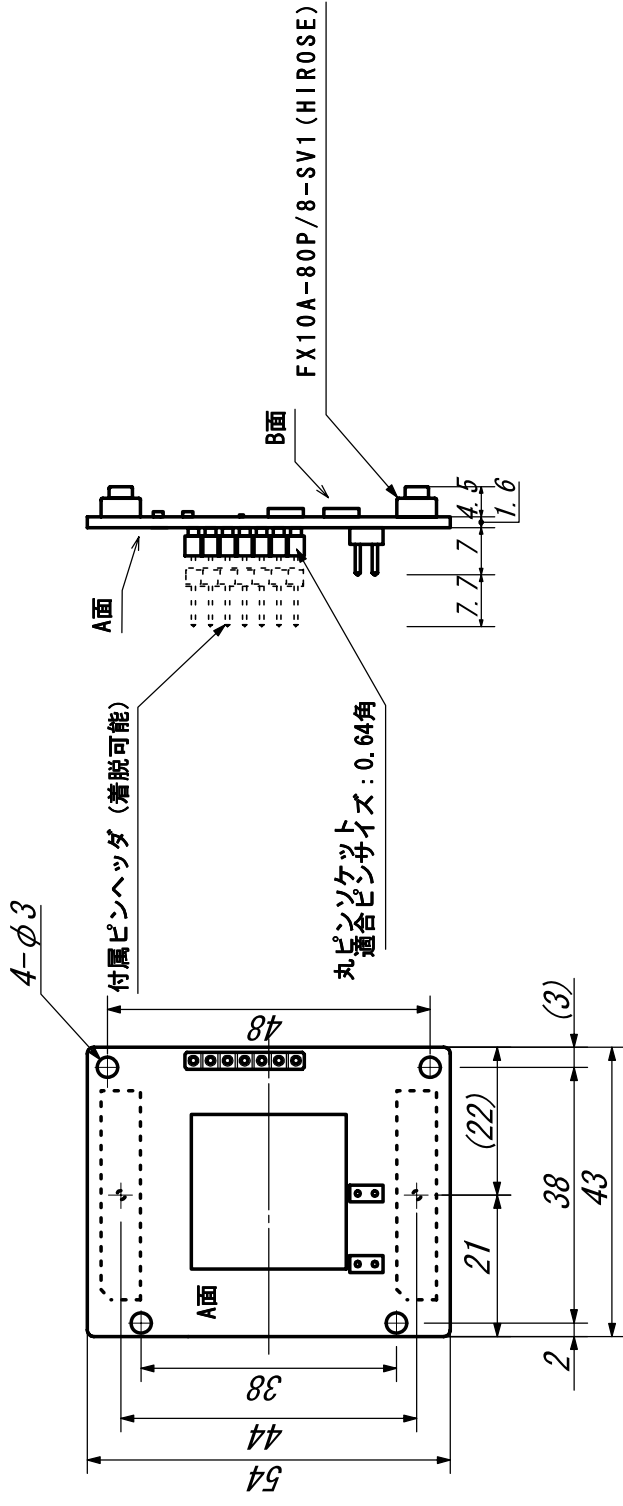
8. XCM-104 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html
にデータをアップロードすることにいたします。
ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 回路図
2. 外形寸法図



HUMAN DATA		UNIT	TITLE
CHK	DWG	SIZE	XCM-104 外形寸法図
		DWG NO	G-XCM-104
		REV	A

材質	個数
仕上	

Virtex- Pro ブレッドボード
XCM-104 シリーズ
ユーザーズマニュアル

2006/11/29 (初版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
