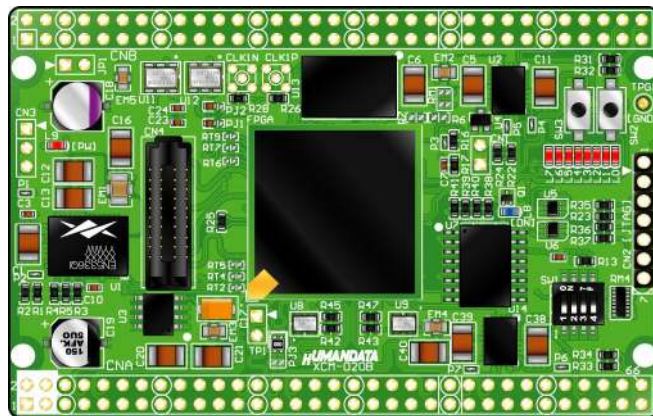


Spartan-6 LXT FPGA ボード  
XCM-020  
ユーザーズマニュアル  
Ver. 1.0





## 目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 共通ピンについて <b>【重要】</b> .....	2
2. 製品の内容について.....	2
3. 開発環境.....	3
4. 仕様.....	3
5. 製品説明.....	4
5.1. 各部名称.....	4
5.2. ブロック図.....	5
5.3. 電源.....	6
5.4. クロック.....	6
5.5. 設定スイッチ (SW1).....	6
6. GTP Transceiver (RocketIO).....	7
7. FPGA コンフィギュレーション.....	7
7.1. JTAG/バウンダリスキャン.....	7
7.2. コンフィグ ROM ファイルの作成.....	8
7.3. コンフィグ ROM アクセス.....	8
8. FPGA ピン割付け表.....	9
8.1. ユーザ I/O (CNA).....	9
8.2. ユーザ I/O (CNB).....	10
8.3. DDR2 SDRAM (U12).....	11
8.4. MRAM (U10).....	12
8.5. オンボードクロック.....	13
8.6. 外部クロック入力.....	13
8.7. 汎用 LED.....	13
8.8. 汎用スイッチ.....	14
8.9. シリアルインタフェース (CN2).....	14
8.10. SIF40 (CN4).....	14
8.11. 共通ピン.....	15
9. サポートページ.....	15
10. 付属資料.....	15


## ● はじめに

この度は Spartan-6 LXT FPGA ボード XCM-020 シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-020 は、XILINX の高性能 FPGA Spartan-6 LXT シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
13 静電気にご注意ください。	

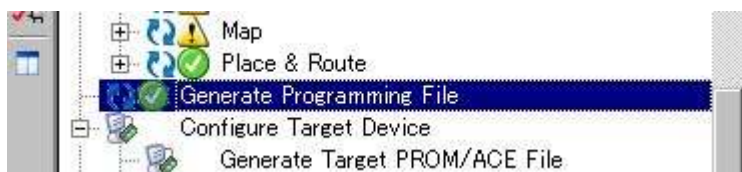
## ● 改訂記録

日付	バージョン	改訂内容
2011/06/09	1.0	・初版発行

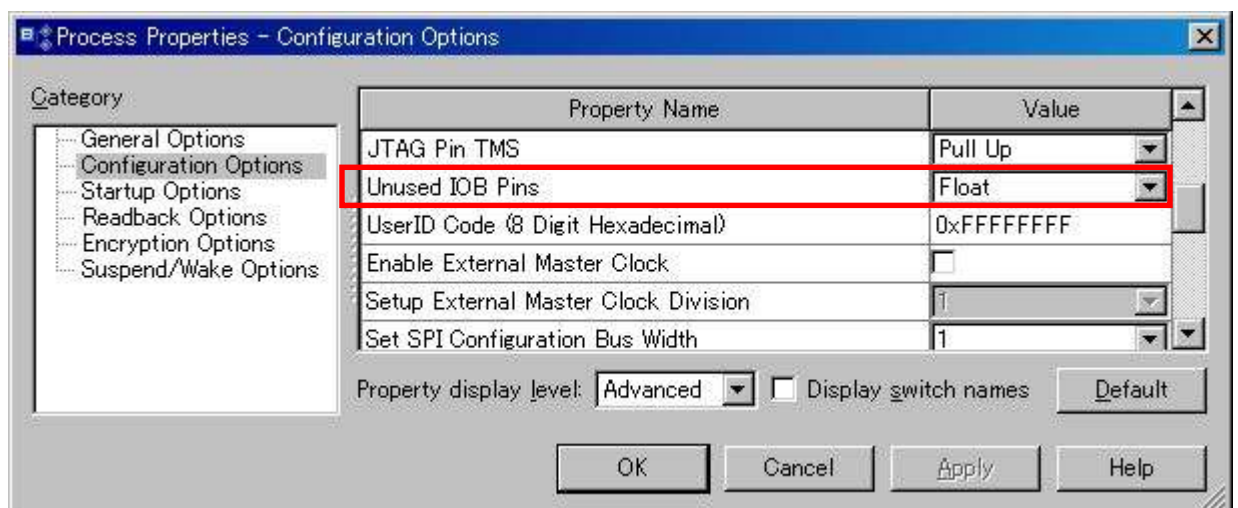
## 1. 共通ピンについて **【重要】**

本ボードでは、下表の Vref ピンが共通になっています。  
 意図しないショートを避けるため、未使用ピンの設定を【Float】としておくことを推奨します。ISE での未使用ピン処理設定の確認は下記をご参照ください。

VRFB	V09_REF
D3	F19
A5	D22
G13	R19
D19	-



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

## 2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード	XCM-020	1
付属品		1
マニュアル（本書）		1 *
ユーザ登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

### 3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。  
~~これらの開発ツールは、XILINX 社が無償配布する ISE がご使用頂けます。~~ 使用する際には、インターネットによるライセンス登録が必要となります。

本マニュアルは ISE Ver. 12.2 を元に作成しています。

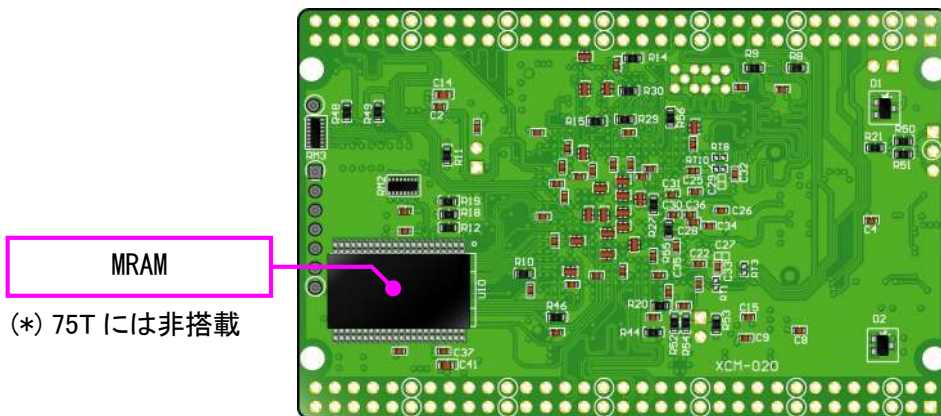
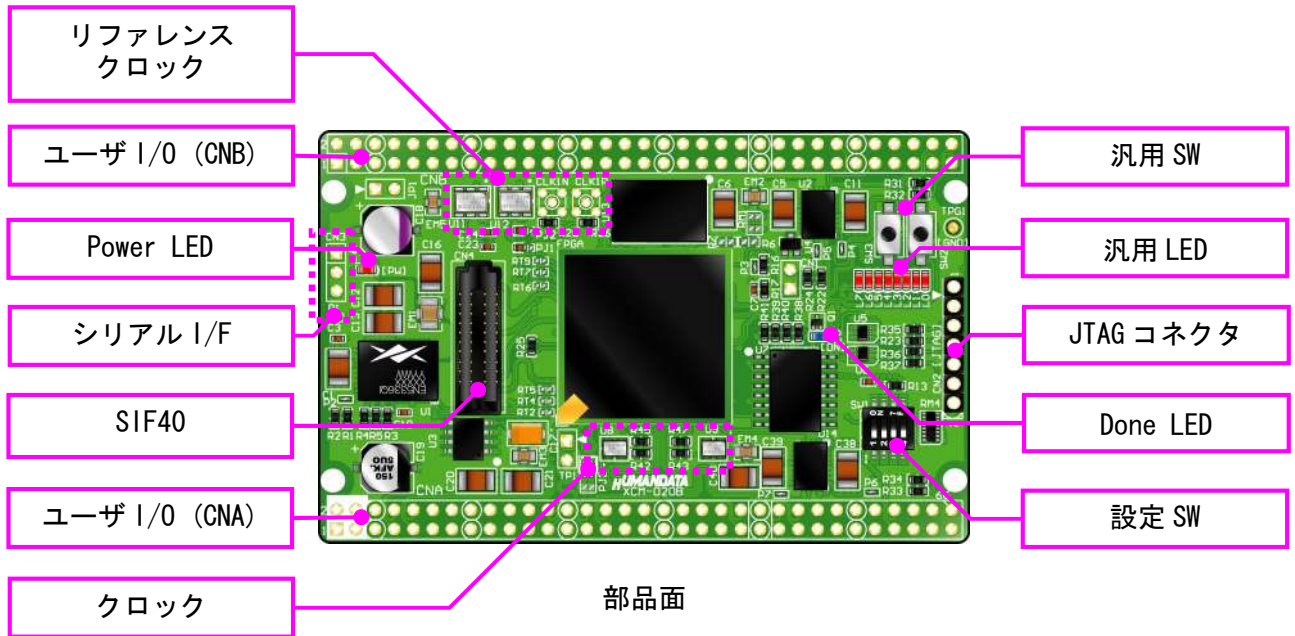
### 4. 仕様

製品型番	XCM-020-75T	XCM-020-45T	XCM-020-100T	XCM-020-150T
搭載 FPGA	XC6SLX75T -2FGG484C	XC6SLX45T -2FGG484C	XC6SLX100T -2FGG484C	XC6SLX150T -2FGG484C
MRAM	非搭載	MR2A16AYS35 (Everspin, 4Mbit: 256Kbit x16)		
コンフィグ ROM	M25P64-VMF6P (64Mbit)			
DDR2 SDRAM	MT47H32M16HR-25E-G (Micron, 512Mbit: 8Mbit x16 x4 banks)			
オンボードクロック	50MHz、30MHz			
外部入力クロック	ユーザ I/O (10A-48/49, 10B-48/49) MMCX (GTP リファレンスクロック、不実装)			
電源	DC 3.3[V]			
消費電流	N/A (詳細は FPGA データシートをご参照ください)			
外形寸法	86 x 54 [mm]			
質量	約 31 [g]			
ユーザ I/O	100 本			
汎用スイッチ	4 (Push x2, DIP x2)			
汎用 LED	8			
I/O コネクタ	66 ピンスルーホール 1.0[mmφ] 2.54[mm]ピッチ			
プリント基板	ガラスエポキシ 8 層基板 1.6t			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
付属品	SIL7 ピンヘッダ (本体に取付け済み) x1			
	DIL80 ピンヘッダ (任意にカット可能) x2			

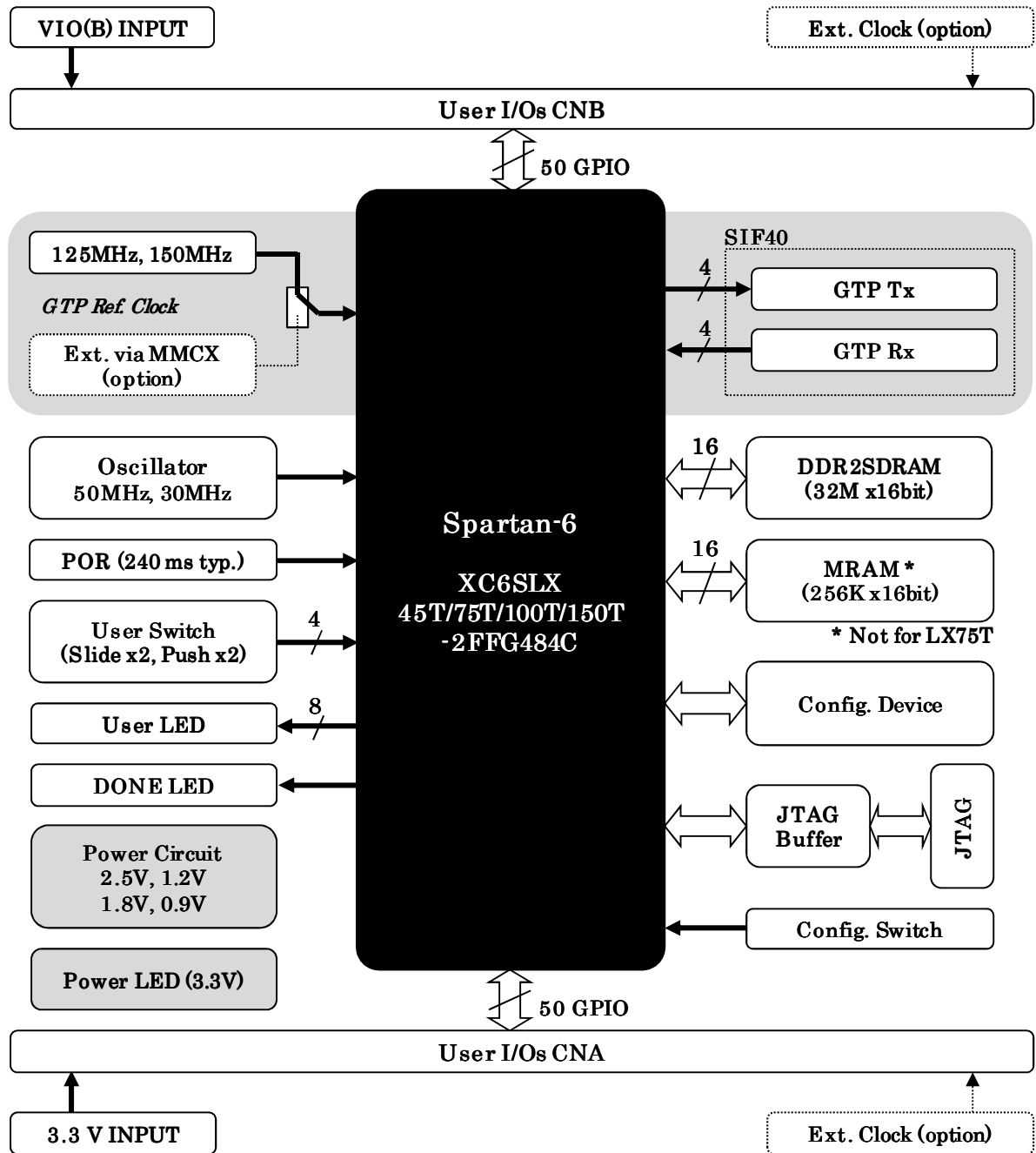
\*これらの部品や仕様は変更となる場合がございます

## 5. 製品説明

### 5.1. 各部名称



5.2. ブロック図



XCM-020 Rev.A



### 5.3. 電源

電源は CNA, CNB より 3.3V を供給してください。内部で必要になる 2.5V、1.2V、1.8V、0.9V はオンボードレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

BANK B の Vcco はボード上の 3.3V (V33A) とは接続されていません。任意の値を CNB から入力してください。JP1 をショートして 3.3V (V33A) とすることも出来ます。また、PJ3 を切り替えることにより 2.5V を供給することも可能です。

詳しくは FPGA のデータシートや回路図などを参照してください。

### 5.4. クロック

オンボードクロックとして 50MHz (U8) と 30MHz (U9) を搭載しています。コネクタ CNA、CNB より外部クロックを入力することも可能です。

詳しくは回路図をご参照ください。

### 5.5. 設定スイッチ (SW1)

設定スイッチ (SW1) によりコンフィギュレーションモードを変更することが可能です。ここでは一般的に使用します一部のモードを掲載しています。他のモードの詳細につきましては Spartan-6 コンフィギュレーションユーザガイドをご参照ください。

SW1

番号	1	2	3	4
ネット	ASW0	ASW1	X_M1	X_HSWAPEN
出荷時	OFF	OFF	OFF	OFF
説明	汎用		コンフィグモード設定	プルアップ設定

コンフィギュレーションモード	M1 の設定	M0 の設定 *2
JTAG *1	OFF (High)	High
Master Serial SPI	ON (Low)	High

※1) 本来は Slave Serial となる設定値です

※2) M0 は High に固定されています

- **HSWAPEN**

コンフィギュレーション前のユーザ I/O の状態を設定します。

ON : プルアップ有り

OFF : プルアップ無し (ハイインピーダンス)



- **X\_M1**

コンフィギュレーションモードを設定します。上表に示したモードは一部のものです。

## 6. GTP Transceiver (RocketIO)

XCM-020シリーズではGTP Transceiver (RocketIO) 信号をSIF40(\*)コネクタ (CN4) に引き出しております。弊社アクセサリ ACC-009/010等を使用して SMA/MMCX コネクタより信号を外部に引き出して使用します。アクセサリ使用時のピンアサインについては各アクセサリの製品資料 (ピンリスト) をご参照ください。

リファレンスクロックには 125MHz と 150MHz を搭載しています。PJ1, PJ2 を切り替えることにより MMCX コネクタより外部リファレンスクロックを供給することも可能です。(要はんだ付)

詳しくは回路図をご参照ください。



(\*)SIF40 とは、ヒューマンデータ製 FPGA ボードの高速トランシーバのために定められた共通 I/F 仕様です。詳しくはウェブサイトをご覧ください。

## 7. FPGA コンフィギュレーション

JTAG コネクタ (CN2) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

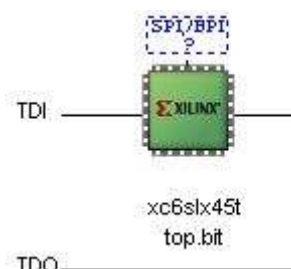
JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN2		
ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O



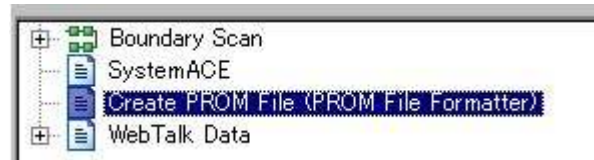
### 7.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。

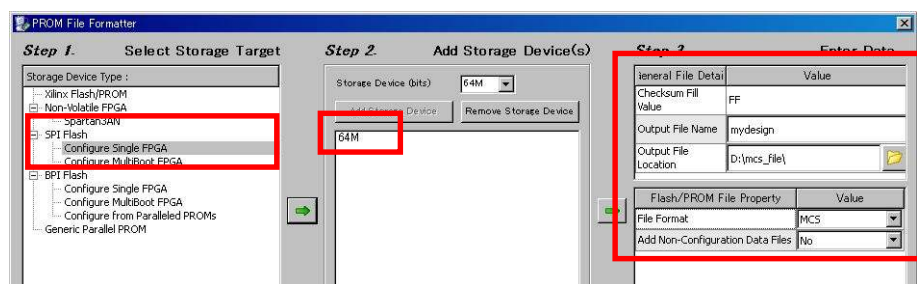


## 7.2. コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



(1) iMPACT にて「Create PROM File」をダブルクリックします



(2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 64M (1つ)
- File Format: MCS
- その他項目: 任意

(3) 使用する bit ファイルを選択します

(4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします

(5) 「Generate Succeeded」と表記されれば完了です

## 7.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。デバイスには【SPI PROM - M25P64】を選択してください。

右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードを Master Serial/SPI に設定する必要があります。

SW1	1	2	3	4
ON	X	X	■	X
OFF	X	X		X

X: Don't Care

Right click device to select operations



## 8. FPGA ピン割付け表

I/O、メモリの配線長はピンリストファイルにて公開しております。Web の製品サポートページをご参照ください。

### 8.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK
	V33A	3.3V	1	2	3.3V	V33A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	B1	7	8	C1	IOA1	A
A	IOA2	D2	9	10	D1	IOA3	A
A	IOA4	E4	11	12	F3	IOA5	A
A	IOA6	E3	13	14	E1	IOA7	A
		GND	15	16	GND		
A	IOA8	G3	17	18	G1	IOA9	A
A	IOA10	J4	19	20	H3	IOA11	A
A	IOA12	J3	21	22	J1	IOA13	A
A	IOA14	F1	23	24	F2	IOA15	A
		GND	25	26	GND		
A	IOA16	H2	27	28	H1	IOA17	A
A	IOA18	K2	29	30	K1	IOA19	A
A	IOA20	H5	31	32	J6	IOA21	A
A	IOA22	K3	33	34	K4	IOA23	A
		GND	35	36	GND		
A	IOA24	K5	37	38	K6	IOA25	A
A	IOA26	L1	39	40	L4	IOA27	A
A	IOA28	L6	41	42	M6	IOA29	A
A	IOA30	M1	43	44	M2	IOA31	A
		GND	45	46	GND		
A	IOA32	P1	47	48	P2	IOA33	A
A	IOA34	T1	49	50	T2	IOA35	A
A	IOA36	N1	51	52	N3	IOA37	A
A	IOA38	P4	53	54	P5	IOA39	A
		GND	55	56	GND		A
A	IOA40	R1	57	58	R3	IOA41	A
A	IOA42	V1	59	60	V2	IOA43	A
A	IOA44	U3	61	62	U1	IOA45	A
A	IOA46	Y2	63	64	Y1	IOA47	A
A	IOA48 *1	AA2	65	66	AA1	IOA49 *2	A

(\*1) 抵抗 (R33) を介して ECLK\_AP (AA12) に接続されています

(\*2) 抵抗 (R34) を介して ECLK\_AN (AB12) に接続されています

## 8.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK
	V10(B)	VCC10_0	1	2	VCC10_0	V10(B)	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	I0B0	B2	7	8	A2	I0B1	B
B	I0B2	B3	9	10	A3	I0B3	B
B	I0B4	A4	11	12	C4	I0B5	B
B	I0B6	D4	13	14	D5	I0B7	B
		GND	15	16	GND		
B	I0B8	E5	17	18	E6	I0B9	B
B	I0B10	D17	19	20	C18	I0B11	B
B	I0B12	C17	21	22	A17	I0B13	B
B	I0B14	B18	23	24	A18	I0B15	B
		GND	25	26	GND		
B	I0B16	C19	27	28	A19	I0B17	B
B	I0B18	A20	29	30	B20	I0B19	B
B	I0B20	F8	31	32	F7	I0B21	B
B	I0B22	F9	33	34	G8	I0B23	B
		GND	35	36	GND		
B	I0B24	G11	37	38	H12	I0B25	B
B	I0B26	F16	39	40	E16	I0B27	B
B	I0B28	G16	41	42	F17	I0B29	B
B	I0B30	H14	43	44	G15	I0B31	B
		GND	45	46	GND		
B	I0B32	F14	47	48	F15	I0B33	B
B	I0B34	H10	49	50	H11	I0B35	B
B	I0B36	H13	51	52	C5	I0B37	B
B	I0B38	D18	53	54	AA18	I0B39	A
		GND	55	56	GND		
A	I0B40	AB18	57	58	Y17	I0B41	A
A	I0B42	AB17	59	60	AA16	I0B43	A
A	I0B44	AB16	61	62	Y15	I0B45	A
A	I0B46	AB14	63	64	AA14	I0B47	A
A	I0B48 *1	AB13	65	66	Y13	I0B49 *2	A

- (\*1) 抵抗 (R32) を介して ECLK\_BP (G9) に接続されています  
 (\*2) 抵抗 (R31) を介して ECLK\_BN (F10) に接続されています

## 8.3. DDR2 SDRAM (U12)

RAM Pin Name	NET LABEL	FPGA ピン
A0	DDR_A0	H21
A1	DDR_A1	H22
A2	DDR_A2	G22
A3	DDR_A3	J20
A4	DDR_A4	H20
A5	DDR_A5	M20
A6	DDR_A6	M19
A7	DDR_A7	G20
A8	DDR_A8	E20
A9	DDR_A9	E22
A10	DDR_A10	J19
A11	DDR_A11	H19
A12	DDR_A12	F22
A13/RFU	DDR_A13	G19
A14/RFU	DDR_A14	F20
A15/RFU	-	-
BA0	DDR_BA0	K17
BA1	DDR_BA1	L17
BA2/RFU	DDR_BA2	K18
DQ0	DDR_DQ0	R20
DQ1	DDR_DQ1	R22
DQ2	DDR_DQ2	P21
DQ3	DDR_DQ3	P22
DQ4	DDR_DQ4	L20
DQ5	DDR_DQ5	L22
DQ6	DDR_DQ6	M21
DQ7	DDR_DQ7	M22
DQ8	DDR_DQ8	T21
DQ9	DDR_DQ9	T22
DQ10	DDR_DQ10	U20
DQ11	DDR_DQ11	U22
DQ12	DDR_DQ12	W20
DQ13	DDR_DQ13	W22
DQ14	DDR_DQ14	Y21
DQ15	DDR_DQ15	Y22
LDQS	DDR_LDQS_P	N20
LDQS#	DDR_LDQS_N	N22
UDQS	DDR_UDQS_P	V21
UDQS#	DDR_UDQS_N	V22
LDM	DDR_LDM	N19
UDM	DDR_UDM	P20
RAS#	DDR_RAS	K21
CAS#	DDR_CAS	K22
WE#	DDR_WE	K19

CK	DDR_CK_P	K20
CK#	DDR_CK_N	L19
CKE	DDR_CKE	F21
ODT	DDR_ODT	J22
-	DDR_RZQ	F18
-	DDR_Z10	P19

#### 8. 4. MRAM (U10)

MRAM		NET LABEL	FPGA ピン
Pin Name	Pin		
A0	1	MRAM_A1	U10
A1	2	MRAM_A2	W11
A2	3	MRAM_A3	U9
A3	4	MRAM_A4	V9
A4	5	MRAM_A5	W10
A5	18	MRAM_A6	Y9
A6	19	MRAM_A7	Y10
A7	20	MRAM_A8	AB9
A8	21	MRAM_A9	U8
A9	22	MRAM_A10	AB8
A10	23	MRAM_A11	AA8
A11	24	MRAM_A12	Y7
A12	25	MRAM_A13	W6
A13	26	MRAM_A14	AB5
A14	27	MRAM_A15	Y3
A15	42	MRAM_A16	P3
A16	43	MRAM_A17	P8
A17	44	MRAM_A18	M7
DQL0	7	MRAM_DQL0	AB10
DQL1	8	MRAM_DQL1	W8
DQL2	9	MRAM_DQL2	Y8
DQL3	10	MRAM_DQL3	V7
DQL4	13	MRAM_DQL4	T8
DQL5	14	MRAM_DQL5	AB7
DQL6	15	MRAM_DQL6	Y6
DQL7	16	MRAM_DQL7	AB6
DQU8	29	MRAM_DQU8	W4
DQU9	30	MRAM_DQU9	Y5
DQU10	31	MRAM_DQU10	AA4
DQU11	32	MRAM_DQU11	AB4
DQU12	35	MRAM_DQU12	W3
DQU13	36	MRAM_DQU13	T7
DQU14	37	MRAM_DQU14	R7
DQU15	38	MRAM_DQU15	R8
G#	41	MRAM_OE	R9

W#	17	MRAM_WE	W9
E#	6	MRAM_CE	T10
LB#	39	MRAM_BE0	W1
UB#	40	MRAM_BE1	U6

(※) XCM-020-75T では非搭載となっております

## 8.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	GCLK30_A	T12
	GCLK30_B	M3
50MHz	GCLK50_A	Y11
	GCLK50_B	L3

## 8.6. 外部クロック入力

コネクタ	NET LABEL	FPGA ピン	BANK
CNA_65	ECLK_AP	AA12	A
CNA_66	ECLK_AN	AB12	A
CNB_65	ECLK_BP	G9	B
CNB_66	ECLK_BN	F10	B

## 8.7. 汎用LED

LED	NET LABEL	FPGA ピン
L0	ULED0	W12
L1	ULED1	U12
L2	ULED2	U13
L3	ULED3	U14
L4	ULED4	AB15
L5	ULED5	AB19
L6	ULED6	W18
L7	ULED7	V17



### 8.8. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW1	C20
SW3	PSW2	N19
SW1-1	ASW0	AA6
SW1-2	ASW1	M8

### 8.9. シリアルインタフェース (CN2)

コネクタ番号	NET LABEL	FPGA Pin
1	SIO_TX	M5
2	GND	-
3	SIO_RX	M4

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。  
汎用ピンとしてもご使用頂けます。

### 8.10. SIF40 (CN4)

ピン番号	信号名	方向
A1	MGT_TXP1_123	OUT
B1	MGT_TXN1_123	OUT
C1	GND	-
D1	GND	-
E1	MGT_RXP1_123	IN
F1	MGT_RXN1_123	IN
G1	GND	-
H1	GND	-
J1	MGT_TXNO_123	OUT
K1	MGT_TXPO_123	OUT
A2	GND	-
B2	GND	-
C2	MGT_RXNO_123	IN
D2	MGT_RXPO_123	IN
E2	GND	-
F2	GND	-
G2	MGT_RXNO_101	IN
H2	MGT_RXPO_101	IN
J2	GND	-
K2	GND	-

ピン番号	信号名	方向
A3	MGT_TXP1_101	OUT
B3	MGT_TXN1_101	OUT
C3	GND	-
D3	GND	-
E3	MGT_RXP1_101	IN
F3	MGT_RXN1_101	IN
G3	GND	-
H3	GND	-
J3	MGT_TXNO_101	OUT
K3	MGT_TXPO_101	OUT
A4	GND	POW GND
B4	GND	POW GND
C4	VCC	POW OUT
D4	VCC	POW OUT
E4	GND	POW GND
F4	GND	POW GND
G4	VCC	POW OUT
H4	VCC	POW OUT
J4	GND	POW GND
K4	GND	POW GND

## 8.11. 共通ピン

下記の汎用ポートは、VREF 機能を兼ねているため共通となっています。  
出力ポートとして使用しないようご注意ください。詳しくは1章をご参照ください。

VRFB	V09_REF
A4	K8
A9	Y1
A13	M4
C16	B3

## 9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-020/index.html>

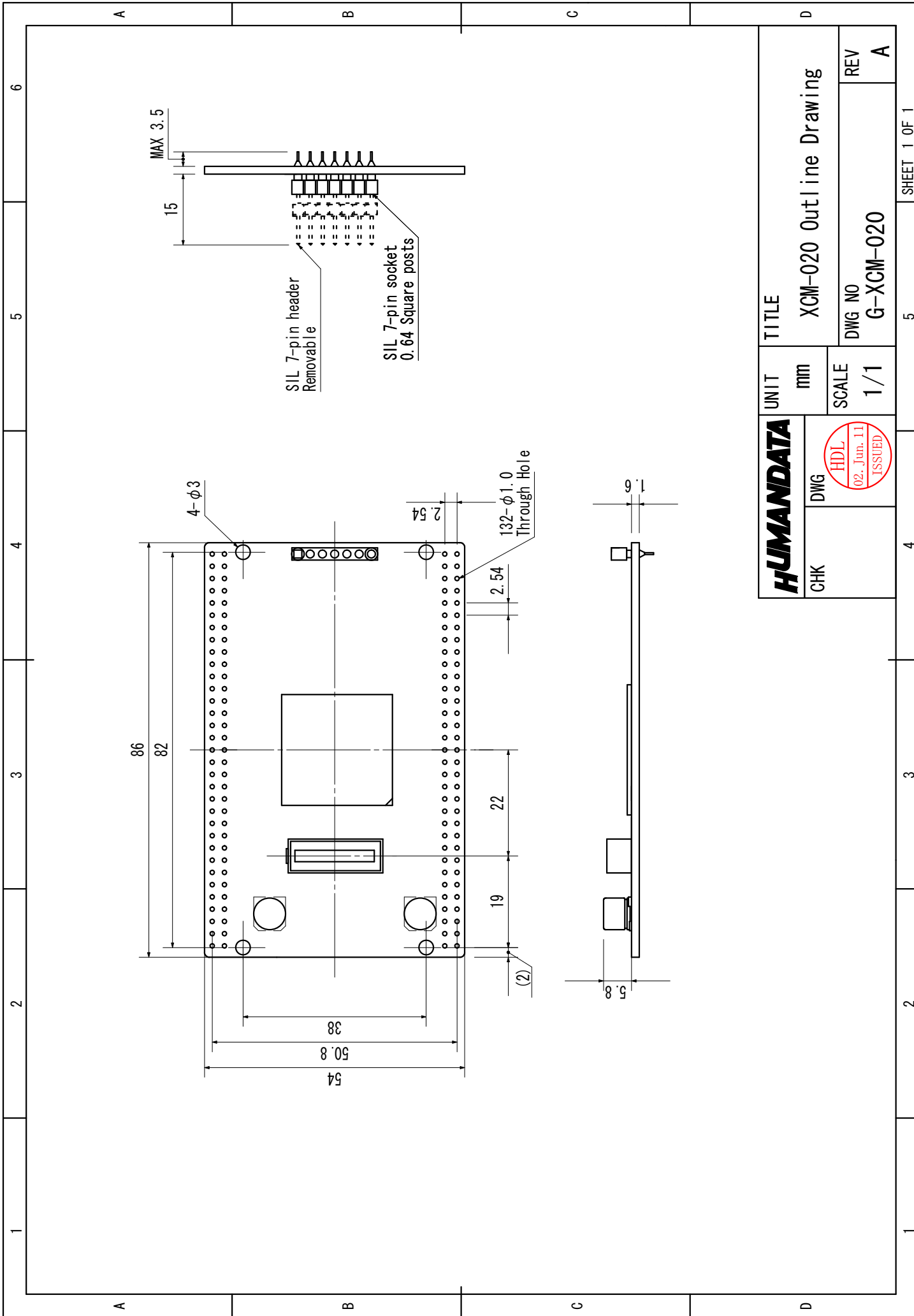
- 回路図
- ピンリスト
- 外形図
- ネットリスト                   ...等

また下記サポートページも合わせてご利用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 10. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



<b>HUMANDATA</b>		UNIT		TITLE	
CHK	DWG	mm	XCM-020 Outline Drawing		
		SCALE	DWG NO		REV
		1/1	G-XCM-020		A

---

Spartan-6 LXT FPGA ボード  
XCM-020 シリーズ  
ユーザーズマニュアル

---

2010/06/09 Ver.1.0 (初版)

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---