

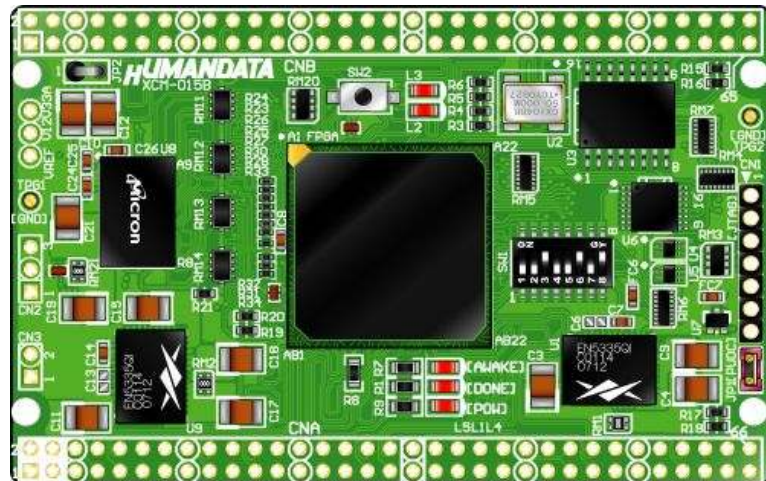


Spartan-3A ブレッドボード
(カードサイズ)

XCM-015

ユーザーズマニュアル

Ver.1.1



ヒューマンデータ

目次



● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	3
3. 製品説明.....	4
3.1. 各部の名称.....	4
3.2. ブロック図.....	5
3.3. 開発環境.....	5
3.4. 電源入力.....	5
3.5. JTAG コネクタ.....	6
4. FPGA ピン割付表.....	7
4.1. ユーザ I/O (CNA).....	7
4.2. ユーザ I/O (CNB).....	8
4.3. DDR2 SDRAM (U8).....	9
4.4. FRAM (U10).....	9
4.5. オンボードクロック.....	10
4.6. 外部クロック入力.....	10
4.7. 汎用 LED.....	10
4.8. 汎用 SW.....	10
4.9. シリアル I/F (CN2).....	10
5. ディップスイッチの説明.....	11
6. FPGA のコンフィギュレーション.....	12
6.1. JTAG からコンフィギュレーション.....	12
6.2. MCS ファイルの作成.....	12
6.3. コンフィグ ROM へのデータ書込み方法.....	13
6.4. コンフィグ ROM からコンフィギュレーション.....	13
6.5. コンフィグ ROM データ消去方法.....	13
7. Configuration Rate の設定.....	14
8. XCM-015 参考資料について.....	14
9. 付属資料.....	14

● はじめに

この度は、Spartan-3A ブレッドボード/XCM-015 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-015 は、XILINX の高性能 FPGA Spartan-3A を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/08/16	1.1	FRAM 変更 (FM18L08-70-SG →FM28V020-SG)

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-015	1
付属品	1
マニュアル (本書)	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部場合があります。(ご要望により追加請求できます)

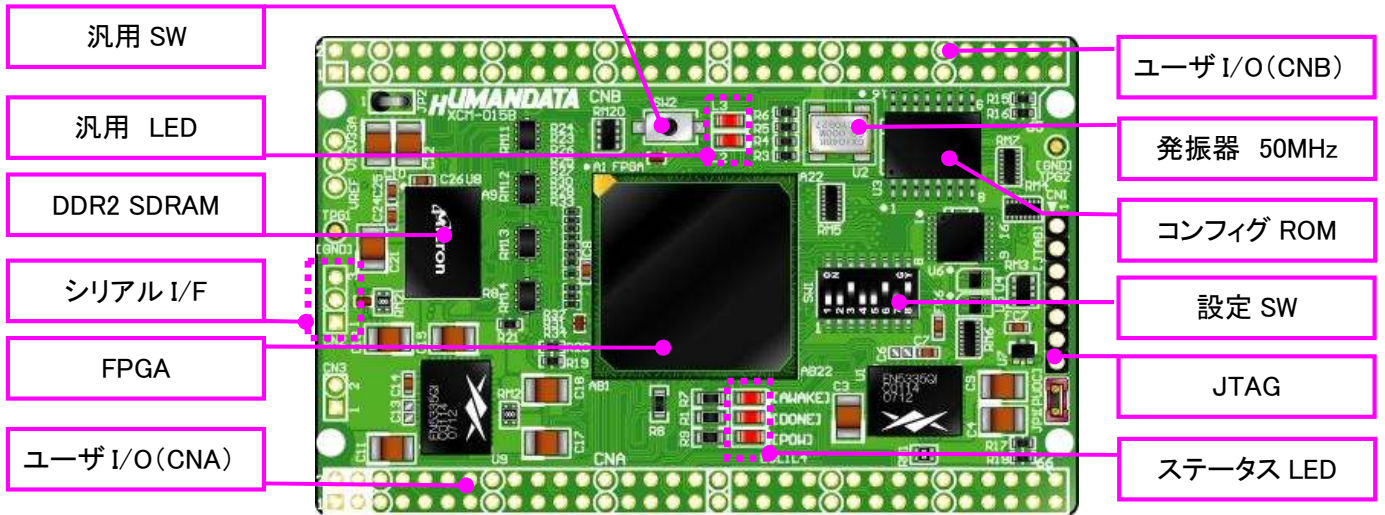
2. 仕様

製品型番	XCM-015-700A	XCM-015-1400A
搭載 FPGA	XC3S700A-4FGG484C	XC3S1400A-4FGG484C
電源	DC 3.3V	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86×54 [mm]	
質量	TYP 30 [g]	
ユーザー I/O	100 本	
I/O コネクタ	80 ピンスルーホール 0.9[mmφ] x2 組 2.54 mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
オンボードクロック	50 MHz (外部入力可能)	
コンフィグ用リセット回路	内蔵 (240 ms TYP)	
コンフィグ ROM	M25P16 (Numonyx, 16Mb)	
FRAM	FM28V020-SG (Ramtron, 256kb:32k x8)	
DDR2 SDRAM	MT47H32M16 (Micron, 512Mb)	
JTAG コネクタ	SIL7 ピン ピンヘッド 2.54mm ピッチ	
ステータス LED	3 個 (POWER, DONE, AWAKE)	
汎用 LED	2 個	
汎用 SW	1 個	
付属品	SIL7 ピンヘッド (本体に取付け済み) 1 個 DIL80 ピンヘッド 2 個	

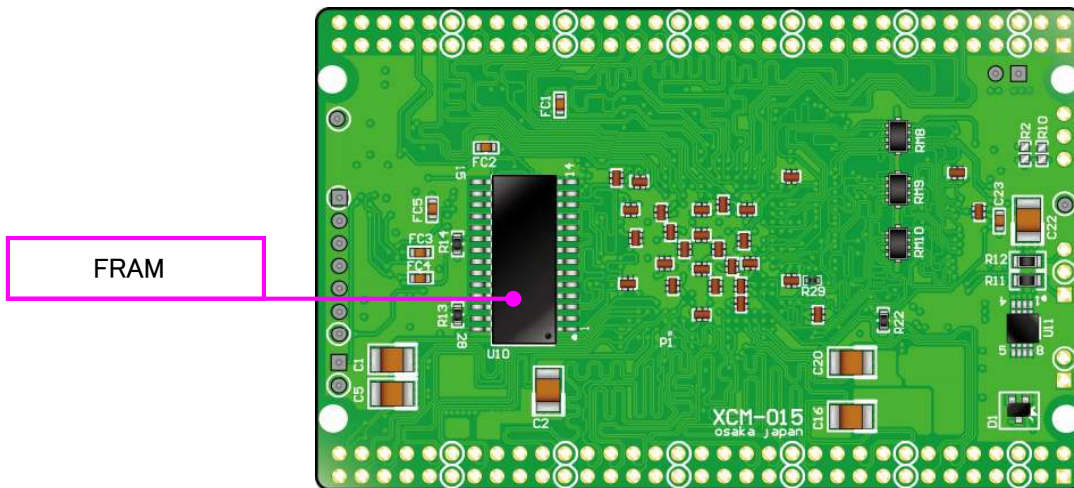
* これらの部品や仕様は変更となる場合があります。

3. 製品説明

3.1. 各部の名称

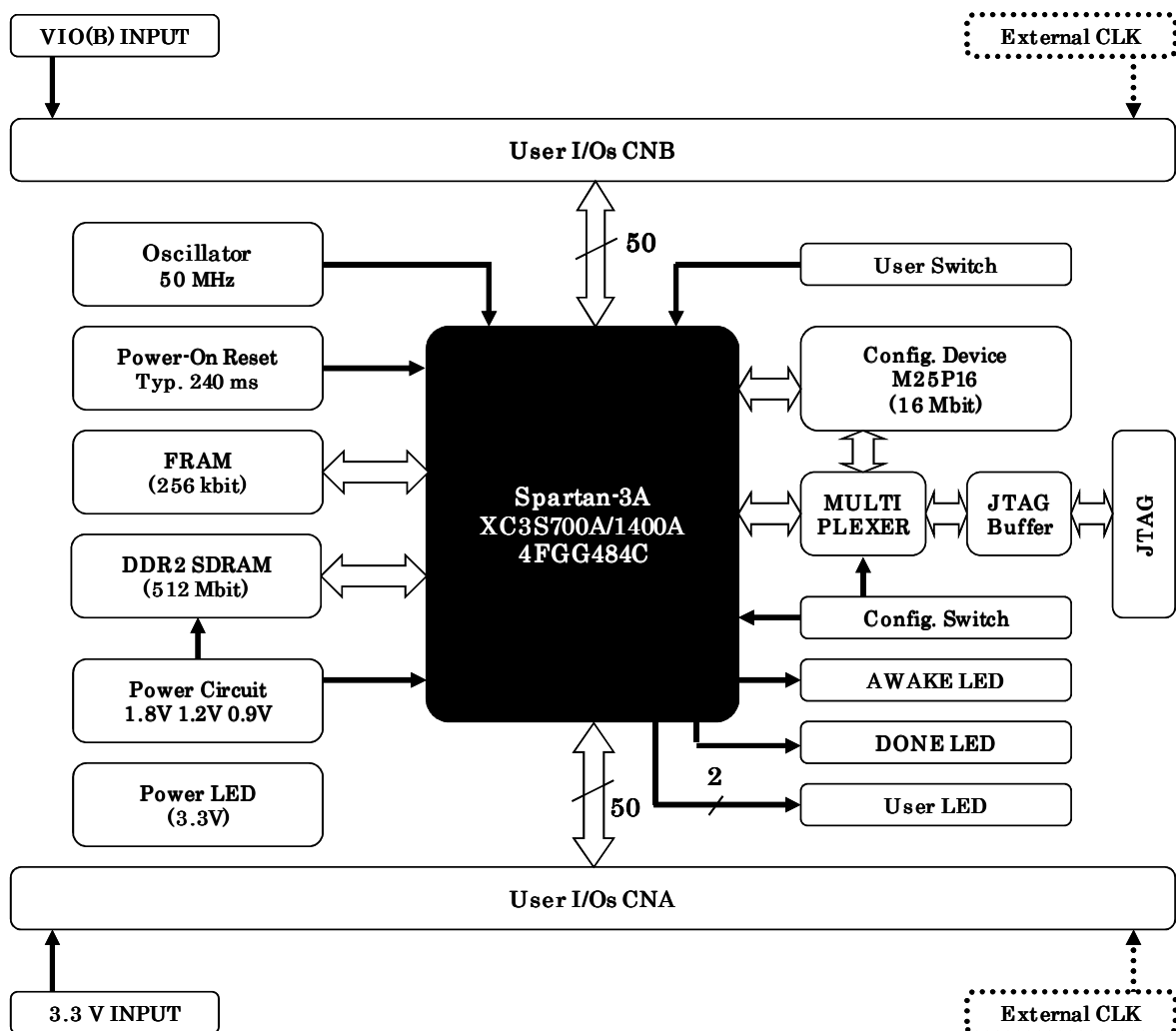


部品面



はんだ面

3.2. ブロック図



3.3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

このマニュアルは ISE10.1 をもとに作成されています。

3.4. 電源入力

本ボードは、DC **3.3 V** 単一電源で動作します。

内部に必要な、1.2 V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3 V 電源は充分安定して、充分な余裕のあるものをご用意ください。電源は、CNA、CNB から供給してください。適切な電源を供給してください。

いずれも 3.3 V を超えることはできません。

詳しくは FPGA のデータシート、回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

3.5. JTAG コネクタ

FPGA へのコンフィギュレーションや SPI-PROM への ISP に使用します。ピン配置は次表のとおりです。

JTAG コネクタ

1 ————— 7

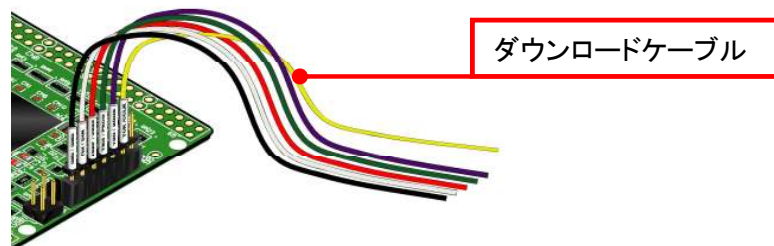


CN1

信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC (3.3V)	OUT (POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC3 や XILINX 社の純正ケーブルなどを用いることができます。また、ダウンロードケーブルと XCM-015 との接続には付属品 SIL7 ピンヘッドをご利用できます。

使用例



注意

ダウンロードケーブルを接続する場合、誤差しなどにご注意ください

4. FPGA ピン割付表

4.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA Pin	CNA PIN		FPGA Pin	NET LABEL	BANK
		3.3V	1	2	3.3V		
		Reserved	3	4	Reserved		
		GND	5	6	GND		
A	IOA0	AB2	7	8	AA3	IOA1	A
A	IOA2	AB3	9	10	AA4	IOA3	A
A	IOA4	Y5	11	12	W6	IOA5	A
A	IOA6	Y6	13	14	W7	IOA7	A
		GND	15	16	GND		
A	IOA8	AB4	17	18	AB5	IOA9	A
A	IOA10	Y7	19	20	AB7	IOA11	A
A	IOA12	AA6	21	22	AB6	IOA13	A
A	IOA14	AB8	23	24	AA8	IOA15	A
		GND	25	26	GND		
A	IOA16	Y9	27	28	AB9	IOA17	A
A	IOA18	V10	29	30	Y10	IOA19	A
A	IOA20	AA10	31	32	AB10	IOA21	A
A	IOA22	AB11	33	34	Y11	IOA23	A
		GND	35	36	GND		
A	IOA24	AB13	37	38	Y13	IOA25	A
A	IOA26	W13	39	40	Y15	IOA27	A
A	IOA28	Y14	41	42	AA14	IOA29	A
A	IOA30	U13	43	44	W15	IOA31	A
		GND	45	46	GND		
A	IOA32	AB16	47	48	Y16	IOA33	A
A	IOA34	AB17	49	50	AB18	IOA35	A
A	IOA36	AB19	51	52	AA19	IOA37	A
A	IOA38	AA17	53	54	Y17	IOA39	A
		GND	55	56	GND		A
A	IOA40	V14	57	58	V15	IOA41	A
A	IOA42	AB21	59	60	AA21	IOA43	A
A	IOA44	Y18	61	62	W17	IOA45	A
A	IOA46	V17	63	64	W18	IOA47	A
A *1	IOA48	W16	65	66	V16	IOA49	A *2

*1 抵抗(R18)を介して V12 (CLKAP) に接続

*2 抵抗(R17)を介して U12 (CLKAN) に接続

4.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA Pin	CNB PIN		FPGA Pin	NET LABEL	BANK
		V10(B) *5	1	2	V10(B) *5		
		Reserved	3	4	Reserved		
		GND	5	6	GND		
B	IOB0	A3	7	8	B3	IOB1	B
B	IOB2	A4	9	10	B4	IOB3	B
B	IOB4	E6	11	12	F7	IOB5	B
B	IOB6	B6	13	14	A5	IOB7	B
		GND	15	16	GND		
B	IOB8	C5	17	18	D5	IOB9	B
B	IOB10	A7	19	20	A6	IOB11	B
B	IOB12	C6	21	22	D6	IOB13	B
B	IOB14	A9	23	24	A8	IOB15	B
		GND	25	26	GND		
B	IOB16	B13	27	28	A13	IOB17	B
B	IOB18	C7	29	30	D7	IOB19	B
B	IOB20	B8	31	32	C8	IOB21	B
B	IOB22	E9	33	34	D8	IOB23	B
		GND	35	36	GND		
B	IOB24	A10	37	38	C10	IOB25	B
B	IOB26	C11	39	40	B11	IOB27	B
B	IOB28	F8	41	42	E7	IOB29	B
B	IOB30	E10	43	44	D10	IOB31	B
B		GND	45	46	GND		
B	IOB32	D13	47	48	C13	IOB33	B
B	IOB34	F13	49	50	E13	IOB35	B
B	IOB36	B15	51	52	A14	IOB37	B
B	IOB38	D15	53	54	C15	IOB39	B
		GND	55	56	GND		
B	IOB40	F15	57	58	E15	IOB41	B
B	IOB42	D18	59	60	E17	IOB43	B
B	IOB44	B17	61	62	A17	IOB45	B
B	IOB46	C18	63	64	A18	IOB47	B
B *3	IOB48	A20	65	66	B20	IOB49	B *4

*3 抵抗 (R16) を介して D11 (CLKBP) に接続

*4 抵抗 (R15) を介して E11 (CLKBN) に接続

*5 V10(B) は通常 3.3V。変更時は JP2 を取外す

4. 3. DDR2 SDRAM (U8)

DDR2 SDRAM Pin	NET LABEL	FPGA Pin
U8-M8	DDR_A0	R2
U8-M3	DDR_A1	T4
U8-M7	DDR_A2	R1
U8-N2	DDR_A3	U3
U8-N8	DDR_A4	U2
U8-N3	DDR_A5	U4
U8-N7	DDR_A6	U1
U8-P2	DDR_A7	Y1
U8-P8	DDR_A8	W1
U8-P3	DDR_A9	W2
U8-M2	DDR_A10	T3
U8-P7	DDR_A11	V1
U8-R2	DDR_A12	Y2
U8-R8	DDR_A13	V3
U8-R3	DDR_A14	V4
U8-R7	DDR_A15	W3
U8-K8	DDR_CK_N	M2
U8-J8	DDR_CK_P	M1
U8-G8	DDR_DQ0	H1
U8-G2	DDR_DQ1	K5
U8-H7	DDR_DQ2	K1
U8-H3	DDR_DQ3	L3
U8-H1	DDR_DQ4	L5
U8-H9	DDR_DQ5	L1
U8-F1	DDR_DQ6	K4
U8-F9	DDR_DQ7	H2

DDR2 SDRAM Pin	NET LABEL	FPGA Pin
U8-C8	DDR_DQ8	F2
U8-C2	DDR_DQ9	G4
U8-D7	DDR_DQ10	G1
U8-D3	DDR_DQ11	H6
U8-D1	DDR_DQ12	H5
U8-D9	DDR_DQ13	F1
U8-B1	DDR_DQ14	G3
U8-B9	DDR_DQ15	F3
U8-L2	DDR_BA0	P3
U8-L3	DDR_BA1	R3
U8-L1	DDR_BA2	P5
U8-L7	DDR_CAS	M4
U8-K2	DDR_CKE	N3
U8-L8	DDR_CS	M5
U8-E8	DDR_LDQS_N	K2
U8-F7	DDR_LDQS_P	K3
U8-K7	DDR_RAS	M3
U8-A8	DDR_UDQS_N	J5
U8-B7	DDR_UDQS_P	K6
U8-K3	DDR_WE	N4
U8-F3	DDR_LDM	J3
U8-K9	DDR_ODT	P1
U8-B3	DDR_UDM	E3
	DDR_LOOP_OUT	H3
	DDR_LOOP_IN	H4

4. 4. FRAM (U10)

FRAM Pin	NET LABEL	FPGA Pin
U10-20	FRAMCEN	E22
U10-10	FRAM_A0	J21
U10-9	FRAM_A1	K22
U10-8	FRAM_A2	L22
U10-7	FRAM_A3	L21
U10-6	FRAM_A4	M22
U10-5	FRAM_A5	N22
U10-4	FRAM_A6	N21
U10-3	FRAM_A7	R21
U10-25	FRAM_A8	U21
U10-24	FRAM_A9	U22
U10-21	FRAM_A10	F22
U10-23	FRAM_A11	G22
U10-2	FRAM_A12	R22

FRAM Pin	NET LABEL	FPGA Pin
U10-23	FRAM_A11	G22
U10-2	FRAM_A12	R22
U10-26	FRAM_A13	V22
U10-1	FRAM_A14	N20
U10-11	FRAM_D0	J22
U10-12	FRAM_D1	H21
U10-13	FRAM_D2	H22
U10-15	FRAM_D3	B22
U10-16	FRAM_D4	C22
U10-17	FRAM_D5	C21
U10-18	FRAM_D6	D22
U10-19	FRAM_D7	D21
U10-22	FRAM_OEN	F21
U10-27	FRAM_WEN	W22

4.5. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	GCLK0	U11
		V11
	GCLK1	W12
		Y12
	GCLK2	C12
		E12
	GCLK3	A11
		A12

4.6. 外部クロック入力

周波数	NET LABEL	FPGA Pin
External clock	CLKAN	U12
	CLKAP	V12
	CLKBN	E11
	CLKBP	D11

4.7. 汎用 LED

LED	NET LABEL	FPGA Pin
L2	ULED2	K17
L3	ULED3	H20

4.8. 汎用 SW

SW	NET LABEL	FPGA Pin
SW2	PSW2	M18

4.9. シリアル I/F (CN2)

TTL-SIO	NET LABEL	FPGA Pin
RXDB	RXDB	AA12
TXDB	TXDB	AB12

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

5. ディップスイッチの説明

XCM-015 のディップスイッチ (SW1) は以下のように割り付けられています。
SW を ON で Low に固定されます。

SW1

番号	1	2	3	4	5	6	7	8
記号	SUSPEND	VSO	VS1	VS2	X_M0	X_M1	X_M2	X_PROG
出荷時	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	SUSPEND モード設定	SPI モード変数設定			モード設定			ターゲット設定

	マスタシリアル	マスタ SPI	JTAG
M[0..2] モードピンの設定	<0 : 0 : 0>	<1 : 0 : 0>	<1 : 0 : 1>

- **X_PROG**
JTAG による書込み対象を選択します
ON : コンフィギュレーション ROM
OFF : FPGA
- **M0, M1, M2**
動作モードを設定します。上表に示したモードは一部のものです。
- **VS2, VS1, VS0**
SPI モード変数確定ピンです。
通常、出荷時の設定でご使用下さい。
- **SUSPEND**
High で FPGA をサスペンドモードとします。
詳しくは Spartan-3A のデータシートをご覧ください。

6. FPGA のコンフィギュレーション

FPGA のコンフィギュレーションは、JTAG または、コンフィギュレーションデバイスから行われます。

JTAG から FPGA へのコンフィギュレーションには、ダウンロードケーブルを使用します。SW1 のモード設定を **[JTAG]** に設定してください。

コンフィグ ROM からコンフィギュレーションするには、SW1 のモード設定を **[マスタ SPI]** に設定してください。

6.1. JTAG からコンフィギュレーション

設定スイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X		■		
OFF	X	X	X	X	■		■	■

X : Don't Care

1. ISE の Processes タブにある **[Configure Target Device]** を展開して **[Manage Configuration Project]** をダブルクリックします。
(ダイアログが出ますがそのまま **[Finish]** をクリック)
2. bit ファイルを指定します。
3. **[Device Programming Properties]** ダイアログにて **[Verify]** にチェックが無いことを確認します。
4. デバイスのアイコンをクリックし選択し **[Operations]** → **[Program]** をクリックします。
5. **[Program Succeeded]** と表示でコンフィギュレーションが終了です。

コンフィギュレーション完了すると基板上の **[DONE LED]** が点灯します。

6.2. MCS ファイルの作成

1. **[Configuration Modes]** タブで **[PROM File Formatter]** をダブルクリックします。
2. **[iMPACT - Prepare PROM Files]** ダイアログで **[3rd-Party SPI PROM]** **[PROM File Format MCS]** にチェックし **[PROM File Name]** で任意の名前を付けます。
[Location] で保存先を指定し **[Next]** をクリックします。
3. **[Select SPI PROM Density(bit)]** を **[16M]** に変更し **[Next]** をクリックします。
4. **[iMPACT - File Generation Summary]** ダイアログで内容を確認し **[Finish]** をクリックします。
5. **[Add Device]** ダイアログで **[OK]** をクリックし、bit ファイルを指定し **[開く]** をクリックします。
[No] をクリックし **[OK]** をクリックします。
6. **[Operations]** → **[Generate File]** をクリックします。

[PROM File Generation Succeeded] で完了です。

6.3. コンフィグ ROM へのデータ書き込み方法

コンフィグ ROM に書き込む際、設定スイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON	X							■
OFF	X	■	■	■	■	■	■	

X : Don't Care

1. [Configuration Modes] タブにある [Direct SPI Configuration] をダブルクリックします。
2. [Edit] メニューにある [Add Device] → [Add xilinx Device] をクリックします。
3. 先に作成した MCS ファイルを指定し [開く] をクリックします。
4. [Select Device Part Name] のダイアログで [Part Name] を [M25P16] に変更し [OK] をクリックします。
5. [Device Programming Properties] のダイアログで [Verify] [Erase Before Programming] にチェックをいれて [OK] をクリックします。
6. [Direct SPI Configuration] ウィンドウにある SPI PROM のアイコンを選択し [Operations] → [Program] をクリックします。
7. [Program Succeeded] と表示でコンフィグ ROM に書き込み完了です。

6.4. コンフィグ ROM からコンフィギュレーション

コンフィグ ROM から FPGA へコンフィギュレーションする際、設定スイッチを下記のように設定して下さい。電源の再投入により自動的にコンフィグ ROM から FPGA にコンフィギュレーションされます。

SW1

	1	2	3	4	5	6	7	8
ON	X				■	■		
OFF	X	■	■	■			■	■

X : Don't Care

6.5. コンフィグ ROM データ消去方法

コンフィグ ROM を消去する際、ディップスイッチの設定が必要です。

ディップスイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X				■
OFF	X	X	X	X	■	■	■	

X : Don't Care

1. [Operations] → [Erase] をクリックします。
2. [Erase Succeeded] と表示で完了です。

7. Configuration Rate の設定

XCM-015 では **Configuration Rate** の設定が可能です。
状況により 値を下げて調整してください。
以下に Configuration Rate の設定方法を示します。

1. ISE の **[Processes]** ウィンドウにある **[Generate Programming File]** で右クリックし、**[Properties…]** をクリックします。
2. **[Configuration Options]** の **[Configuration Rate]** を **[25]** に変更します。

* XCM-015 では 25MHz 以下にてご使用ください

8. XCM-015 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-015/index.html>

- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト

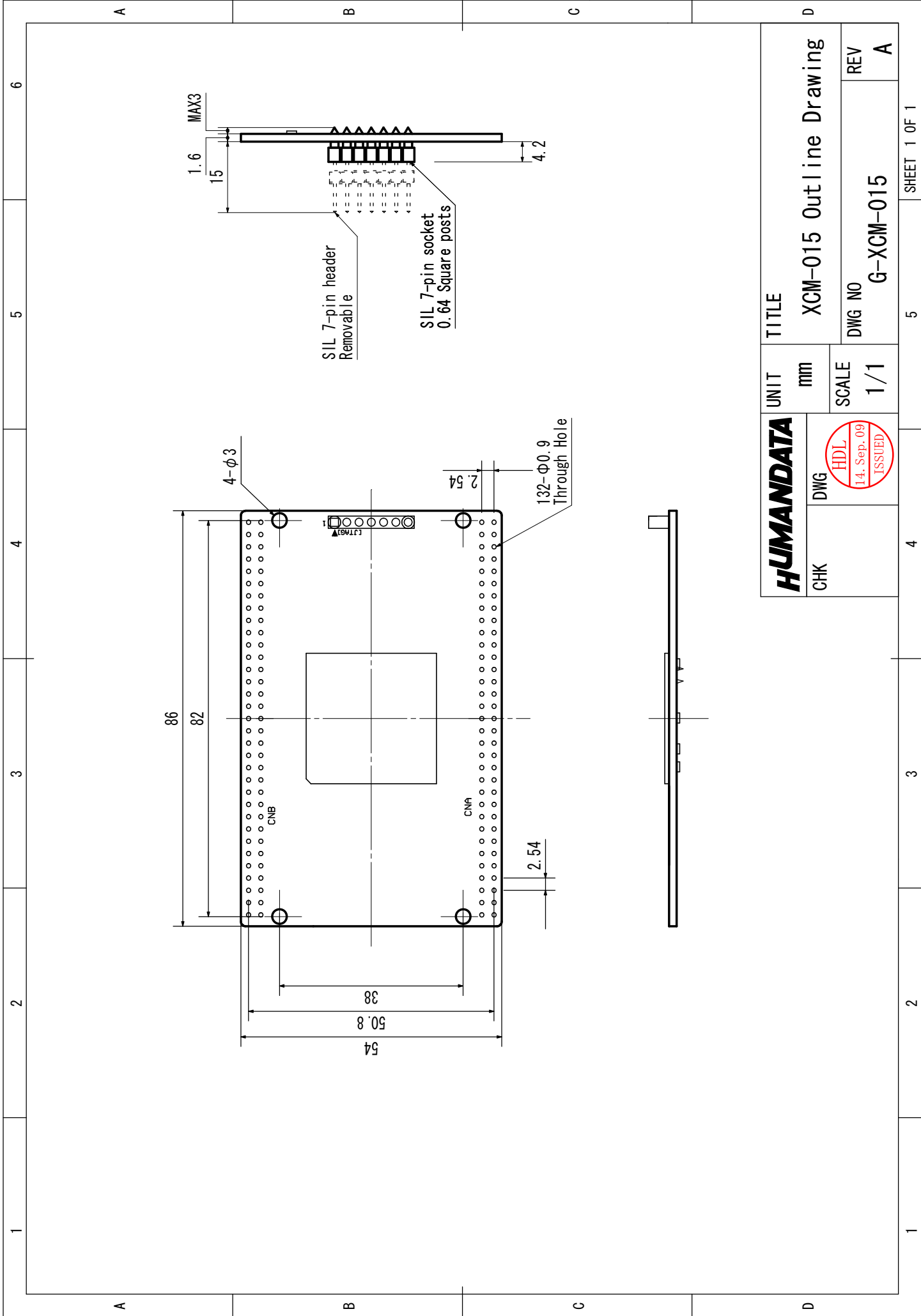
...等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

9. 付属資料

1. 基板回路図（別紙）
2. 外形図



HUMANDATA		UNIT	TITLE
CHK	DWG	mm	XCM-015 Outline Drawing
		SCALE	DWG NO
		1/1	G-XCM-015
			REV
			A

Spartan-3A ブレッドボード
(カードサイズ)
XCM-015 シリーズ
2009/10/02 Ver. 1.0(初版)

2010/08/16 Ver. 1.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
