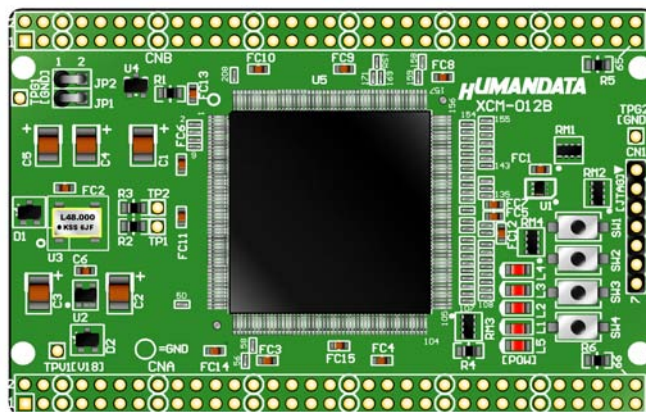




CoolRunner II ブレッドボード
(カードサイズ)
XCM-012-256
ユーザーズマニュアル
第 2 版



目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 開発環境.....	4
3.4. 電源入力.....	5
3.5. JTAG コネクタ.....	5
4. CPLD へのコンフィギュレーション方法.....	6
5. CPLD データの消去方法.....	9
6. ピン割付表.....	10
6.1. CNA.....	10
6.2. CNB.....	11
6.3. オンボード CLK.....	12
6.4. 汎用 LED.....	12
6.5. 汎用 SW.....	12
7. 外形寸法図.....	13
8. XCM-012-256 参考資料について.....	14
9. 付属資料.....	14



はじめに

この度は、CoolRunner II ブレッドボード/XCM-012-256 をお買い上げいただきまして誠にありがとうございます。

XCM-012-256 は、XILINX の高性能 CPLD CoolRunner II を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路、などを装備した、使いやすいボードになっています。

どうぞご活用ください。

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

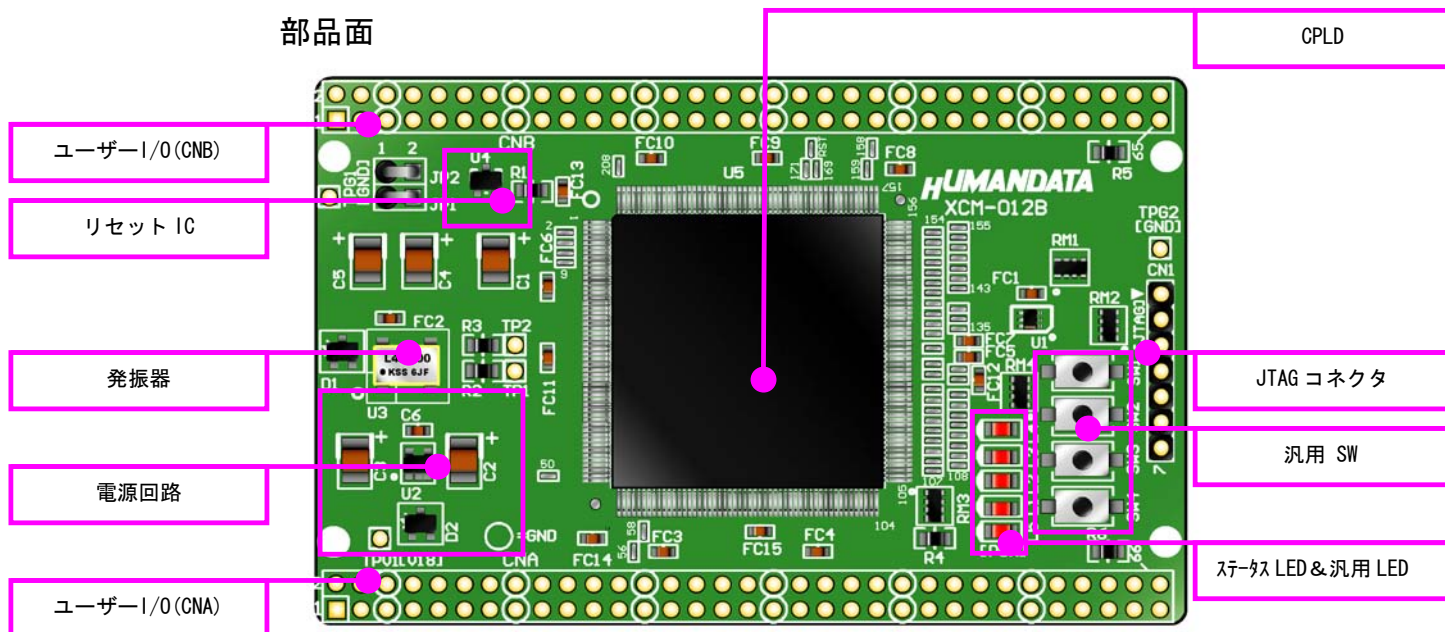
CPLD ブレッドボード XCM-012-256	1
付属品	1
マニュアル（本書）	1
ユーザー登録はがき	1

2. 仕様

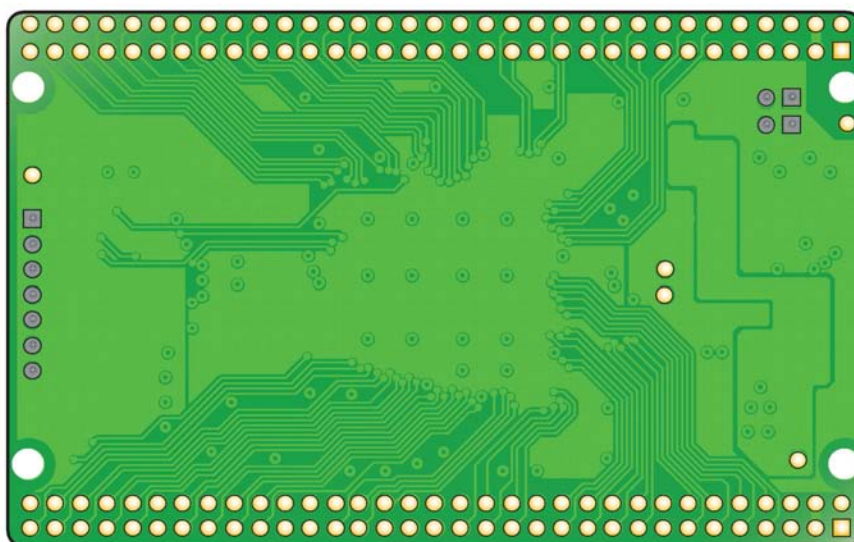
製品型番	XCM-012-256
搭載 FPGA	XC2C256-7PQG208C または XC2C256-7PQG208I
電源	DC 3.3V（内部電源はオンボードレギュレータにより生成）
消費電流	N/A（詳細は CPLD データシートご参照）
外形寸法	86X54 [mm]
重量	約 24 [g]
ユーザ I/O	100 本
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
クロック	オンボード 30MHz、外部供給可能
リセット回路	内蔵 (240ms TYP)
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ
ステータス LED	1 個 (POWER-LED)
汎用 LED	4 個
汎用スイッチ	4 個
付属品	DIP80 ピンヘッダ 2 個（任意にカット可能）
	SIP7 ピンヘッダ 1 個（本体に取り付け済み）

3. 製品説明

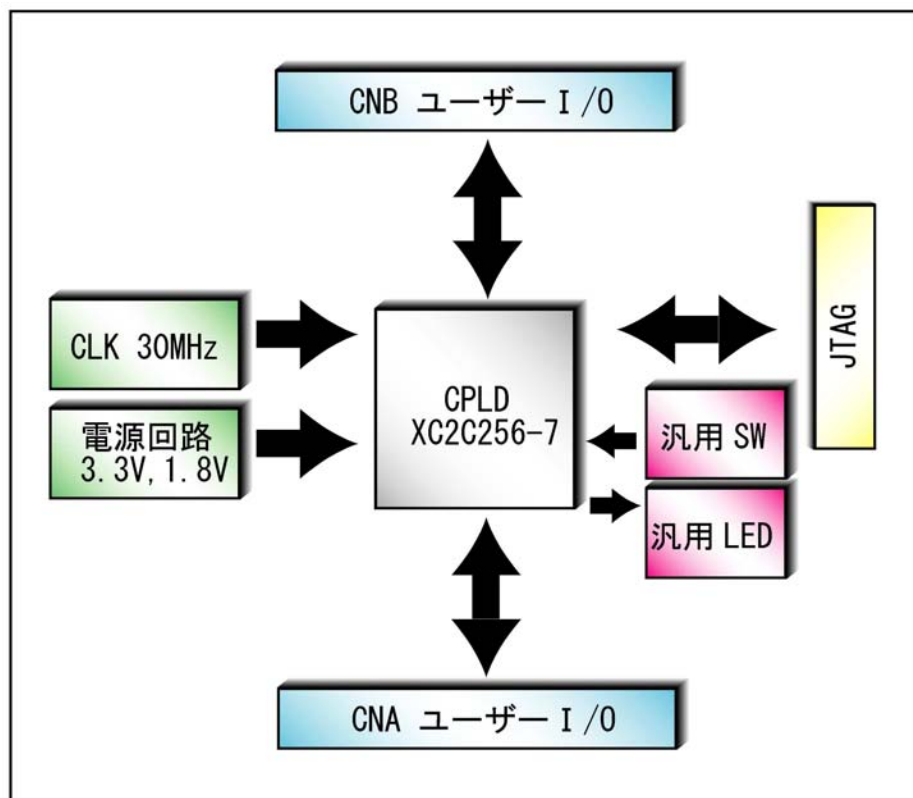
3.1. 各部の名称



はんだ面



3.2. ブロック図



3.3. 開発環境

CPLD の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE WebPack にて使用可能です。使用する際には、インターネットによるライセンス登録が必要となります。

弊社では開発ツールや CPLD そのものの使用方法はサポート外となっています。

3.4. 電源入力

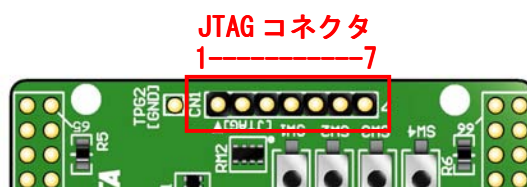
本ボードは、DC 3.3V 単一電源で動作します。
 内部に必要な、1.8V はオンボードのレギュレータにより生成されます。
 外部から供給する 3.3V 電源は充分安定して、充分余裕のあるものをご用意ください。
 電源は、CNA、CNB から供給してください。CNA は BANK-A、CNB は BANK-B の VCCIO となっております。
 適切な電源を供給してください。

いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシート回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

3.5. JTAG コネクタ

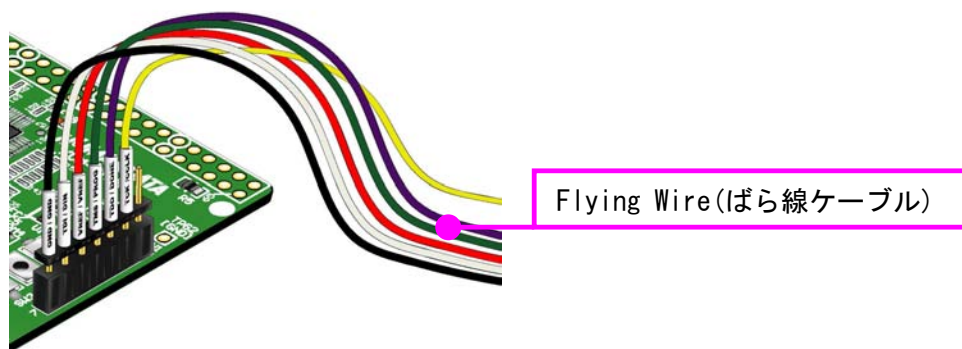
CPLD への ISP に用います。
 ピン配置は次表のとおりです



信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC (3.3V)	OUT (POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC3、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

また、ダウンロードケーブルと XCM-012 との接続には付属品 SIP7 ピンヘッドをご利用できます。

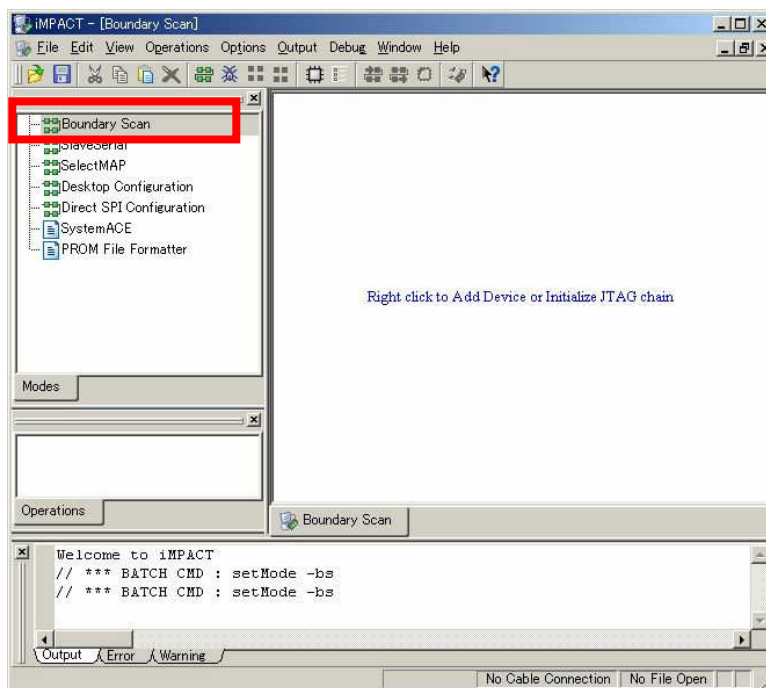


注意

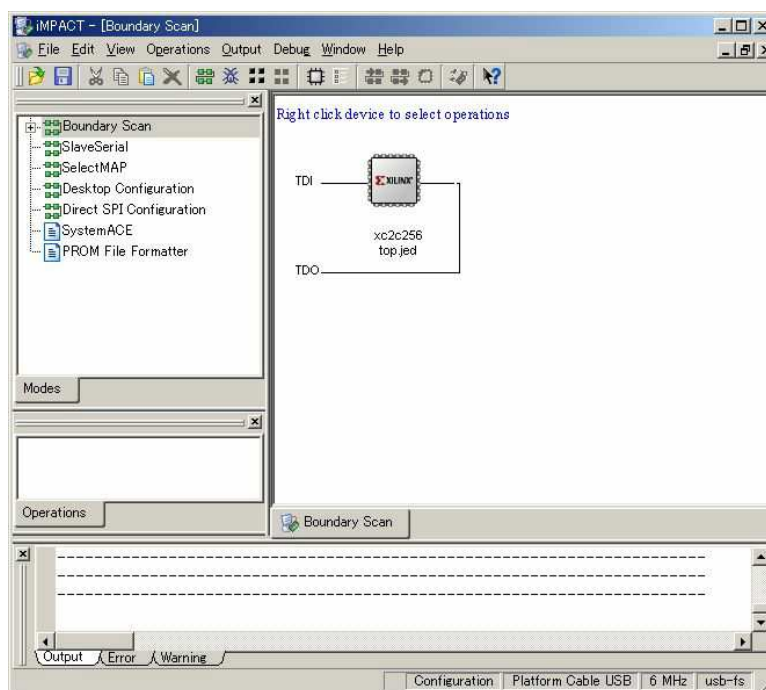
ダウンロードケーブルを接続する場合、逆差しなどにご注意ください

4. CPLD へのコンフィギュレーション方法

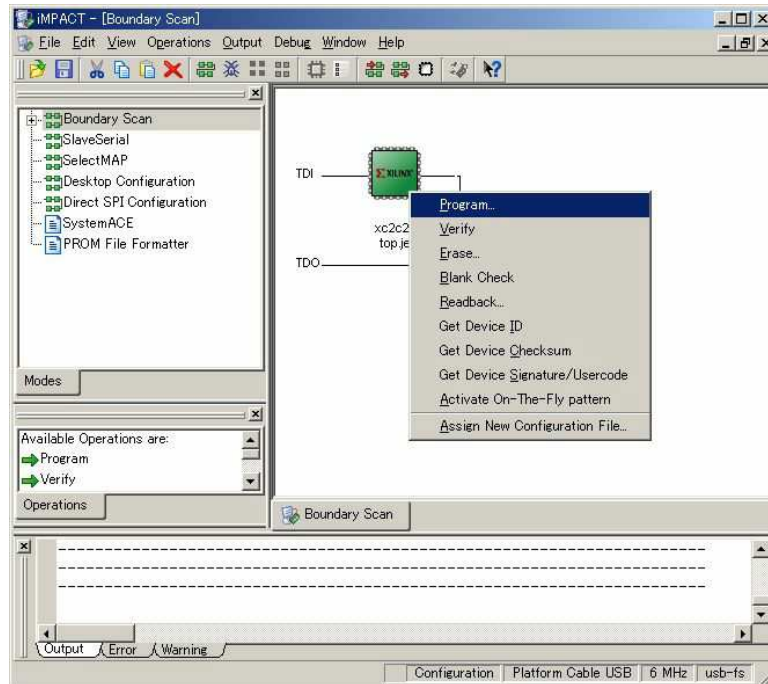
- ▼ CPLD へのコンフィギュレーションは iMPACT により行います。
iMPACT を起動し、下図赤枠[Boundary Scan]をダブルクリックします。



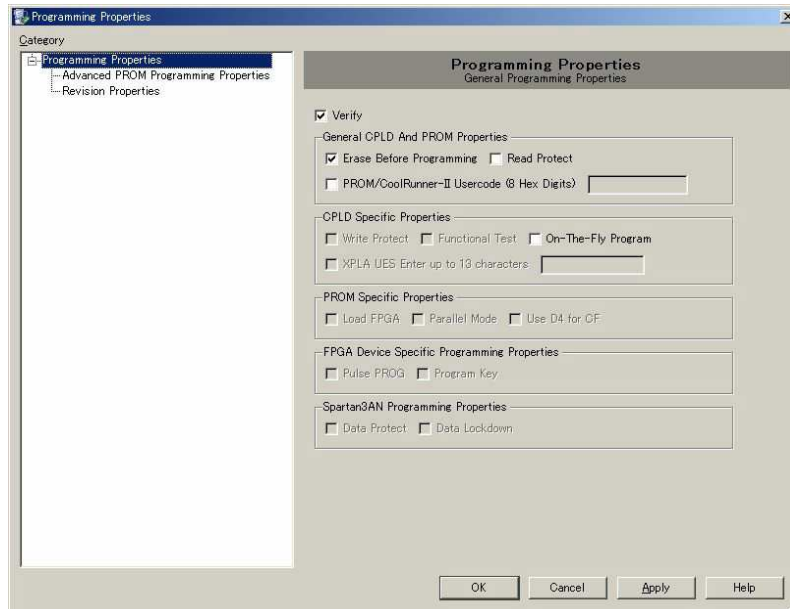
- ▼ [File]-[Initialize Chain]をクリックすると、CPLDが認識されます。CPLDに対して jed ファイルを割り付けてください。



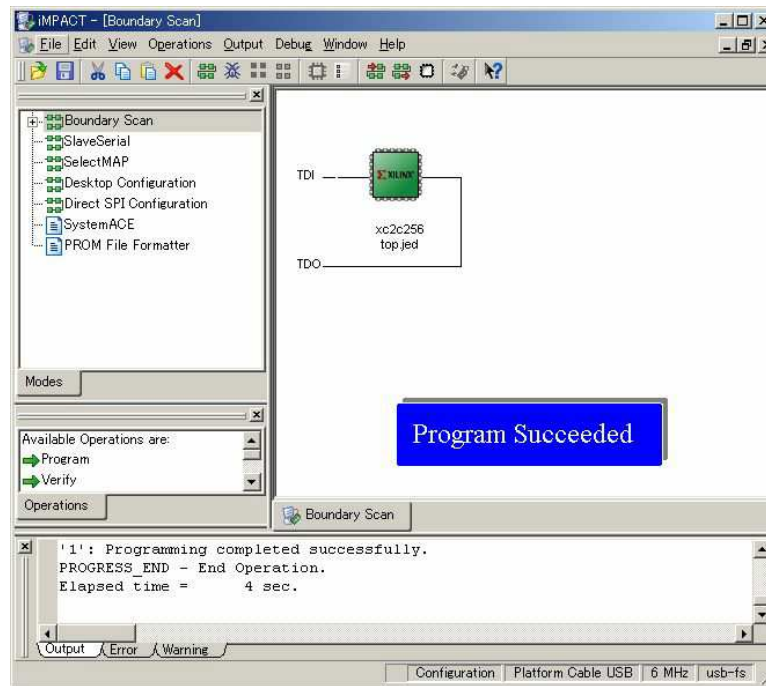
- ▼ デバイスのアイコン上で右クリックをし、**[Program...]**をクリックします。



- ▼ CPLD ヘータ書き込み時は**[Verify]** **[Erase Before Programming]**にチェックを入れ**[OK]** をクリックします。

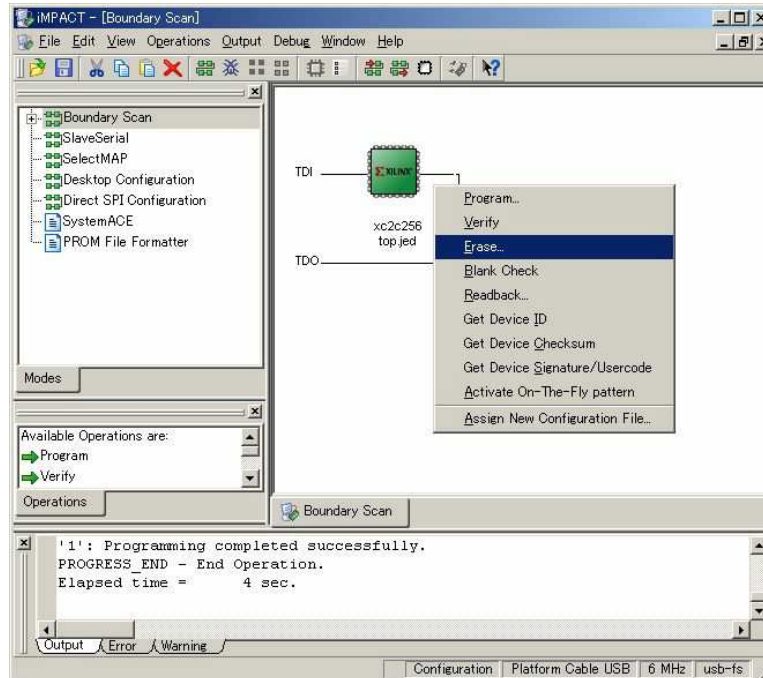


- ▼ 書き込みが成功すると、[Program Succeeded]と表記されます。

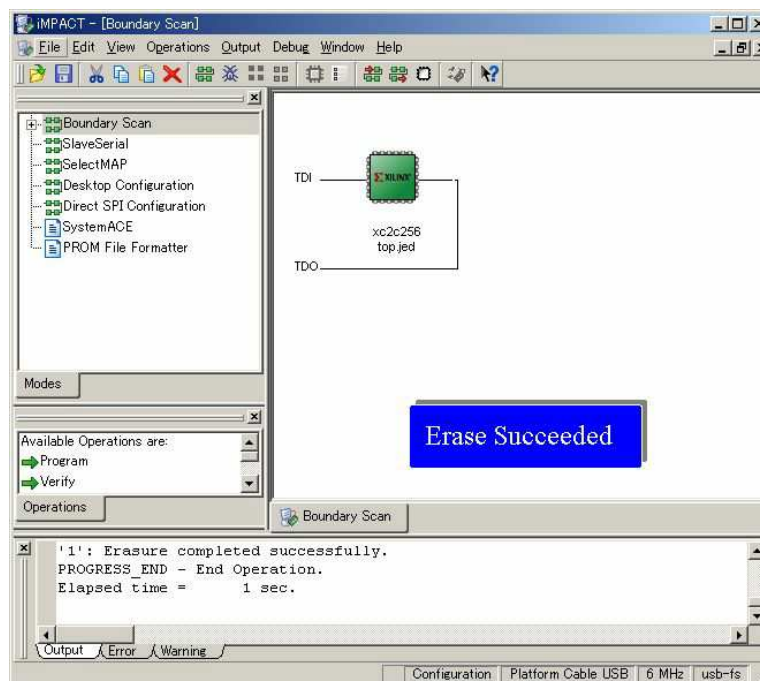


5. CPLD データの消去方法

- ▼ CPLD 上で右クリックし[Erase...]をクリックしてください。



- ▼ [Erase Succeeded]と表示されれば終了です。



6. ピン割付表

6.1. CNA

BANK	NET LABEL	CPLD ピン#	CNA ピン#		CPLD ピン#	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	V50A	電源予約	3	4	電源予約	V50A	
	GND	GND	5	6	GND	GND	
A	IOA0	27	7	8	28	IOA1	A
A	IOA2	29	9	10	30	IOA3	A
A	IOA4	31	11	12	32	IOA5	A
A	IOA6	34	13	14	35	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	36	17	18	37	IOA9	A
A	IOA10	38	19	20	39	IOA11	A
A	IOA12	40	21	22	41	IOA13	A
A	IOA14	43	23	24	45	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	47	27	28	48	IOA17	A
A	IOA18	49	29	30	54	IOA19	A
A	IOA20	57	31	32	60	IOA21	A
A	IOA22	61	33	34	62	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	63	37	38	64	IOA25	A
A	IOA26	65	39	40	66	IOA27	A
A	IOA28	67	41	42	69	IOA29	A
A	IOA30	70	43	44	71	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	72	47	48	73	IOA33	A
A	IOA34	74	49	50	75	IOA35	A
A	IOA36	76	51	52	77	IOA37	A
A	IOA38	78	53	54	80	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	82	57	58	83	IOA41	A
A	IOA42	84	59	60	85	IOA43	A
A	IOA44	86	61	62	87	IOA45	A
A	IOA46	88	63	64	89	IOA47	A
A	IOA48	90	65	66	91	IOA49 *1	A

*1 抵抗を介して CPLD ピン# 125 (OPT1) に接続

6.2. CNB

BANK	NET LABEL	CPLD ピン#	CNB ピン#		CPLD ピン#	NET LABEL	BANK
	V33B	3.3V	1	2	3.3V	V33B	
	V50B	電源予約	3	4	電源予約	V50B	
	GND	GND	5	6	GND	GND	
B	I0B0	25	7	8	23	I0B1	B
B	I0B2	22	9	10	21	I0B3	B
B	I0B4	20	11	12	19	I0B5	B
B	I0B6	18	13	14	17	I0B7	B
	GND	GND	15	16	GND	GND	
B	I0B8	16	17	18	15	I0B9	B
B	I0B10	14	19	20	12	I0B11	B
B	I0B12	10	21	22	205	I0B13	B
B	I0B14	203	23	24	202	I0B15	B
	GND	GND	25	26	GND	GND	
B	I0B16	201	27	28	200	I0B17	B
B	I0B18	199	29	30	198	I0B19	B
B	I0B20	197	31	32	196	I0B21	B
B	I0B22	195	33	34	194	I0B23	B
	GND	GND	35	36	GND	GND	
B	I0B24	193	37	38	192	I0B25	B
B	I0B26	191	39	40	189	I0B27	B
B	I0B28	188	41	42	187	I0B29	B
B	I0B30	186	43	44	185	I0B31	B
	GND	GND	45	46	GND	GND	
B	I0B32	184	47	48	183	I0B33	B
B	I0B34	182	49	50	180	I0B35	B
B	I0B36	179	51	52	178	I0B37	B
B	I0B38	175	53	54	174	I0B39	B
	GND	GND	55	56	GND	GND	
B	I0B40	173	57	58	168	I0B41	B
B	I0B42	167	59	60	166	I0B43	B
B	I0B44	165	61	62	164	I0B45	B
B	I0B46	163	63	64	162	I0B47	B
B	I0B48	160	65	66	161	I0B49 *2	B

*2 抵抗を介して CPLD ピン# 169 (OPT0) に接続

6.3. オンボード CLK

クロック	NET LABEL	CPLD ピン#
オンボード 30M	CLK0	44
オンボード 30M	CLK1	46

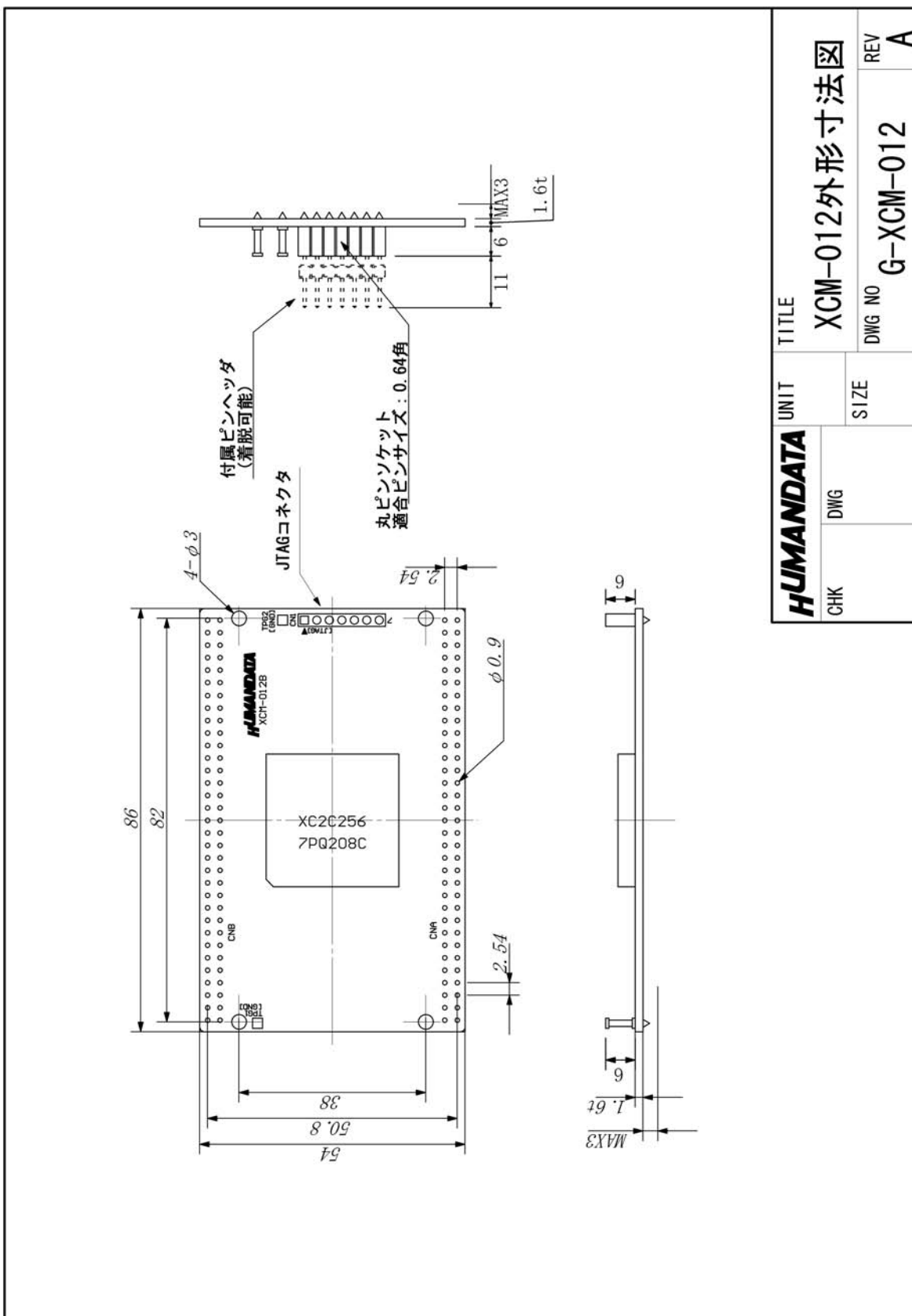
6.4. 汎用 LED

LED	NET LABEL	CPLD ピン#
L1	LED1	101
L2	LED2	102
L3	LED3	103
L4	LED4	106

6.5. 汎用 SW

SW	NET LABEL	CPLD ピン#
SW1	SW1	95
SW2	SW2	97
SW3	SW3	99
SW4	SW4	100

7. 外形寸法図



8. XCM-012-256 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 回路図

CoolRunner II ブレッドボード
(カードサイズ)
XCM-012-256

2007/11/12 (初版)
2007/11/20 (第2版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
