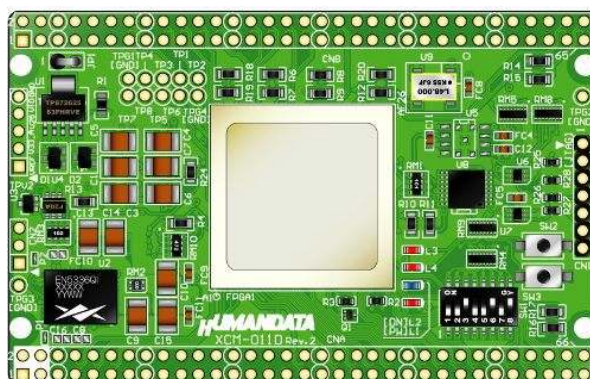


Virtex-5 ブレッドボード
(カードサイズ)

XCM-011 (Rev2)

ユーザーズマニュアル

Ver.2.1



ヒューマンデータ

目次



● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	3
3. 開発環境.....	3
4. 製品説明.....	4
4.1. 各部の名称.....	4
4.2. ブロック図.....	5
4.3. 電源.....	5
4.4. JTAG コネクタ.....	6
5. ディップスイッチの説明.....	7
6. FPGA へのコンフィギュレーション.....	8
7. SPI-PROM への書き込み.....	9
7.1. mcs データ作成方法.....	9
7.2. SPI-PROM への書き込み.....	12
8. ROM から FPGA へのコンフィギュレーション(パワーON 動作).....	14
9. コンフィギュレーションレートの設定.....	15
10. FPGA ピン割付表.....	16
10.1. ユーザ I/O (CNA).....	16
10.2. ユーザ I/O (CNB).....	17
10.3. SDRAM (U10).....	18
10.4. FRAM (U11).....	19
10.5. オンボードクロック.....	19
10.6. 汎用スイッチ.....	19
10.7. 汎用 LED.....	20
10.8. ディップスイッチ.....	20
10.9. オンボードテストポイント.....	20
10.10. 温度ダイオード(CN2).....	20
11. サポートページ.....	21
12. 付属資料.....	21
13. お問い合わせについて.....	21

● はじめに

この度は、Virtex-5 ブレッドボード XCM-011 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-011 シリーズは、XILINX の高性能 FPGA Virtex-5LX シリーズを用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路、SPI-PROM、SDRAM、FRAMなどを搭載した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/06/10	2.0	FRAM 変更 (FM18L08-70-SG →FM28V020-SG) 生産中止による 1.0V 用電源 IC の変更 (EN5330DC→EN5336Q1) DONE LED の変更 FPGA 未使用ピン処理の変更 CN2 を追加
2012/08/31	2.1	ピン割付表誤植修正

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-011	1
付属品	1
マニュアル(本書)	1 *
ユーザ登録はがき	1 *

* オーダー毎に各1部の場合があります。(ご要望により追加請求できます)

2. 仕様

製品型番	XCM-011-LX30	XCM-011-LX50	XCM-011-LX85	XCM-011-LX110
搭載 FPGA	XC5VLX30-1FFG676C	XC5VLX50-1FFG676C	XC5VLX85-1FFG676C	XC5VLX110-1FFG676C
コンフィグ ROM	M25P16-VMF (Numonyx, 16Mb)		M25P32-VMF (Numonyx, 32Mb)	
SDRAM	MT48LC16M16A2P-75-D (MICRON, 256Mb:16Mb x16 x4 banks)			
FRAM	FM28V020-SG (Ramtron, 256kb:32k x8)			
クロック	オンボード 48MHz (外部供給可能)			
電源	DC 3.3 [V] (内部電源はオンボードレギュレータにより生成)			
消費電流	N/A (詳細は FPGA データシートご参照)			
基板寸法	86×54 [mm]			
質量	約 30 [g]			
ユーザ I/O	100 本			
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] 2組 2.54mm ピッチ			
プリント基板	ガラスエポキシ 6 層基板 1.6t			
コンフィグ用リセット信号	内蔵 (240ms TYP)			
JTAG コネクタ	SIL7 ピン 丸ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
汎用 LED	2 個			
汎用 SW	2 個			
付属品	DIL80 ピンヘッダ 2 個 (任意にカット可能) SIL7 ピンヘッダ 1 個 (本体に取付け済み)			

* 互換品と変更になる場合がございます

3. 開発環境

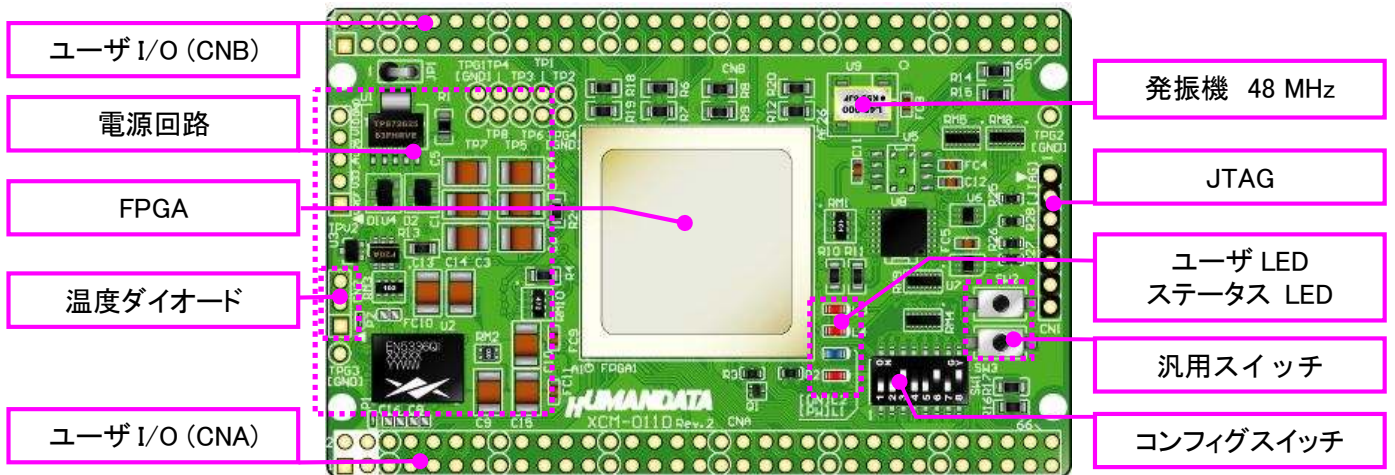
FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。

開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

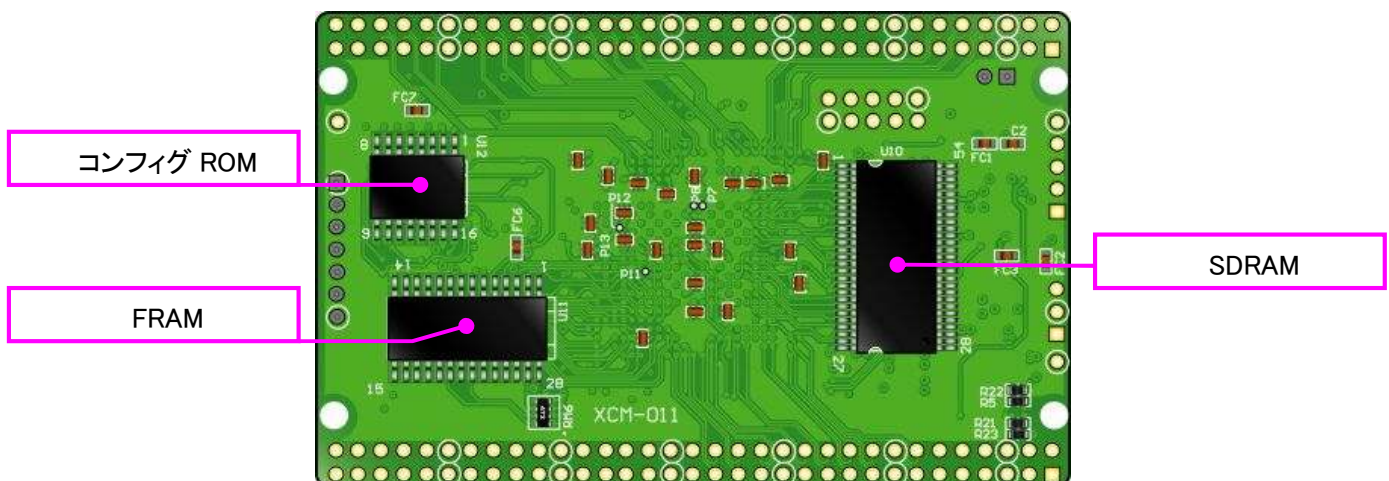
本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

4. 製品説明

4.1. 各部の名称

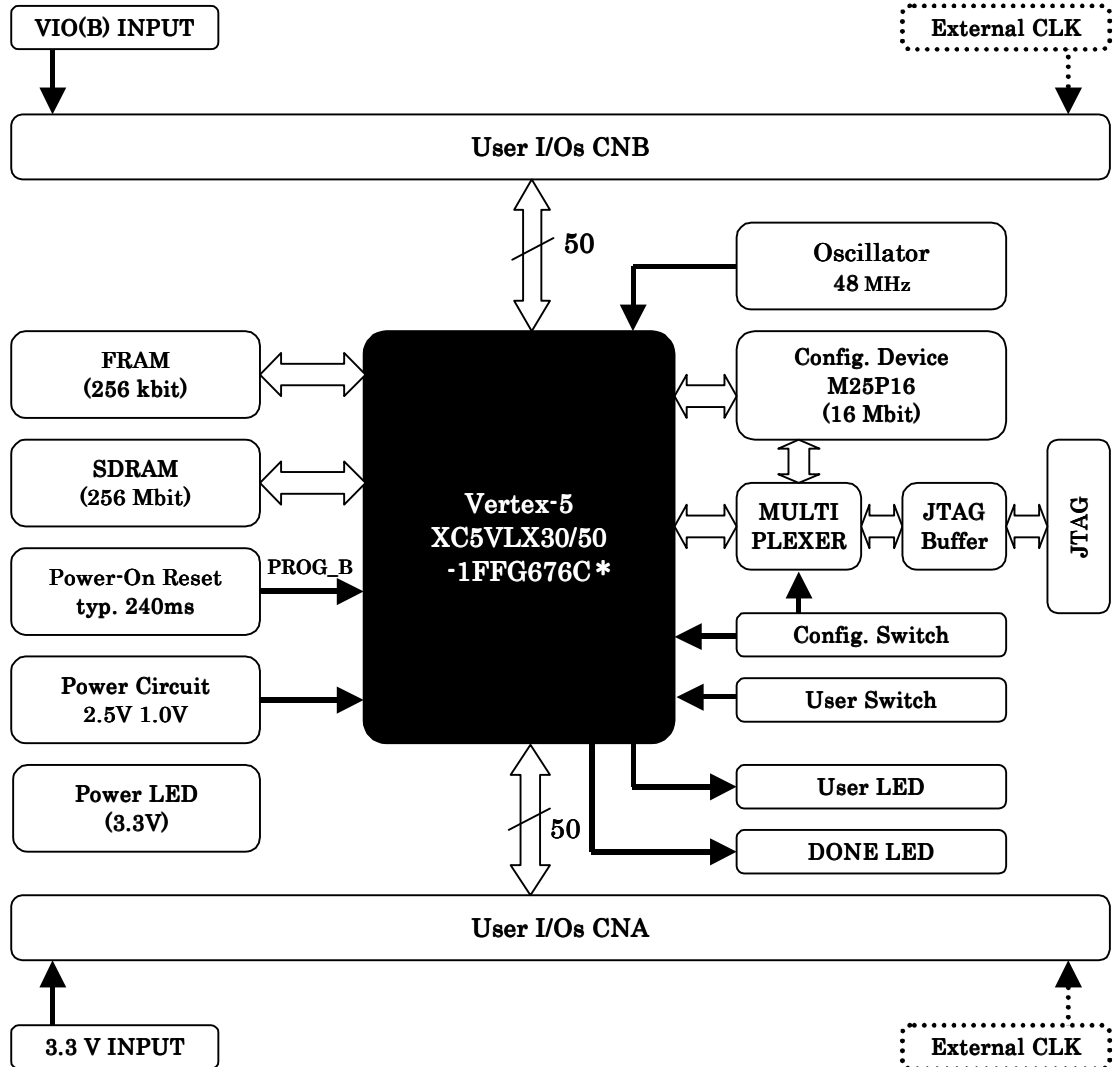


部品面



はんだ面

4.2. ブロック図



* LX85/LX110 は受注生産です。

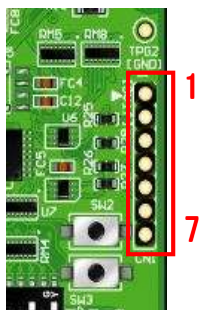
4.3. 電源

本ボードは、DC 3.3V単一電源で動作します。
 内部に必要な、2.5V、1.0Vはオンボードのレギュレータにより生成されます。
 外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。
 電源は、CNA、CNBから供給してください。**いずれも3.3Vを超えることはできません。**
 詳しくはFPGAのデータシートや回路図などを参照してください。

また電源の立ち上がりは**単調増加**である必要があります。
 良質の電源を使用するようにしてください。

4.4. JTAG コネクタ

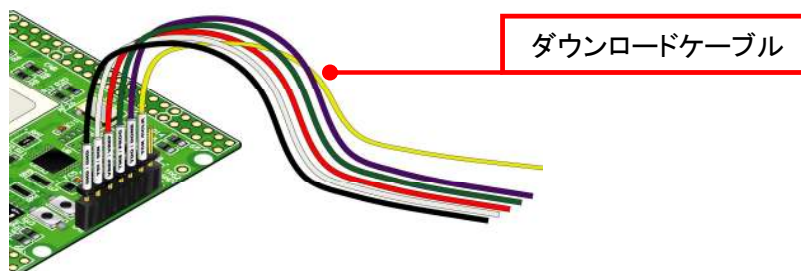
FPGA へのコンフィギュレーション、SPI-PROM への書き込みに用います。
ピン配置は次表のとおりです。



ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT (POW)
6	TDI	IN
7	GND	I/O

XILINX 社対応のダウンロードケーブル (JTAG) などを用いることができます。
また、ダウンロードケーブルと本品との接続には付属品 SIL7 ピンヘッダや ZKB-031KIT を
使用することが可能です。

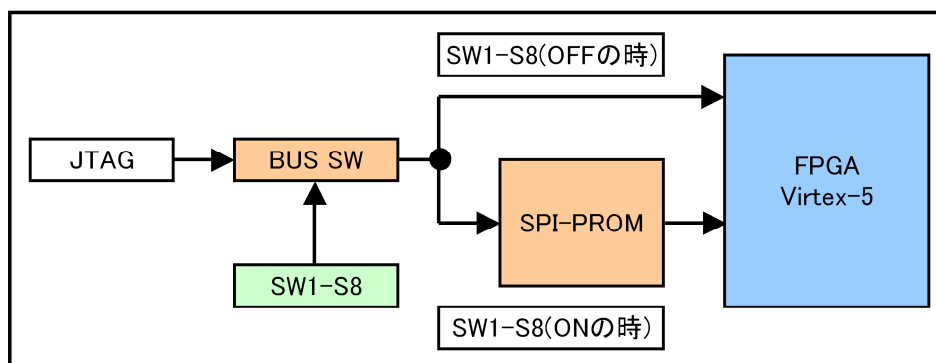
使用例



注意

ダウンロードケーブルを接続する場合、誤差しなどにご注意ください

JTAG チェインにはバススイッチを介して SPI-PROM と FPGA の両方に接続されています。



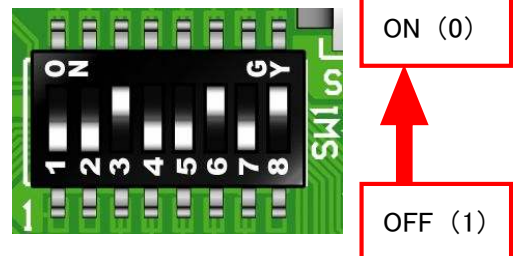
5. ディップスイッチの説明

XCM-011 のディップスイッチ (SW1) は以下のように割り付けられています。
SW を **ON** で **Low** に固定されます。

SW1

番号	1	2	3	4	5	6	7	8
記号	FS0	FS1	FS2	HSWAP_EN	M1	M2	M0	X_PROG
出荷時	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
説明	SPI 変数セレクトピン			I/O Pull-up	コンフィギュレーションモード			ターゲット指定

	マスタ SPI	スレーブシリアル	JTAG
M[1, 2 .0]の設定値	0 : 0 : 1	1 : 1 : 1	0 : 1 : 1



- **FS0, FS1, FS2 : SPI 変数セレクトピン**
詳しくは、FPGA データシートをご覧ください。
通常、出荷時の設定のままご使用いただけます。
- **HSWAPEN**
コンフィギュレーション前の I/O のプルアップの状態を設定することができます。
ON : プルアップ
OFF : トライステート
- **M2, M1, M0 : コンフィギュレーションモード**
動作モードを設定します。上表に示したモードは一部のものです。
- **X_PROG**
OFF : JTAG
ON : コンフィギュレーション ROM

6. FPGA へのコンフィギュレーション

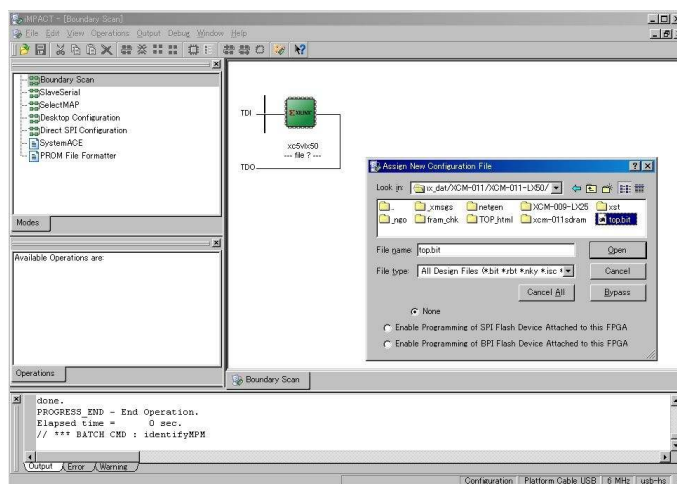
FPGAにコンフィギュレーションする際、ディップスイッチの設定が必要です。ディップスイッチを下記のように設定してください。

SW1

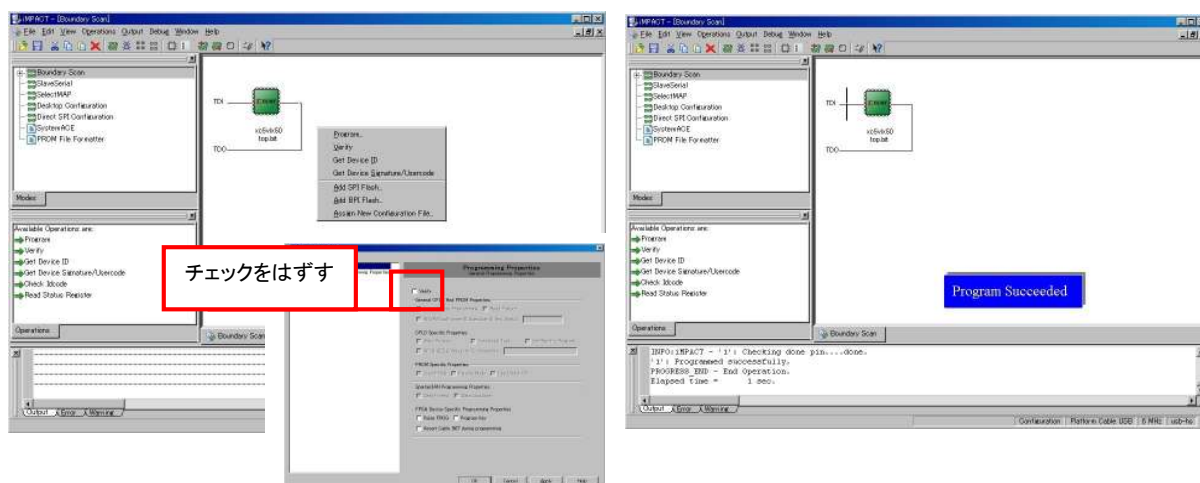
	1	2	3	4	5	6	7	8
ON(0)	X	X	X	X	■			
OFF(1)	X	X	X	X		■	■	■

X : Don't Care

- ▼ FPGA へのコンフィギュレーションは iMPACT により行ないます。iMPACT を起動し、[Boundary Scan]モードを実行します。[File]-[Initialize Chain]をクリックすると、FPGA が認識されます。FPGA に対して bit ファイルを割り付けてください。



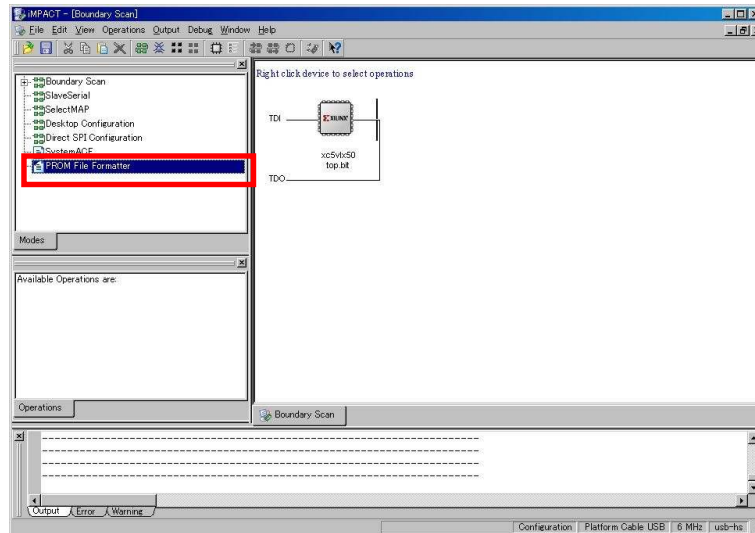
- ▼ 次にデバイスのアイコン上で右クリックをし、[Program...]をクリックします。FPGA へのコンフィギュレーションの際は、通常[Verify]のチェックを外してください。コンフィギュレーションが成功すると、[Program Succeeded]と表記されます。



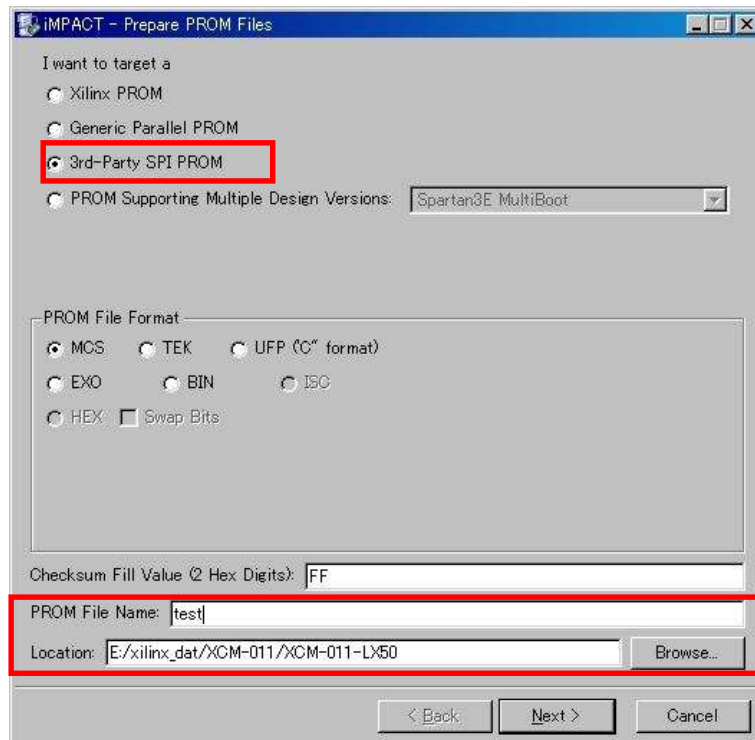
7. SPI-PROM への書き込み

7.1. mcs データ作成方法

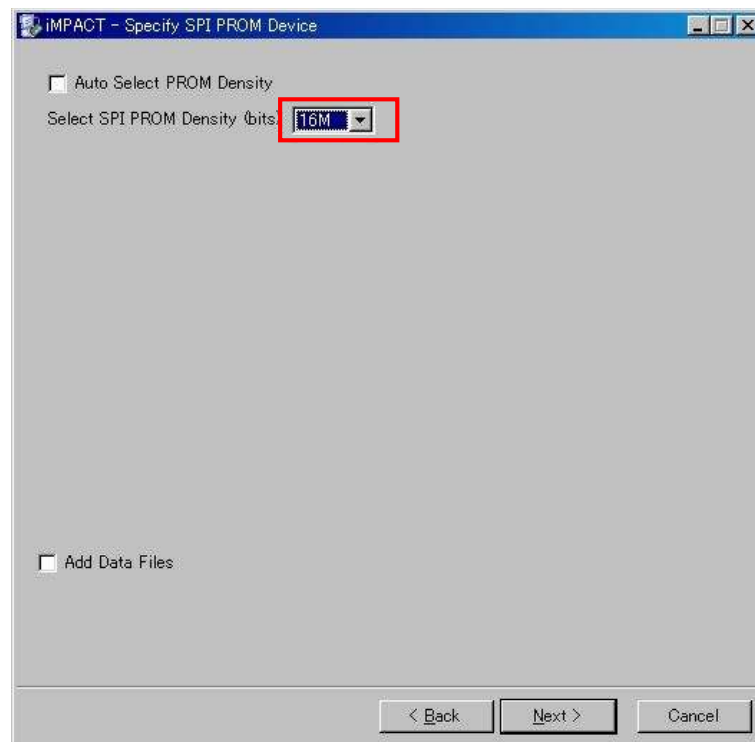
- ▼ iMPACT Mode にある [PROM File Formatter] をクリックします。



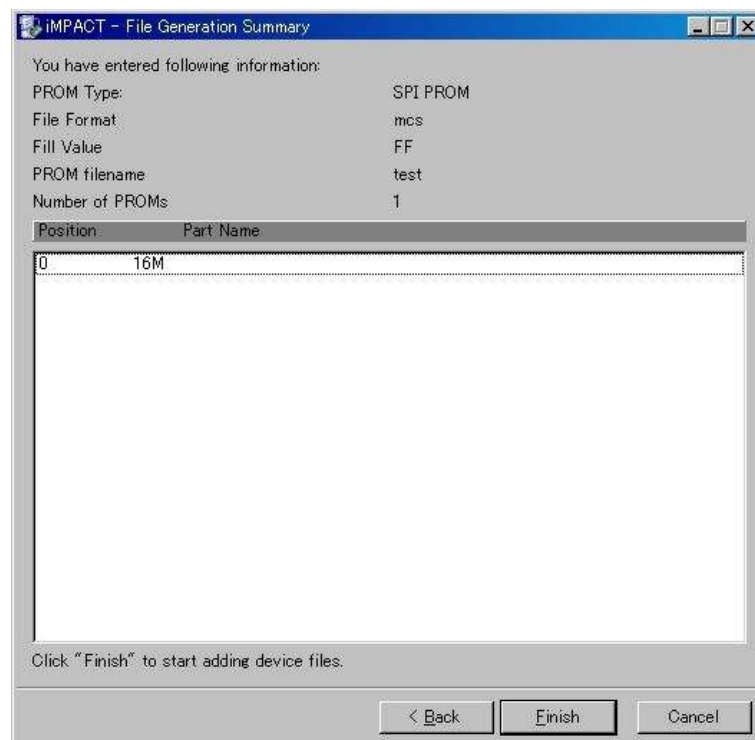
- ▼ 次に File Name と Location (保存先) を指定し [Next>] をクリックします。



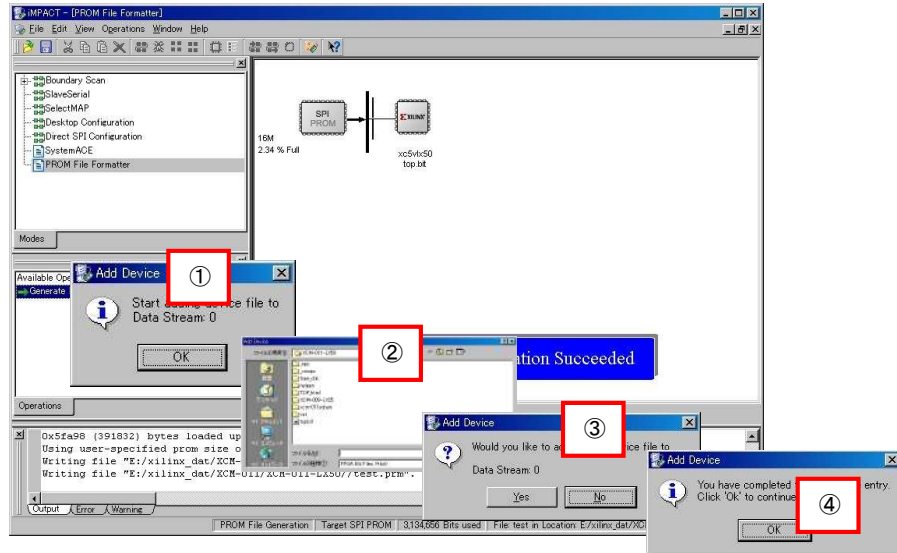
- ▼ 次に SPI-PROM の種類を [16M] を選択し [Next>] をクリックしてください。



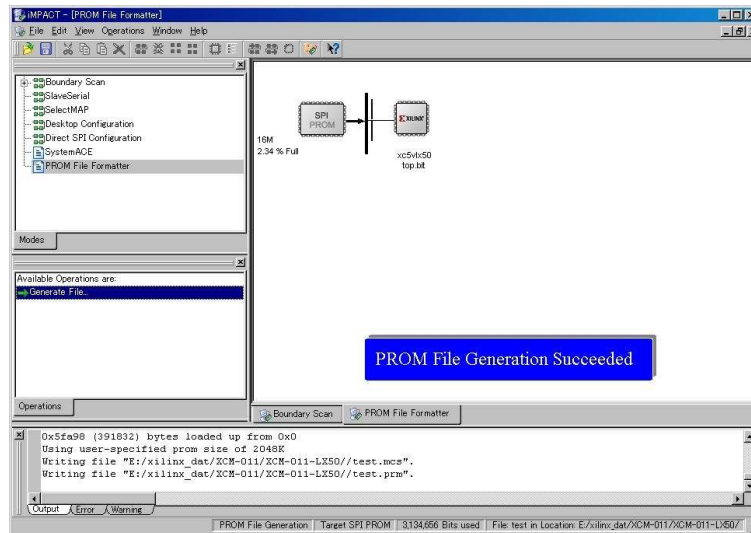
- ▼ 次に [Finish] をクリックします。



- ▼ 次に①のダイアログがでます。[OK]をクリックし、割り当てるbit Fileを選択します。(②) 次に③のダイアログで[NO]をクリックし、④のダイアログで[OK]をクリックします。



- ▼ 次に iMPACT Process にある [Generate File] をダブルクリックします。[PROM File Generation Succeeded] と表示されれば完了です。



これでコンフィギュレーションROMに書き込むための.mcsファイルが生成されました。

注意

ROMに書き込む前に、FPGAにコンフィギュレーションを行い、回路の動作確認を行ってから書き込みを行ってください。

7.2. SPI-PROM への書き込み

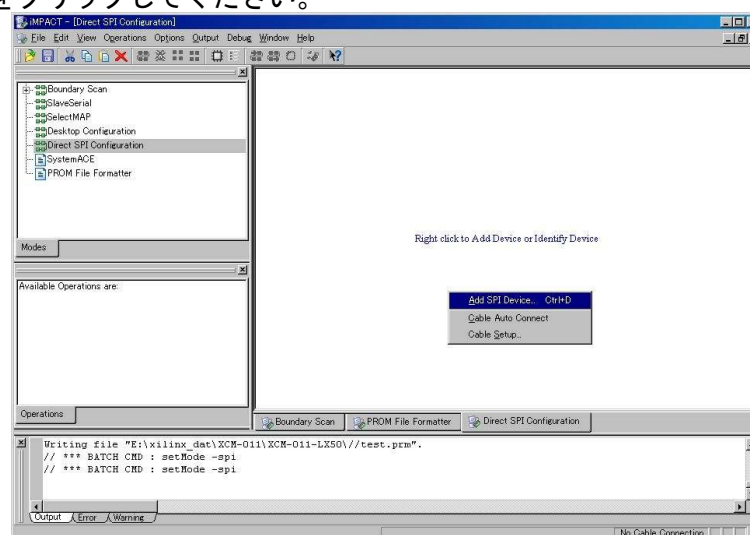
SPI-PROM に書き込む際、ディップスイッチの設定が必要です。
ディップスイッチを下記のように設定してください。(5-7 の設定は不要)

SW1

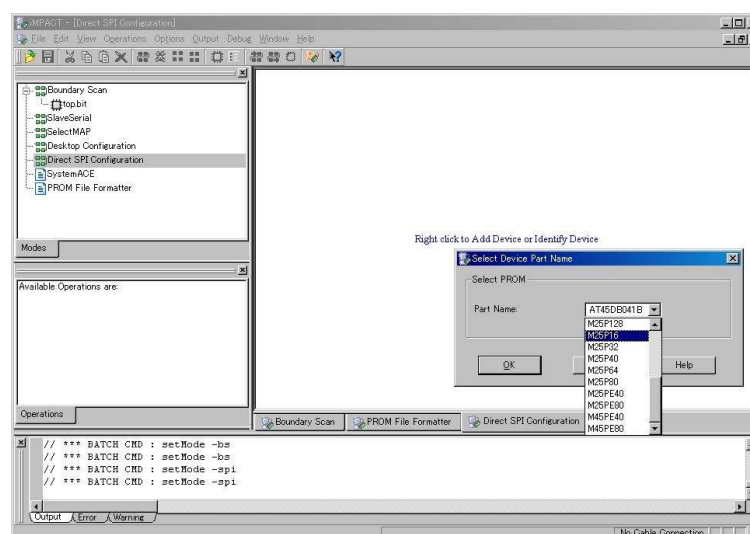
	1	2	3	4	5	6	7	8
ON (0)				X	X	X	X	■
OFF (1)	■	■	■	X	X	X	X	

X : Don't Care

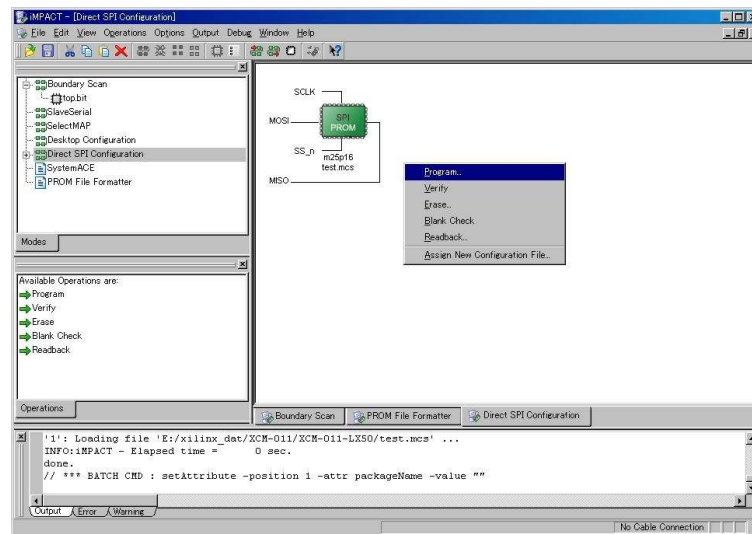
- ▼ iMPACT Mode を [Direct SPI Configuration] にし、右クリック [Add SPI Device...] をクリックしてください。



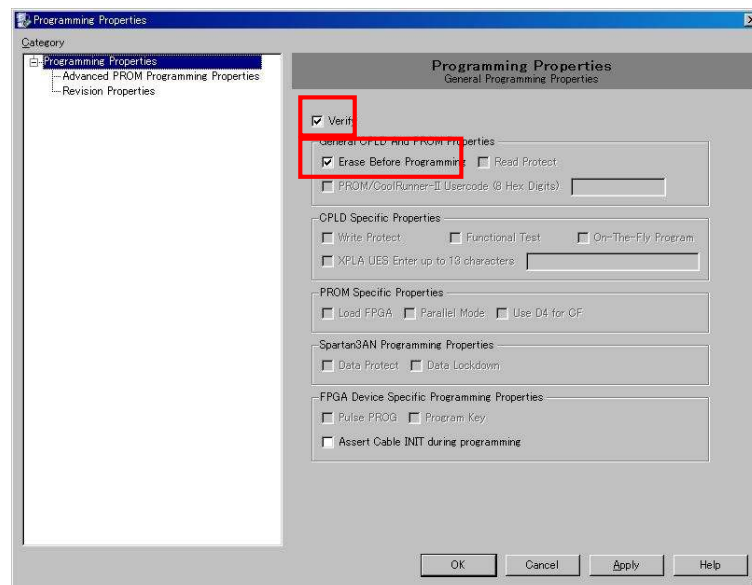
- ▼ SPI-PROM の種類を選択してください。(M25P16)
(*LX85, LX110 の場合は 32M を選択してください。)



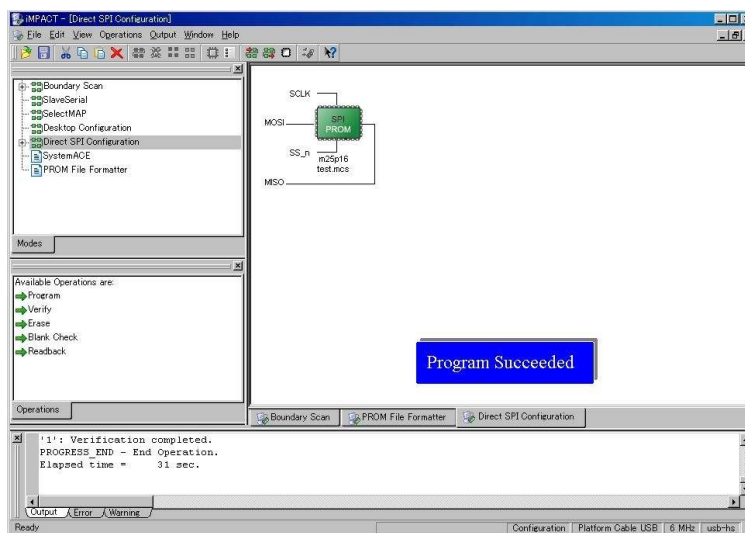
- ▼ SPI-PROM を選択し、右クリックし[Program...]をクリックしてください。



- ▼ [Verify] [Erase Before Programming] [Parallel Mode]にチェックを入れ [OK]をクリックしてください。



▼ [Program Succeeded]と表示されれば完了です。



8. ROM から FPGA へのコンフィギュレーション(パワーON 動作)

ROM から FPGA にコンフィギュレーションする際、ディップスイッチの設定が必要です。ディップスイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON(0)				X	■	■		
OFF(1)	■	■	■	X			■	■

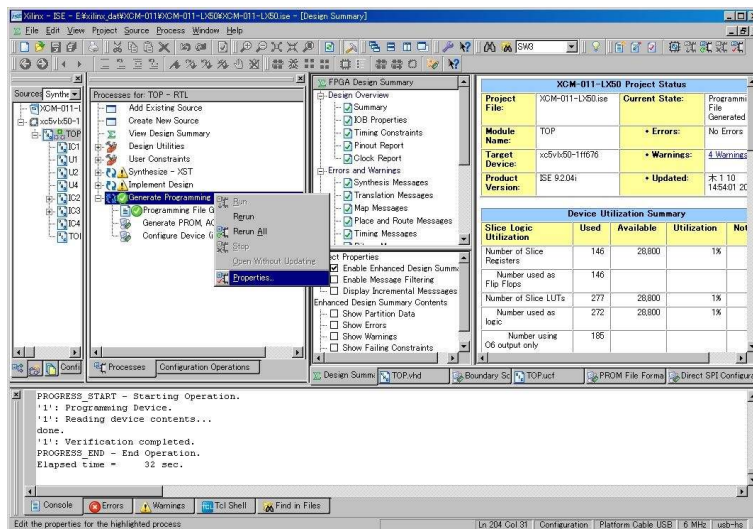
X : Don't Care

ディップスイッチの設定後、ボードの電源を入れます。

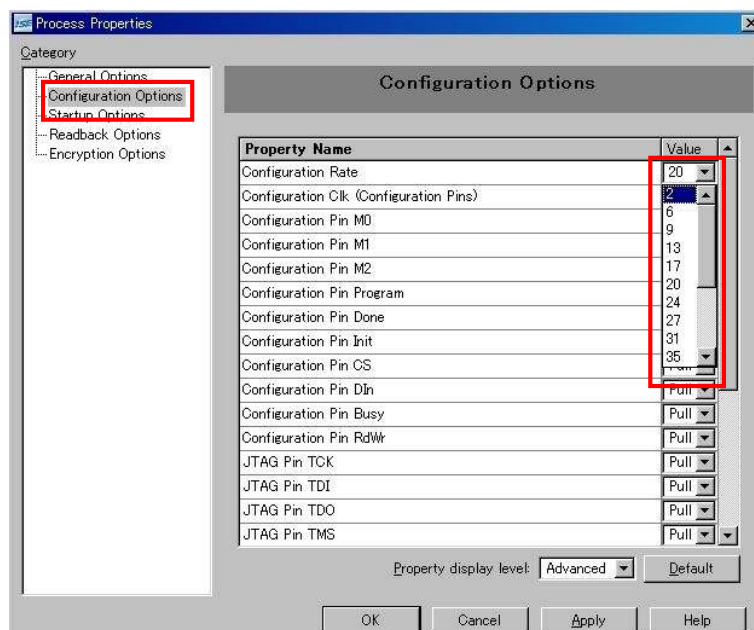
9. コンフィギュレーションレートの設定

XCM-011 ではコンフィギュレーションレートの設定が可能です。

- ▼ ISE の Processes のタブにある **[Generate Programming File]** で右クリックし、**[Properties...]** をクリックしてください。



- ▼ **[Configuration Options]** の **[Configuration Rate]** を任意の値に設定し、**[OK]** をクリックしてください。



10. FPGA ピン割付表

10.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	V33_A	-	1	2	-	V33_A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	A2	7	8	A3	IOA1	A
A	IOA2	B1	9	10	B2	IOA3	A
A	IOA4	D1	11	12	C1	IOA5	A
A	IOA6	C4	13	14	B4	IOA7	A
		GND	15	16	GND		
A	IOA8	C2	17	18	C3	IOA9	A
A	IOA10	F3	19	20	E3	IOA11	A
A	IOA12	J3	21	22	H3	IOA13	A
A	IOA14	L3	23	24	L4	IOA15	A
		GND	25	26	GND		
A	IOA16	M2	27	28	N2	IOA17	A
A	IOA18	T3	29	30	R3	IOA19	A
A	IOA20	T2	31	32	R2	IOA21	A
A	IOA22	E2	33	34	E1	IOA23	A
		GND	35	36	GND		
A	IOA24	F2	37	38	G2	IOA25	A
A	IOA26	G1	39	40	H1	IOA27	A
A	IOA28	H2	41	42	J1	IOA29	A
A	IOA30	K1	43	44	L2	IOA31	A
		GND	45	46	GND		
A	IOA32	M1	47	48	N1	IOA33	A
A	IOA34	P1	49	50	R1	IOA35	A
A	IOA36	V1	51	52	V2	IOA37	A
A	IOA38	AB1	53	54	AB2	IOA39	A
		GND	55	56	GND		A
A	IOA40	AC1	57	58	AC2	IOA41	A
A	IOA42	AD1	59	60	AE1	IOA43	A
A	IOA44	AE2	61	62	AF2	IOA45	A
A	IOA46	AE3	63	64	AF3	IOA47	A
A	IOA48 *1	AF4	65	66	AF5	IOA49 *2	A

*1) R16 を介して CLKAP(F14)に接続されています

*2) R17 を介して CLKBN(E13, D13)に接続されています

10.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	VIO(B) *3	-	1	2	-	VIO(B) *3	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	B24	7	8	C23	IOB1	B
B	IOB2	C24	9	10	D24	IOB3	B
B	IOB4	F24	11	12	F25	IOB5	B
B	IOB6	A20	13	14	B20	IOB7	B
		GND	15	16	GND		
B	IOB8	A22	17	18	B22	IOB9	B
B	IOB10	A25	19	20	B25	IOB11	B
B	IOB12	B26	21	22	C26	IOB13	B
B	IOB14	D25	23	24	D26	IOB15	B
		GND	25	26	GND		
B	IOB16	E25	27	28	E26	IOB17	B
B	IOB18	G26	29	30	H26	IOB19	B
B	IOB20	K25	31	32	K26	IOB21	B
B	IOB22	M25	33	34	M26	IOB23	B
		GND	35	36	GND		
B	IOB24	N26	37	38	P26	IOB25	B
B	IOB26	G24	39	40	G25	IOB27	B
B	IOB28	J24	41	42	H24	IOB29	B
B	IOB30	L24	43	44	L25	IOB31	B
B		GND	45	46	GND		
B	IOB32	N24	47	48	M24	IOB33	B
B	IOB34	P25	49	50	P24	IOB35	B
B	IOB36	R23	51	52	R22	IOB37	B
B	IOB38	T23	53	54	T22	IOB39	B
		GND	55	56	GND		
B	IOB40	U21	57	58	U22	IOB41	B
B	IOB42	V23	59	60	V24	IOB43	B
B	IOB44	Y22	61	62	Y23	IOB45	B
B	IOB46	AA23	63	64	AA24	IOB47	B
B	IOB48 *4	AC24	65	66	AB24	IOB49 *5	B

*3) VIO(B)は通常 3.3V。変更時は JP1 を取外す

*4) R15 を介して CLKCP(AC13)に接続されています

*5) R14 を介して CLKDN(AC12, AD11)に接続されています

10.3. SDRAM (U10)

SDRAM		NET LABEL	FPGA Pin
Pin Name	Pin		
DQ0	2	SDD0	G19
DQ1	4	SDD1	H18
DQ2	5	SDD2	F18
DQ3	7	SDD3	G17
DQ4	8	SDD4	F17
DQ5	10	SDD5	H17
DQ6	11	SDD6	G16
DQ7	13	SDD7	F15
DQ8	42	SDD8	E6
DQ9	44	SDD9	G6
DQ10	45	SDD10	E7
DQ11	47	SDD11	F7
DQ12	48	SDD12	E8
DQ13	50	SDD13	F8
DQ14	51	SDD14	G7
DQ15	53	SDD15	H8
A0	23	SDADD0	H11
A1	24	SDADD1	G10
A2	25	SDADD2	G9
A3	26	SDADD3	H9
A4	29	SDADD4	K5
A5	30	SDADD5	J4
A6	31	SDADD6	J5
A7	32	SDADD7	H4
A8	33	SDADD8	G4
A9	34	SDADD9	F4
A10	22	SDADD10	G11
A11	35	SDADD11	G5
A12	36	SDADD12	E5
BA0	20	SDBS0	G12
BA1	21	SDBS1	H12
DQML	15	SDLQDM	G15
DQMH	39	SDUDQM	F5
WE#	16	nSDWE	H14
CAS#	17	nSDCAS	G14
RAS#	18	nSDRAS	H13
CS#	19	nSDCS	F13
CKE	37	nSDCLKE	F10
CLK	38	SDDCLKO	E18 *1
		SDDCLK	F19 *2

*1) R13 を介して接続されています

*2) R24 を介して接続されています

10.4. FRAM (U11)

FRAM		NET LABEL	FPGA Pin
Pin Name	Pin		
A0	10	FRAM_A0	Y6
A1	9	FRAM_A1	AB7
A2	8	FRAM_A2	AA7
A3	7	FRAM_A3	Y7
A4	6	FRAM_A4	W6
A5	5	FRAM_A5	T7
A6	4	FRAM_A6	U6
A7	3	FRAM_A7	U7
A8	25	FRAM_A8	U4
A9	24	FRAM_A9	V3
A10	21	FRAM_A10	AA5
A11	23	FRAM_A11	W3
A12	2	FRAM_A12	V6
A13	26	FRAM_A13	T4
A14	1	FRAM_A14	V7
DQ0	11	FRAM_D0	AC6
DQ1	12	FRAM_D1	AD6
DQ2	13	FRAM_D2	W5
DQ3	15	FRAM_D3	AE5
DQ4	16	FRAM_D4	AD5
DQ5	17	FRAM_D5	AD4
DQ6	18	FRAM_D6	AD3
DQ7	19	FRAM_D7	AB4
OE#	22	FRAM_OEn	Y3
WE#	27	FRAM_WEn	T5
CE#	20	FRAM_CEn	AA4

10.5. オンボードクロック

周波数	NET LABEL	FPGA Pin
48 MHz	GCLK1	D15
	GCLK2	E16,E17

10.6. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW0	Y2
SW3	PSW1	AA2

10.7. 汎用 LED

LED	NET LABEL	FPGA Pin
L3	LED0	AB6
L4	LED1	V4

10.8. ディップスイッチ

No.	NET LABEL	FPGA Pin
1	FS0	AA14
2	FS1	AA13
3	FS2	AB11
4	HSWAP_EN	L18
5	X_M1	Y17
6	X_M2	V18
7	X_M0	W18
8	X_PROG	J18

10.9. オンボードテストポイント

TP	FPGA Pin
1	AD18
2	AC18
3	AC17
4	AC16
5	A12
6	A13
7	B12
8	C13

10.10. 温度ダイオード (CN2)

コネクタ番号	FPGA Pin
1	DXP
2	GND
3	DXN

FPGA の温度測定用ダイオードに直結します。外部での温度監視にご使用頂けます。弊社 UTL-015 をご使用頂けます。詳しくは回路図、データシートをご参照ください。

11. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-011/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- パターン図
- ネットリスト

...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/index.php>

12. 付属資料

1. 基板回路図（別紙）
2. 外形図

13. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

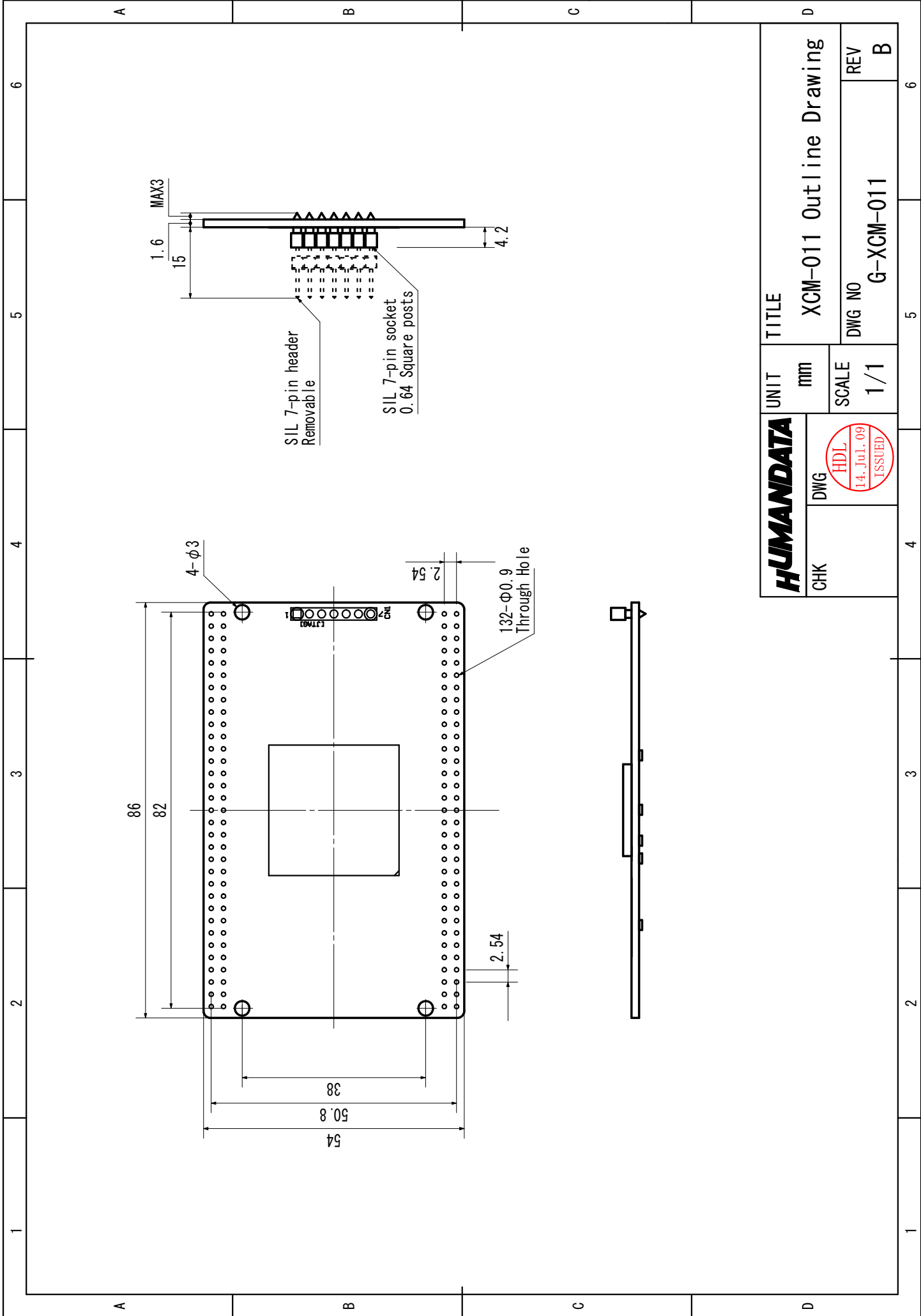
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。


または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE	
CHK	DWG	mm	XCM-011 Outline Drawing	
		SCALE	DWG NO	REV
		1/1	G-XCM-011	B

Virtex-5 ブレッドボード
(カードサイズ)
XCM-011 シリーズ (Rev2)
ユーザーズマニュアル

2010/06/10 Ver. 2.0

2012/08/31 Ver. 2.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
