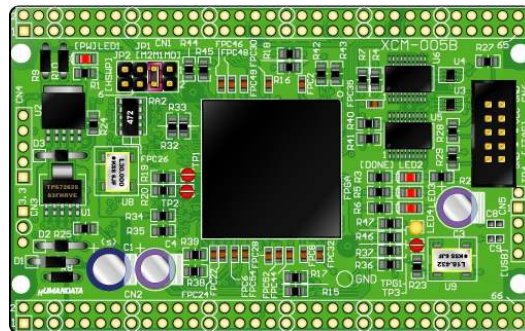




Spartan-3 ブレッドボード
XCM-005 シリーズ
ユーザーズマニュアル
第 4 版 (Rev2)



ヒューマンデータ

目次

はじめに	2
ご注意	2
1. 製品の内容について	3
2. 各部の名称	4
2.1. 電源入力	5
2.2. JTAG コネクタ (CN6)	5
3. FPGA へのコンフィグレーション方法	6
4. コンフィグレーション ROM データの作成方法	7
5. コンフィグレーション ROM への書き込み方法	9
6. ジャンプスイッチの設定	10
7. コネクタピン割付表	11
8. XCM-005 シリーズ の参考資料について	14
9. 付属資料	14

はじめに

この度は、Spartan-3 ブレッドボード/XCM-005 シリーズをお買い上げいただきまして誠にありがとうございます。
XCM-005 シリーズは、XILINX 社の高性能 FPGA XC3S2000-4FG456C または XC3S1500-4FG456C または XC3S1000-4FG456C を用いた評価用ボードです。クロック回路、リセット回路と内部に必要な電源は内蔵しておりますので、ひじょうに使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

文書改訂記録

改訂年月日	版	改訂内容	備考
2008年10月23日	4	RoHS 対応に変更	

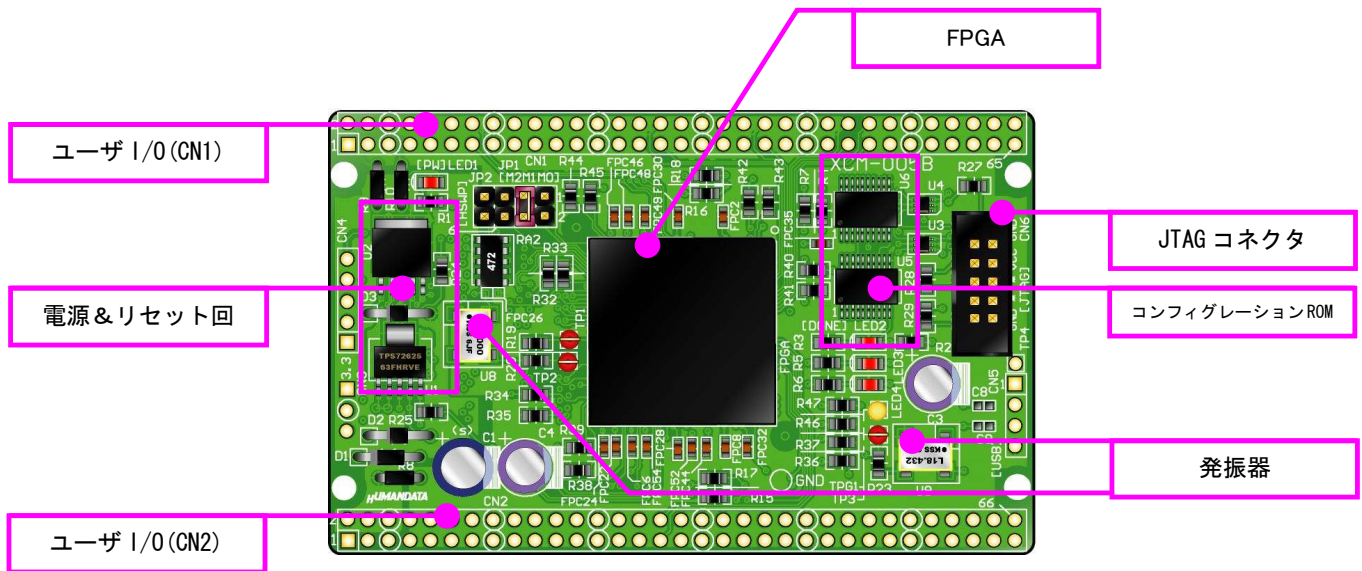
1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

Spartan-3 ブレッドボード XCM-005	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 各部の名称



※ 写真は XCM-005-1500 です。XCM-005-1000 のコンフィグレーション ROM は 1 個です。

型番と使用 FPGA

型番	使用 FPGA
XCM-005-2000	XC3S2000-4FGG456C
XCM-005-1500	XC3S1500-4FGG456C
XCM-005-1000	XC3S1000-4FGG456C

2.1. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。

ボード上に 2.5V および 1.2V レギュレータを実装し、内部に必要な電源を供給しています。

詳しくは回路図をご参照ください。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

FPGA の電源の立ち上がりがスムーズである必要があります。不安定な電源では、FPGA が過熱し最悪の場合 FPGA が破損することもあります。

電源は CN1、CN2、CN4 などから供給してください。

2.2. JTAG コネクタ (CN6)

FPGA への ISP に用います。

ピン配置は次表のとおりです。

信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC (3.3V)
TMS	5	6	-
-	7	9	-
TDI	9	10	GND

弊社製ダウンロードケーブル X C 2、X C K I T の 10 ピンコネクタと 1 : 1 で対応しています。

XILINX 社の純正ケーブルを用いることもできます。

3. FPGA へのコンフィグレーション方法

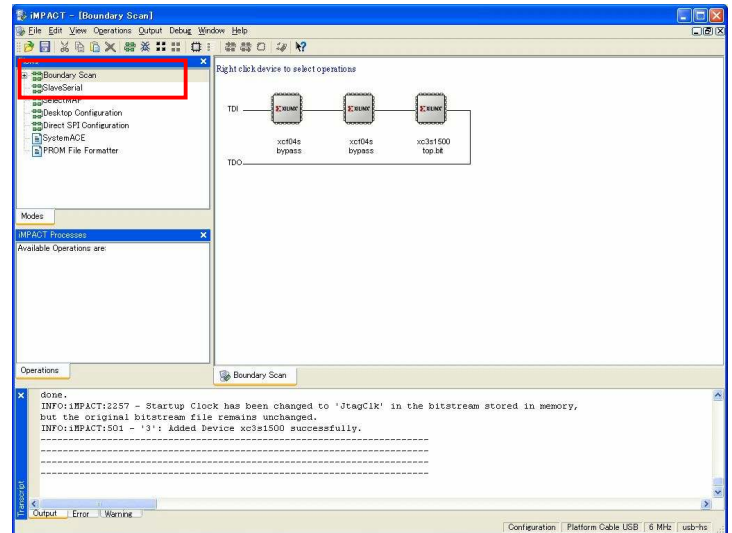
▶ FPGA へのコンフィグレーションは iMPACT により行います。

iMPACT を起動し右図赤枠 [Boundary Scan] 上でダブルクリックします。

次に [File]-[Initialize Chain] をクリックすると、ROMFPGA が認識されます。

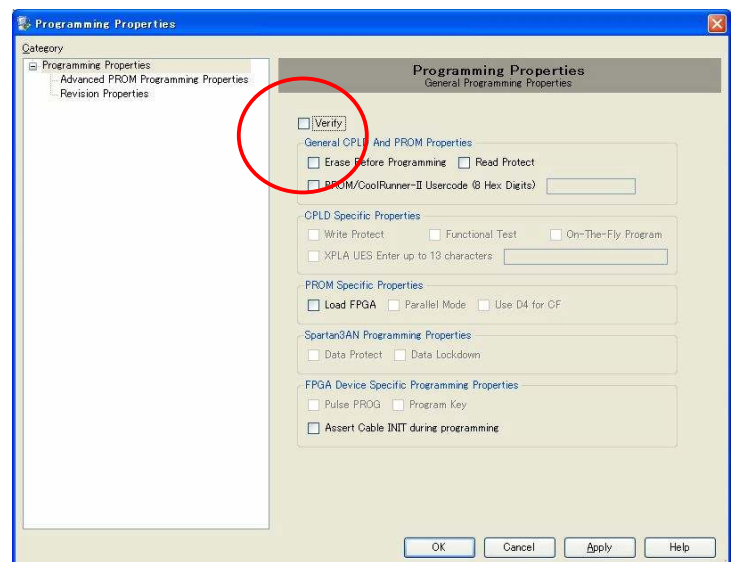
XCM-005-1500/2000 ROM を 2 個、FPGA を 1 個認識
XCM-005-1000 ROM を 1 個、FPGA を 1 個認識

ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください



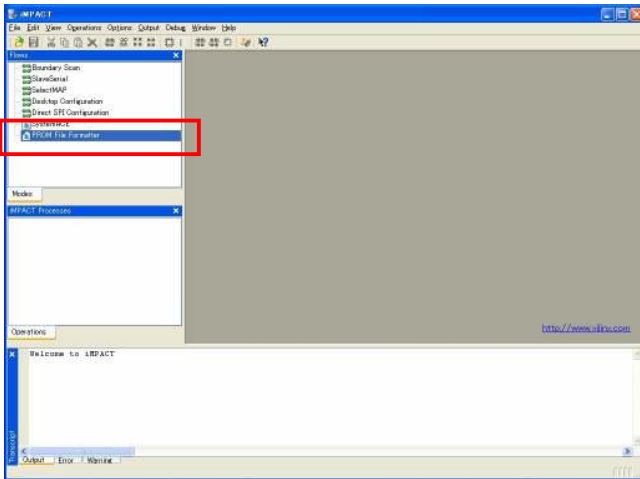
▶ デバイスのアイコン上で右クリックをし、Program... をクリックします。

FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外し、OK をクリックします。



4. コンフィグレーション ROM データの作成方法

▼ 下図 赤枠[PROM File Formatter]上でダブルクリックします。



▼ 次に、PROM の種類を指定し Add をクリックします。

(XCM-005 は xcf04s を使用しているのので、Select a PROM は xcf04s を選択します。)

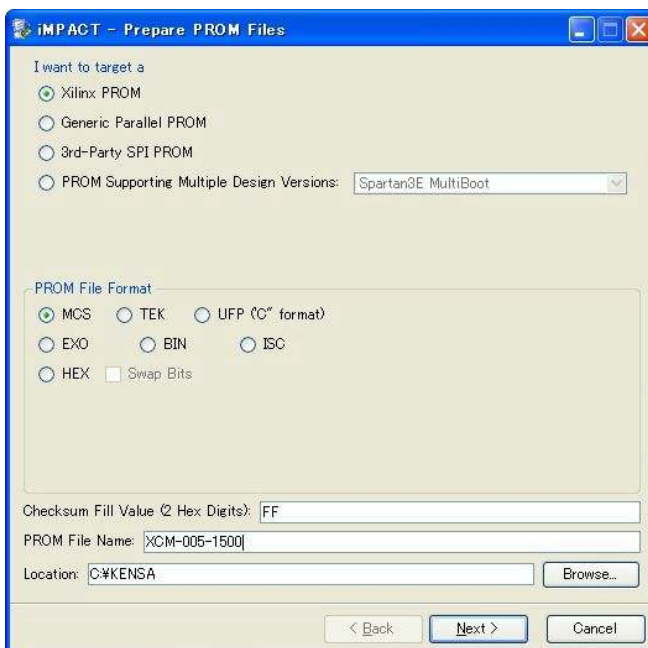
XCM-005-1500/2000

xcf04s を 2 個使用しているのので、Add を 2 度
クリック

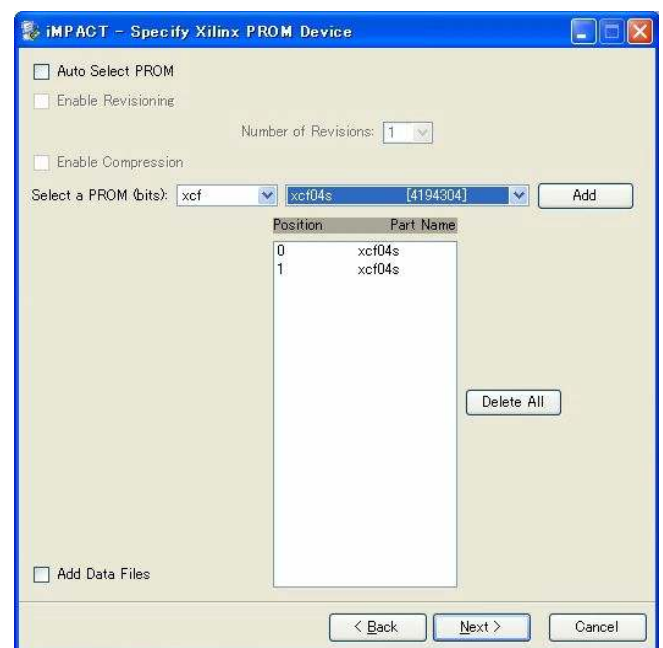
XCM-005-1000

xcf04s を 1 個使用しているのので、Add を 1 度
クリック

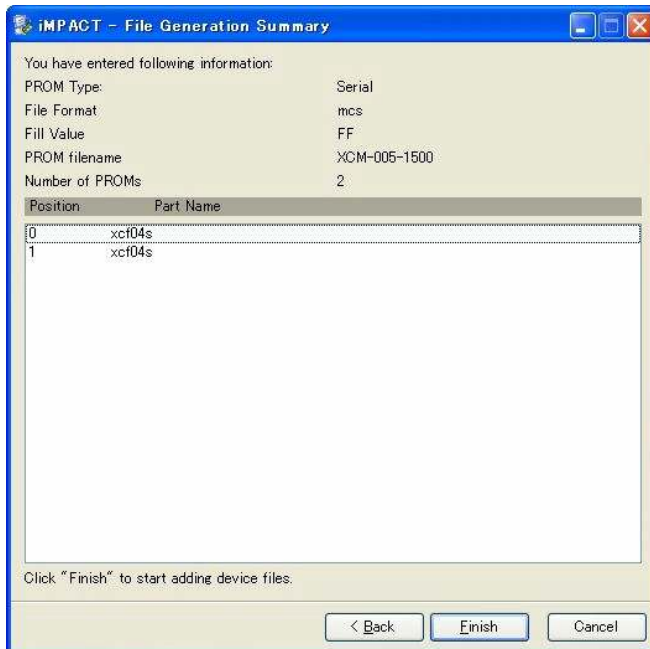
▼ 次に、下図のようにチェックを入れ、File Name と Location (保存先) を指定し **Next>** をクリックします。



下図のようになれば **Next>** をクリックします



▼ 次に、**Finish** をクリックします。



▼ 次に、**OK** をクリックします。

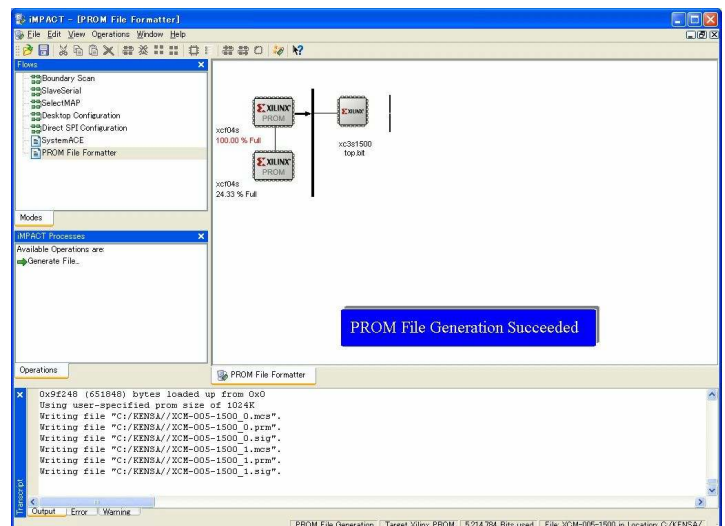


▼ 次に、PROM Formatter タブの、表示エリアで右ボタンメニューの **Generate File** をクリックします。PROM File Generation Succeeded が表示されれば ROM データの完成です。

▼ 次に、下図ダイアログが表示されますので **OK** をクリックし、bit ファイルを指定します。



▼ 次に、**No** をクリックします。



5. コンフィグレーション ROM への書き込み方法

▶ ROM へのデータ書き込みは iMPACT により行います。iMPACT を起動し右図赤枠 [Boundary Scan] 上でダブルクリックします。

次に [File]-[Initialize Chain] をクリックすると、ROM と FPGA が認識されます。

XCM-005-1500/2000 ROM を 2 個、FPGA を 1 個認識

XCM-005-1000 ROM を 1 個、FPGA を 1 個認識

JTAG は任意の bit ファイル、または BYPASS とし、ROM に対して mcs ファイルを割り付けてください。

XCM-102-1500/2000

左側のアイコンに [ファイル名]_0.mcs
右側のアイコンに [ファイル名]_1.mcs } を割り付ます

XCM-102-1000

ROM は 1 個ですので [_0.mcs] [_1.mcs] の使い分けはございません。

▶ ROM を選択し [Operations]-[Program...] もしくは [Program] のアイコンをクリックしてください。

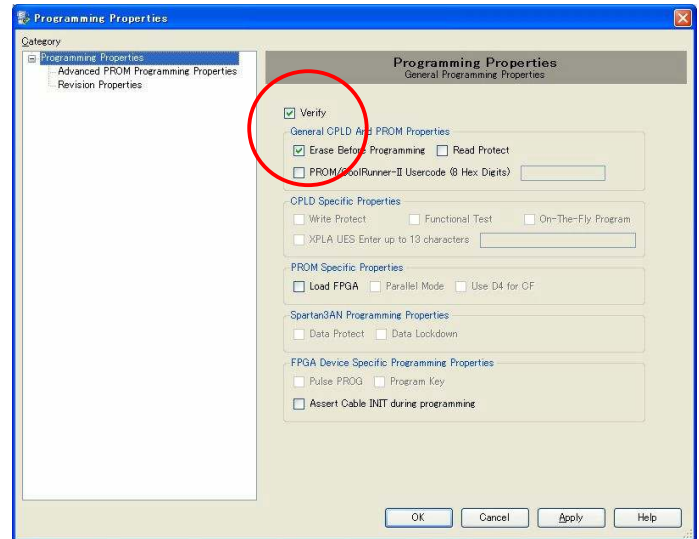
XCM-005-1500/2000

ROM を 2 個選択します。ROM を 2 個選択する方法は [shift] を押しながらクリックで選択できます。

XCM-005-1000

ROM を 1 個選択します。

▶ROM ヘデータ書き込み時は[Verify][Erase Before Programming]にチェックをいれ OK をクリックします。



6. ジャンパスイッチの設定

JP1 ——— M0, M1, M2 信号処理用 (回路図参照)

Table 21: Spartan-3 Configuration Mode Pin Settings

	Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
①	Master Serial	0	0	0	CCLK Output	1	Yes
	Slave Serial	1	1	1	CCLK Input	1	Yes
	Master Parallel	1	1	0	CCLK Output	8	No
	Slave Parallel	0	1	1	CCLK Input	8	No
②	JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(XILINX 社データシートより)

ROM 使用時 : Master Serial mode

- JP1 1-2 間ショート M0= L
- JP1 3-4 間ショート M1= L
- JP1 5-6 間ショート M2= L

出荷時 : Boundary-Scan mode (JTAG mode)

- JP1 1-2 間オープン M0= H
- JP1 3-4 間ショート M1= L
- JP1 5-6 間ショート M2= H

7. コネクタピン割付表

CN1

NET LABEL	FPGA ピン#	コネクタピン #		FPGA ピン#	NET LABEL
	3.3V	1	2	3.3V	
	電源予約	3	4	電源予約	
GND	GND	5	6	GND	GND
IOA0	M5	7	8	M6	IOA1
IOA2	M3	9	10	M4	IOA3
IOA4	N5	11	12	N6	IOA5
IOA6	N1	13	14	N2	IOA7
GND	GND	15	16	GND	GND
IOA8	P6	17	18	R5	IOA9
IOA10	P4	19	20	P5	IOA11
IOA12	P1	21	22	P2	IOA13
IOA14	R1	23	24	R2	IOA15
GND	GND	25	26	GND	GND
IOA16	T5	27	28	T6	IOA17
IOA18	T4	29	30	T3	IOA19
IOA20	A5	31	32	B5	IOA21
IOA22	C5	33	34	D5	IOA23
GND	GND	35	36	GND	GND
IOA24	D6	37	38	E6	IOA25
IOA26	B6	39	40	C6	IOA27
IOA28	A7	41	42	B7	IOA29
IOA30	D7	43	44	E7	IOA31
GND	GND	45	46	GND	GND
IOA32	D8	47	48	E8	IOA33
IOA34	A8	49	50	B8	IOA35
IOA36	A9	51	52	B9	IOA37
IOA38	E9	53	54	F9	IOA39
GND	GND	55	56	GND	GND
IOA40	E10	57	58	F10	IOA41
IOA42	B10	59	60	C10	IOA43
IOA44	E11	61	62	F11	IOA45
IOA46	D4	63	64	E4	IOA47
IOA48	A11	65	66	B11	IOA49

CN2

NET LABEL	FPGA ピン#	コネクタピン #		FPGA ピン#	NET LABEL
	3.3V	1	2	3.3V	
	電源予約	3	4	電源予約	
GND	GND	5	6	GND	GND
IOA0	M17	7	8	M18	IOA1
IOA2	M19	9	10	M20	IOA3
IOA4	N17	11	12	N18	IOA5
IOA6	N21	13	14	N22	IOA7
GND	GND	15	16	GND	GND
IOA8	P17	17	18	P18	IOA9
IOA10	P21	19	20	P22	IOA11
IOA12	R21	21	22	R22	IOA13
IOA14	T18	23	24	R18	IOA15
GND	GND	25	26	GND	GND
IOA16	U18	27	28	T17	IOA17
IOA18	T19	29	30	T20	IOA19
IOA20	B13	31	32	A13	IOA21
IOA22	D13	33	34	C13	IOA23
GND	GND	35	36	GND	GND
IOA24	B14	37	38	A14	IOA25
IOA26	E14	39	40	D14	IOA27
IOA28	E15	41	42	D15	IOA29
IOA30	D16	43	44	C16	IOA31
GND	GND	45	46	GND	GND
IOA32	B16	47	48	A16	IOA33
IOA34	E17	49	50	D17	IOA35
IOA36	C17	51	52	B17	IOA37
IOA38	D18	53	54	C18	IOA39
GND	GND	55	56	GND	GND
IOA40	D19	57	58	D20	IOA41
IOA42	E22	59	60	E21	IOA43
IOA44	E20	61	62	E19	IOA45
IOA46	F18	63	64	E18	IOA47
IOA48	C12	65	66	B12	IOA49

SD-RAM

PIN#	FPGA ピン番号	備考
SDD0	U12	
SDD1	AA3	
SDD2	Y4	
SDD3	AA4	
SDD4	AB4	
SDD5	W5	
SDD6	Y5	
SDD7	V6	
SDD8	W6	
SDD9	Y6	
SDD10	AA6	
SDD11	U7	
SDD12	V7	
SDD13	Y7	
SDD14	AA7	
SDD15	AB7	
SDADD0	V8	
SDADD1	W8	
SDADD2	AA8	
SDADD3	AB8	
SDADD4	U9	
SDADD5	V9	
SDADD6	AA9	
SDADD7	AB9	
SDADD8	U10	
SDADD9	V10	
SDADD10	Y10	
SDADD11	AA10	
SDADD12	AB10	
SDBS0	U11	
SDBS1	V11	
SDLQDM	AB18	
SDUDQM	AA18	
nSDWE	Y18	
nSDCAS	AA17	
nSDRAS	W17	
nSDCS	V18	
nSDCLKE	Y17	
SDDCLK	W11 Y11	

USB

PIN#	FPGA ピン番号	備考
USB_OPTN	T22	
UAB_PDET	U19	
USBUMPA	V20	
USBDMA	U21	
USBPDA	V19	
USBUPPA	V21	

LED

LED	FPGA ピン番号	NET LABEL
L3	U17	LED0
L4	V17	LED1

CLOCK

オンボードクロック	FPGA ピン番号	NET LABEL
48MHz	AB12	GCLK0
18.432MHz	AA12	GCLK1
48MHz	AA11	GCLK3

8. XCM-005 シリーズ の参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html

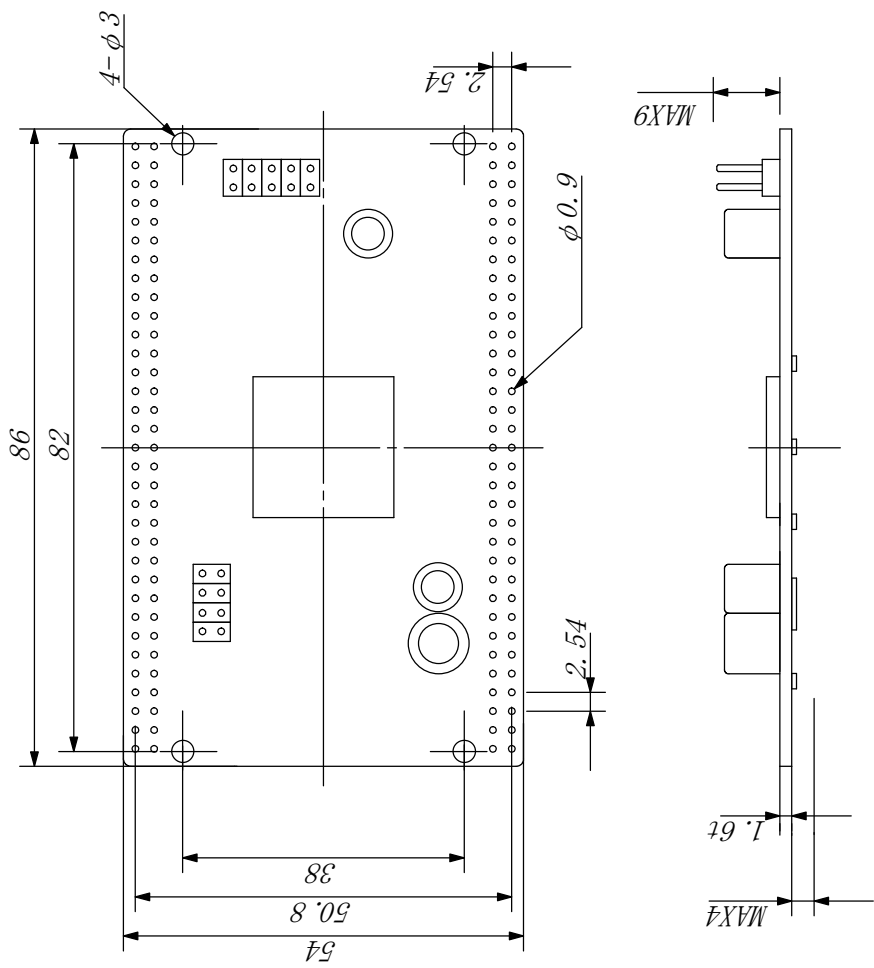
にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 基板回路図



HUMANDATA		UNIT	TITLE
CHK	DWG	SIZE	XCM-005外形尺寸图
		DWG NO	REV
		G-XCM-005	B

Spartan-3 FPGA ブレッドボード
XCM-005 シリーズ
ユーザーズマニュアル

2005/03/02 初版

2005/06/22 第2版

2006/02/28 第3版

2006/07/11 第3版 (A)

2007/11/20 第3版 (A1)

2008/10/28 第4版 (Rev2)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
