

Spartan-II ブレッドボード  
(カードサイズ)  
XCM-004 シリーズ(Rev2)  
ユーザーズマニュアル  
Ver. 2.1



ヒューマンデータ



# 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	3
2. 仕様.....	3
3. 製品概要.....	4
3.1 各部の名称.....	4
3.2 電源入力.....	4
3.3 JTAG コネクタ.....	5
4. FPGA のコンフィギュレーション.....	6
5. コンフィギュレーション ROM データの作成方法.....	7
6. コンフィギュレーション ROM へのデータ書き込み方法.....	9
7. ジャンプスイッチの説明.....	10
8. FPGA ピン割付け表.....	11
8.1 CNA.....	11
8.2 CNB.....	12
8.3 オンボードクロック.....	13
8.4 外部入力クロック.....	13
9. 参考資料について.....	13
10. 付属資料.....	13

---

## ● はじめに

この度は、Spartan-II ブレッドボード/XCM-004 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-004 シリーズは、XILINX の高性能 FPGA Spartan-II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1. 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

 <b>注意</b>	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
13. 静電気にご注意ください。	

**● 改訂記録**

日付	バージョン	改訂内容
2010/09/25	2.0	RoHS 対応
2010/07/07	2.1	ECS-300(72KHz,18.432MHz)のディスコンによる仕様変更

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-004 シリーズ	1
付属品	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

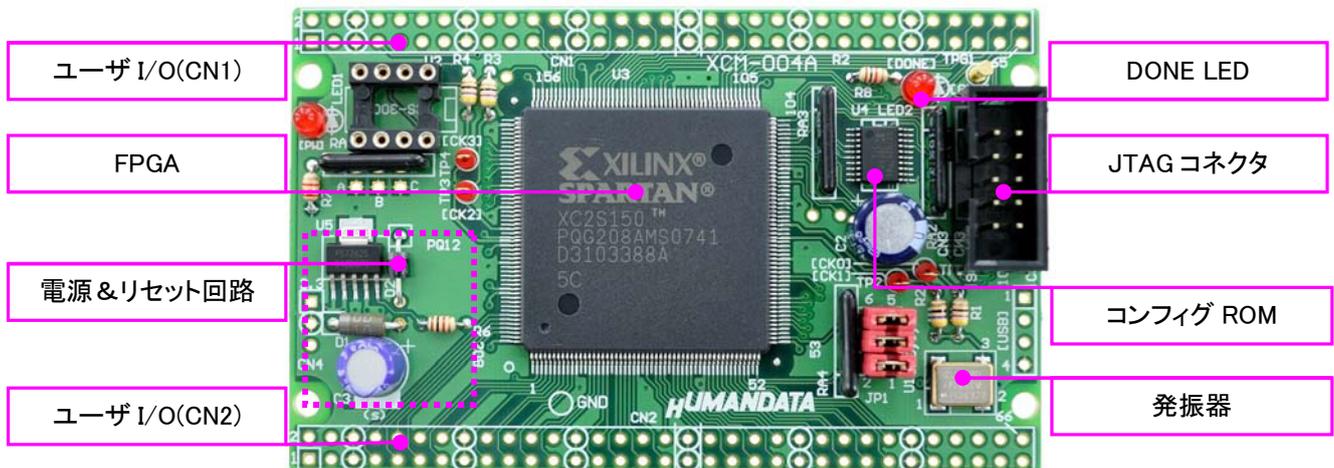
\* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

## 2. 仕様

製品型番	XCM-004-150	XCM-004-200
搭載 FPGA	XC2S150-5PQG208C	XC2S200-5PQG208C
コンフィグ ROM	XCF02SVOG20C	
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
質量	約 30 [g]	
ユーザ I/O	100 本	
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] × 2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
オンボードクロック	48MHz (外部供給可能)	
コンフィグ用リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER、DONE)	
付属品	DIL80 ピンヘッダ(任意にカット可能) 2 本 ジャンパソケット 2 個	

### 3. 製品概要

#### 3.1 各部の名称



部品面

#### 3.2 電源入力

本ボードは、DC 3.3V単一電源で動作します。内部に必要な、2.5V はオンボードのレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CN1、CN2 から供給してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

## 3.3 JTAG コネクタ

FPGA へのコンフィギュレーション、内蔵の ISP 可能なシリアル ROM への書き込みに使います。ピン配置は次表のとおりです。

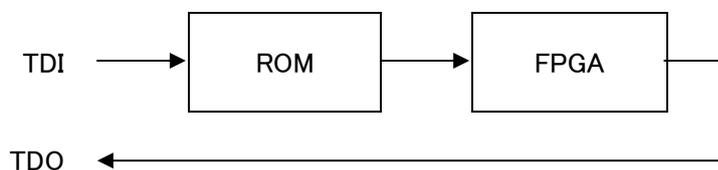
信号名	ピン番号		方向
TCK	1	2	GND
TDO	3	4	VCC(3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

弊社製ダウンロードケーブル XC3 の 10 ピンコネクタと 1:1 で対応しています。XILINX 社の純正ケーブルを用いることもできます。

### 注意

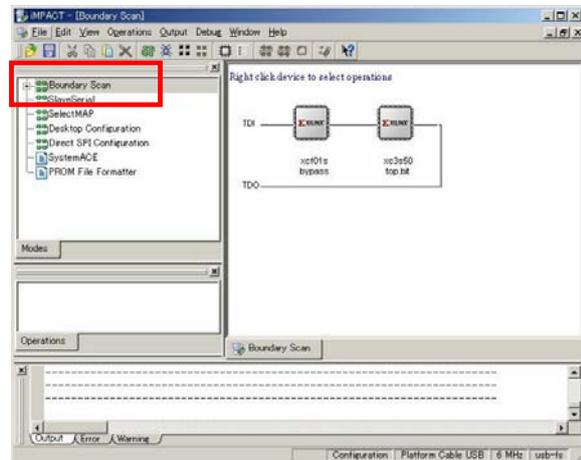
ダウンロードケーブルとコネクタの対応に注意して接続して下さい。

JTAG チェインには ROM と FPGA の両方が接続されています。

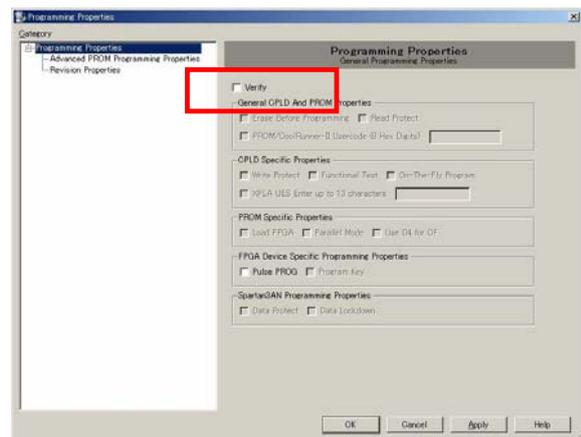


## 4. FPGA のコンフィギュレーション

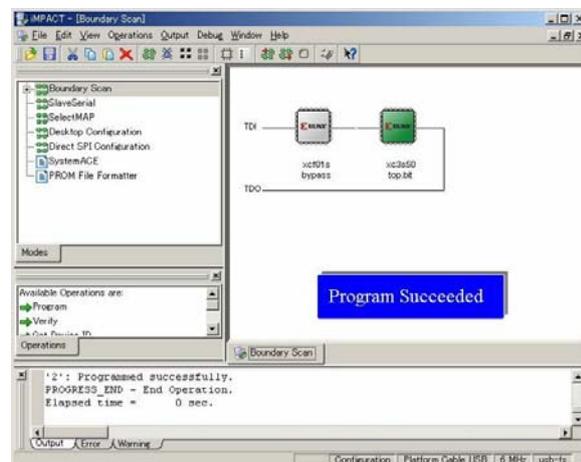
1. FPGA へのコンフィギュレーションは iMPACT により行います。iMPACT を起動し、右図赤枠 [Boundary Scan] をダブルクリックします。[File] - [Initialize Chain] をクリックすると、ROM と FPGA が認識されます。ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください。



2. デバイスのアイコン上で右クリックをし、Program... をクリックします。FPGA へのコンフィギュレーションの際は、通常 Verify のチェックを外してください。

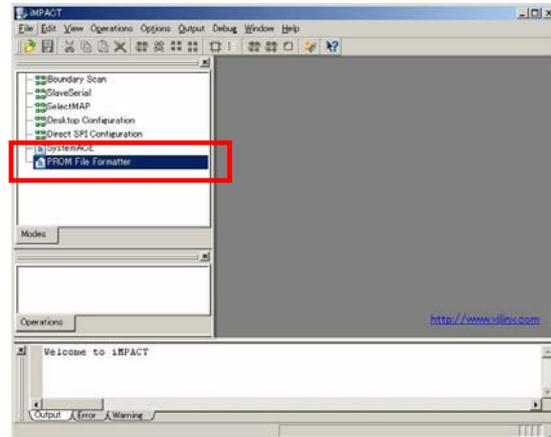


3. 書き込みが成功すると、Program Succeeded と表記されます。

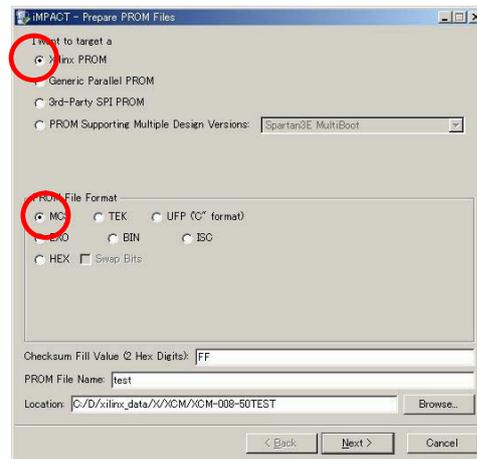


## 5. コンフィギュレーション ROM データの作成方法

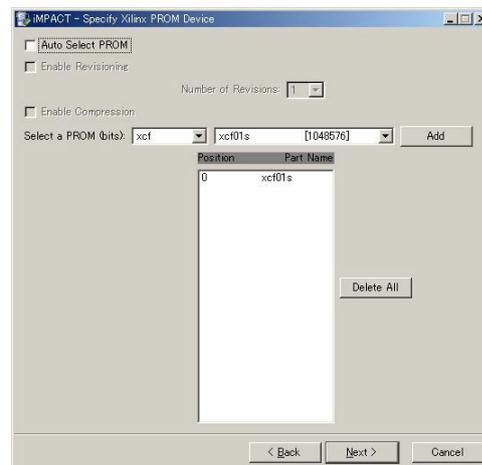
1. 右図 赤枠[PROM File Formatter]上でダブルクリックします。



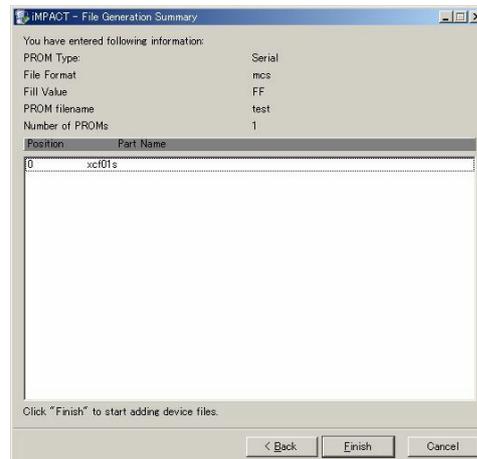
2. 次に、右図のようにチェックを入れ、File Name と Location(保存先)を指定し **Next>**をクリックします。



3. 次に、PROMの種類を指定しAddをクリックします。  
(XCM-004 シリーズは xcf02s 指定します)  
右図のようになれば **Next>**をクリックします。



4. 次に、**Finish** をクリックします。



5. 次に、下図ダイアログが表示されますので **OK** をクリックし、bit ファイルを指定します。



6. 次に、**No** をクリックします。

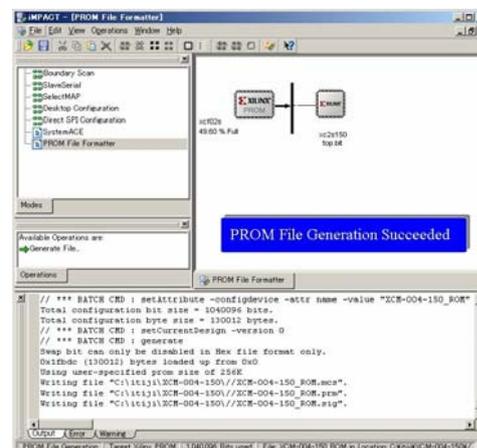


7. 次に、**OK** をクリックします。



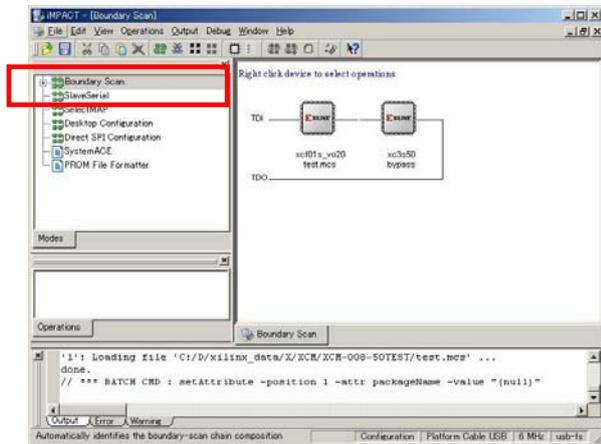
8. 次に、PROM Formatter タブの、表示エリアで右ボタンメニューの **Generate File** をクリックします。

PROM File Generation Succeeded が表示されれば ROM データの完成です。

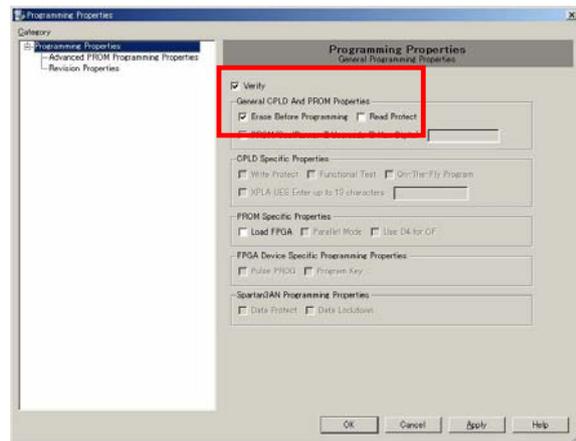


## 6. コンフィギュレーション ROM へのデータ書き込み方法

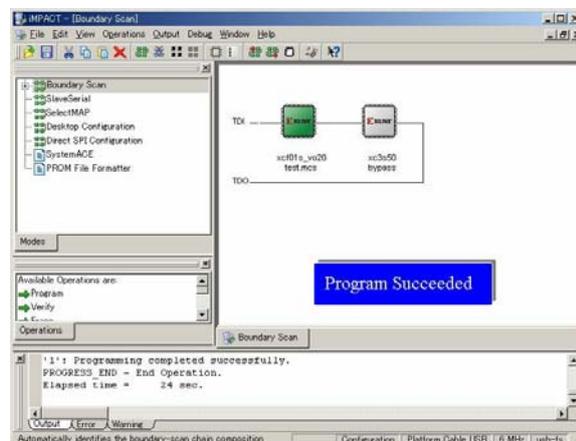
- ROM へのデータ書き込みは iMPACT により行います。  
右図赤枠[Boundary Scan]をダブルクリックします。iMPACT を起動し [File]-[Initialize Chain]をクリックすると、ROMとFPGAが認識されます。FPGAには任意の bit ファイル、または BYPASS とし、ROM に対して mcs ファイルを割り付けてください。



- デバイスのアイコン上で右クリックをし、[Program...]をクリックします。ROM へのデータ書き込み時は [Verify] [Erase Before Programming] にチェックをいれ OK をクリックします。



- Program Succeeded が表示されれば終了です。



## 7. ジャンパスイッチの説明

### JP4: M0,M2 信号 設定用

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode <sup>(1)</sup>	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT <sup>(2)</sup>
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

**Notes:**

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

### ROM 使用時: Master Serial mode

JP1 ショート M0 = 0  
M1 = 0  
M2 = 0

### 出荷時: JTAG mode

JP4 オープン M0 = 1  
M1 = 0  
M2 = 1

## 8. FPGA ピン割付け表

### 8.1 CNA

BANK	NET LABEL	FPGA	CNA		FPGA	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOB0 *1	174	7	8	173	IOB1 *2	A
A	IOB2	172	9	10	168	IOB3	A
A	IOB4	167	11	12	166	IOB5	A
A	IOB6	165	13	14	164	IOB7	A
	GND	GND	15	16	GND	GND	
A	IOB8	163	17	18	162	IOB9	A
A	IOB10	161	19	20	160	IOB11	A
A	IOB12	152	21	22	151	IOB13	A
A	IOB14	150	23	24	149	IOB15	A
	GND	GND	25	26	GND	GND	
A	IOB16	148	27	28	147	IOB17	A
A	IOB18	146	29	30	142	IOB19	A
A	IOB20	141	31	32	140	IOB21	A
A	IOB22	139	33	34	138	IOB23	A
	GND	GND	35	36	GND	GND	
A	IOB24	136	37	38	135	IOB25	A
A	IOB26	134	39	40	133	IOB27	A
A	IOB28	132	41	42	129	IOB29	A
A	IOB30	127	43	44	126	IOB31	A
	GND	GND	45	46	GND	GND	
A	IOB32	125	47	48	123	IOB33	A
A	IOB34	122	49	50	121	IOB35	A
A	IOB36	120	51	52	119	IOB37	A
A	IOB38	115	53	54	114	IOB39	A
	GND	GND	55	56	GND	GND	
A	IOB40	112	57	58	113	IOB41	A
A	IOB42	110	59	60	111	IOB43	A
A	IOB44	108	61	62	109	IOB45	A
A	IOB46	101	63	64	102	IOB47	A
A	IOB48	99	65	66	100	IOB49	A

\*1 抵抗を介して FPGA ピン# 182 (CLK2) に接続可能

\*2 抵抗を介して FAGA ピン# 185 (CLK3) に接続可能

## 8.2 CNB

BANK	NET LABEL	FPGA	CNB		FPGA	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOA0 *3	202	7	8	203	IOA1 *4	B
B	IOA2	204	9	10	205	IOA3	B
B	IOA4	206	11	12	3	IOA5	B
B	IOA6	4	13	14	5	IOA7	B
	GND	GND	15	16	GND	GND	
B	IOA8	6	17	18	7	IOA9	B
B	IOA10	8	19	20	9	IOA11	B
B	IOA12	10	21	22	14	IOA13	B
B	IOA14	15	23	24	16	IOA15	B
	GND	GND	25	26	GND	GND	
B	IOA16	17	27	28	18	IOA17	B
B	IOA18	20	29	30	21	IOA19	B
B	IOA20	22	31	32	23	IOA21	B
B	IOA22	24	33	34	27	IOA23	B
	GND	GND	35	36	GND	GND	
B	IOA24	29	37	38	30	IOA25	B
B	IOA26	31	39	40	33	IOA27	B
B	IOA28	34	41	42	35	IOA29	B
B	IOA30	36	43	44	37	IOA31	B
	GND	GND	45	46	GND	GND	
B	IOA32	41	47	48	42	IOA33	B
B	IOA34	43	49	50	44	IOA35	B
B	IOA36	45	51	52	46	IOA37	B
B	IOA38	47	53	54	48	IOA39	B
	GND	GND	55	56	GND	GND	
B	IOA40	49	57	58	57	IOA41	B
B	IOA42	58	59	60	59	IOA43	B
B	IOA44	60	61	62	61	IOA45	B
B	IOA46	62	63	64	63	IOA47	B
B	IOA48	67	65	66	68	IOA49	B

\*3 抵抗を介して FPGA ピン# 80 (CLK0) に接続可能

\*4 抵抗を介して FPGA ピン# 77 (CLK1) に接続可能

## 8.3 オンボードクロック

周波数	NET LABEL	FPGA
48 MHz	CLK0	80
	CLK1	77

## 8.4 外部入力クロック

周波数	NET LABEL	FPGA
任意	CLK0	80
	CLK1	77
	CLK2	182
	CLK3	185

※ 外部からクロックを入力するときは、R1-R4 の抵抗を外し、  
オプション抵抗 R6, 15, 16, 17 を実装する必要があります。

## 9. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-004/index.html>

- 回路図
- 外形図
- パターン図
- ネットリスト ...等

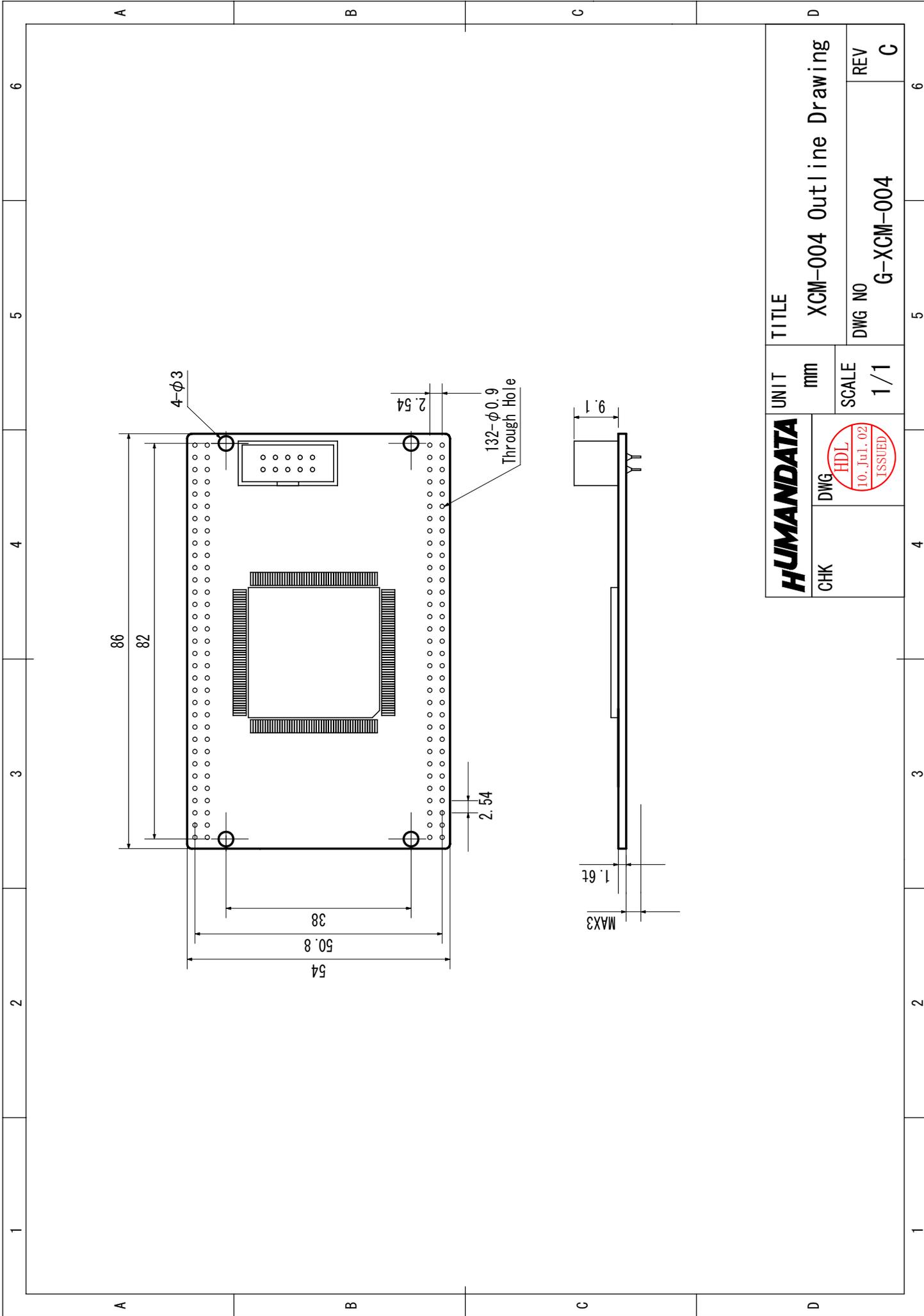
また下記サポートページも合わせてご活用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 10. 付属資料

1. 基板外形図
2. 回路図（別紙）





<b>HUMANDATA</b>	UNIT	TITLE	
	mm	XCM-004 Outline Drawing	
CHK	DWG	DWG NO	REV
		G-XCM-004	C
		SCALE	
		1/1	

---

## **Spartan-II ブレッドボード**

XCM-004 シリーズ  
ユーザーズマニュアル

2005/01/18 Ver. 1.0 初版 (R1)  
2005/06/30 Ver. 1.1 第 2 版 (R1)  
2006/05/22 Ver. 1.2 第 2 版 (A) (R1)  
2008/04/17 Ver. 1.3 第 3 版 (R1)  
2009/09/25 Ver. 2.0 第 4 版 (Rev2)

**2010/07/07 Ver. 2.1**

---

### **有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積 1-2-10  
ジブラルタ生命茨木ビル

TEL 072-620-2002  
FAX 072-620-2003  
URL <http://www.hdl.co.jp/>

---