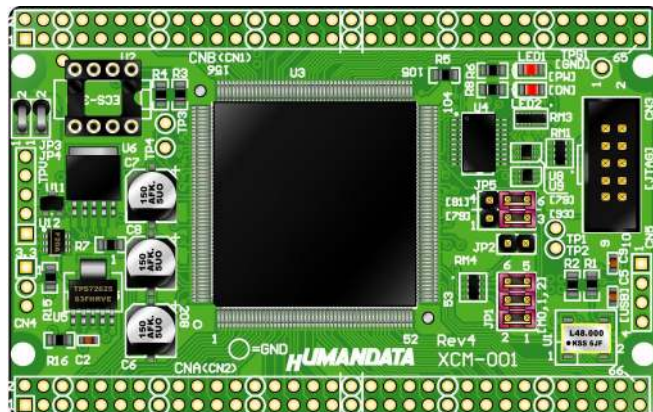


Spartan-3 ブレッドボード

XCM-001-200/400

ユーザーズマニュアル

Ver.4.3



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	2
3. 各種仕様.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 開発環境.....	4
3.4. 電源入力.....	5
3.5. JTAG コネクタ.....	5
4. FPGA へのコンフィギュレーション方法.....	6
5. XCF02 への書き込み.....	7
5.1. MCS データの作成.....	7
5.2. XCF02 へ書き込み方法.....	9
5.3. ROM から FPGA にコンフィギュレーション.....	10
6. ジャンプスイッチの説明.....	10
6.1. リビジョン設定.....	10
6.2. コンフィギュレーションモード設定.....	11
7. FPGA ピン割付表.....	12
7.1. ユーザ I/O CNA(CN2).....	12
7.2. ユーザ I/O CNB(CN1).....	13
8. サポートページ.....	14
9. リビジョン(R2,R3,R4)について.....	14
10. 付属資料.....	14
11. お問い合わせについて.....	15



● はじめに

この度は、Spartan-3 ブレッドボード/XCM-001 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-001-200/400 は、XILINX の高性能 FPGA Spartan-3 (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/05/11	4.2	仕様の変更 ECS-300 (72KHz, 18.432MHz) のディスコンによるクロックの変更
2012/08/29	4.3	誤植修正など

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-001-200/400	1
付属品 (予備ジャンパなど)	1
マニュアル (本書)	1 *
ユーザー登録はがき	1 *
* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)	

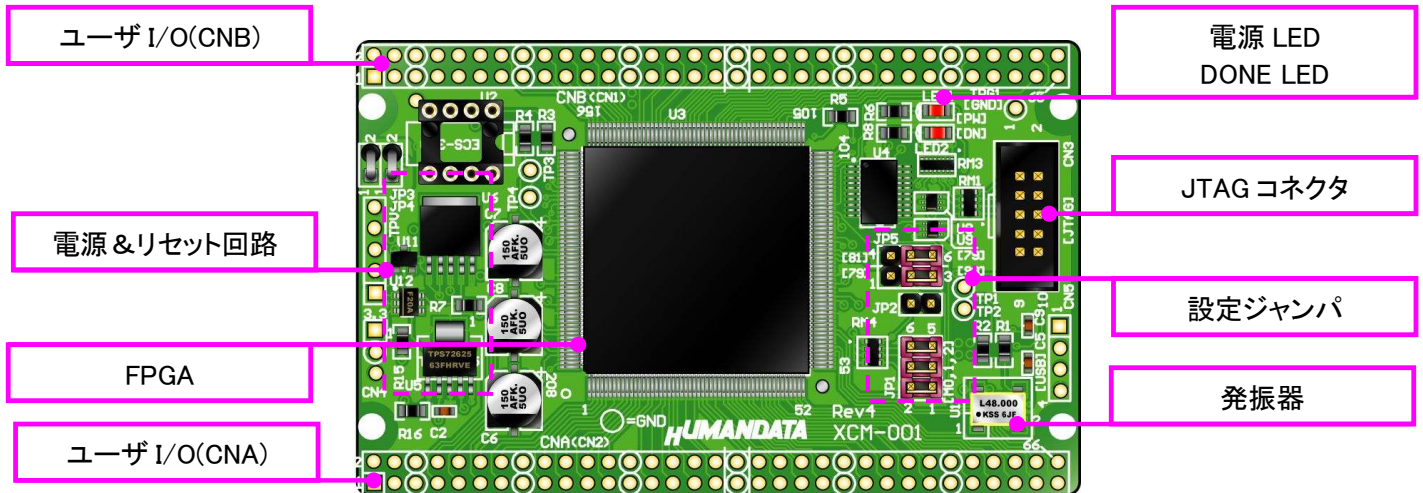
2. 仕様

製品型番	XCM-001-200	XCM-001-400
搭載 FPGA	XC3S200-4PQG208C	XC3S400-4PQG208C
電源	DC 3.3V (詳細は FPGA データシートご参照)	
消費電流	N/A (詳細は FPGA データシートご参照)	
基板寸法	86 × 54 [mm]	
質量	約 30 [g]	
ユーザ I/O	100 本 (50 本 × 2)	
I/O コネクタ	2.54 ピッチ 2 列パッド引き出し	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィギュレーション ROM	XCF02SVOG20C (Xilinx)	
オンボードクロック	48MHz	
リセット回路	内蔵	
JTAG コネクタ	DIL10 ピン、BOX ヘッダ	
LED	電源表示用、コンフィギュレーション完了表示用	
付属品	2 列 × 40 ピン、ジャンパヘッダ 2 本	
	ジャンパソケット 2 個	

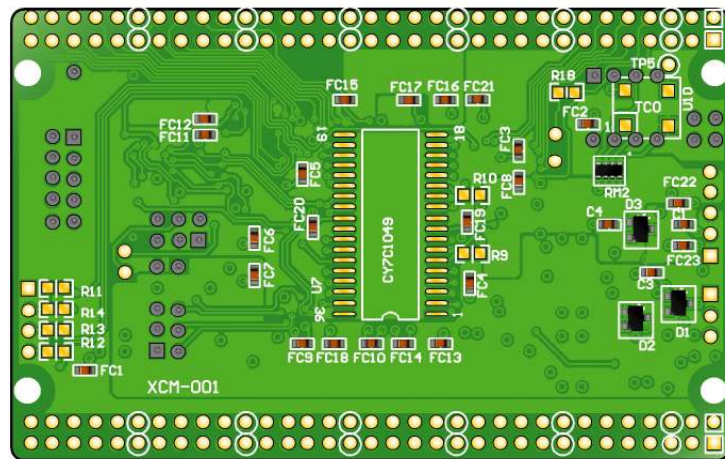
*これらの部品や仕様は変更となる場合がございます

3. 各種仕様

3.1. 各部の名称

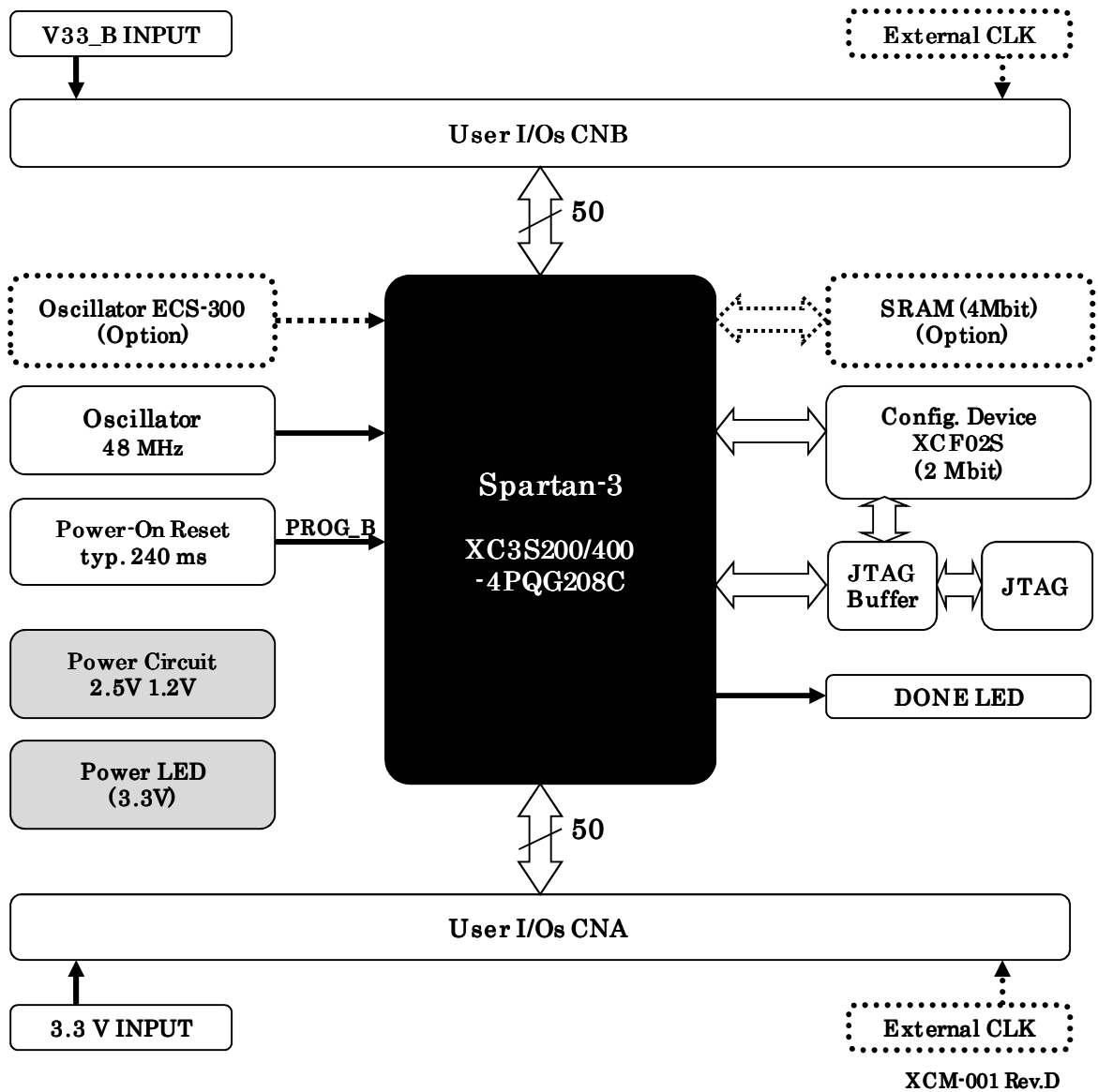


部品面



はんだ面

3.2. ブロック図



3.3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3.4. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。CNA、CNB または CN4 から供給してください。

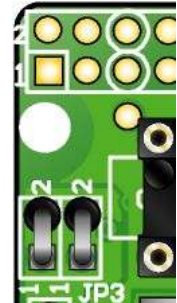
内部に必要な、2.5V、1.2V はオンボードのレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

一部 I/O について、VCCO を分離することができます。

ボード上の JP3、JP4 に実装されているゼロオーム抵抗を取り外し、CNB の 1 番と 2 番から VCCO を供給してください。

FPGA の BANK-2 と BANK-3 について、VCCO を別にすることができます。

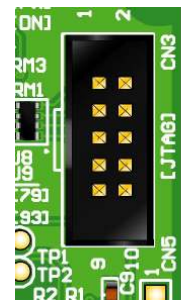
CNA は 3.3V に限られます。



3.5. JTAG コネクタ

FPGA へのコンフィギュレーション、ISP 可能なシリアル ROM への書込みに用います。ピン配置は次表のとおりです。

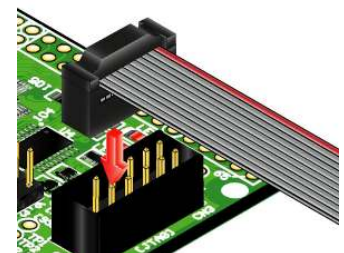
信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



弊社製ダウンロードケーブル XC3 の 10 ピンコネクタと 1:1 で対応しています。

XILINX 社の純正ケーブルを用いることもできます。

シリアル ROM によりコンフィギュレーションする場合は、XCF02S に JTAG 経由で ISP (オンボード書込み) してください。



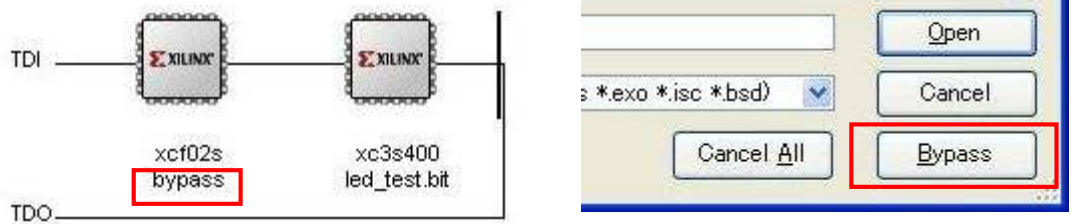
JTAG チェインには BUS SW を介して XCF02 と FPGA の両方に接続されています。



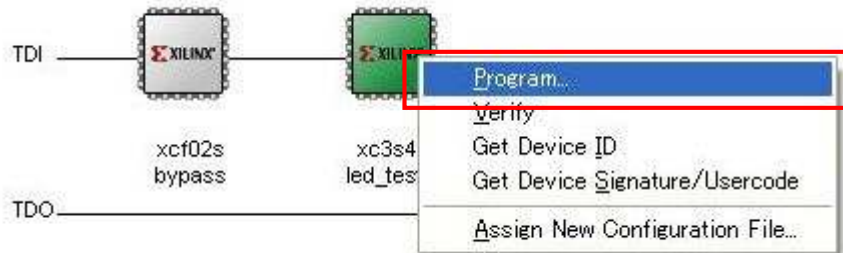
4. FPGA へのコンフィギュレーション方法

- ▼ FPGA へのコンフィギュレーションは iMPACT により行います。
iMPACT を起動し [File]-[Initialize Chain] をクリックすると、FPGA と ROM が認識されます。ROM は BYPASS とし FPGA に対して bit ファイルを割り付けてください。

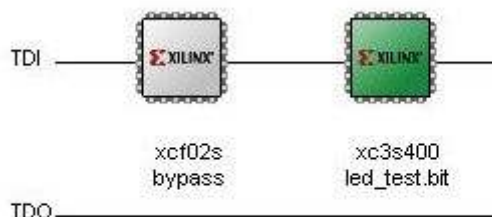
Right click device to select operations



- ▼ FPGA のアイコンを右クリックし、[Program...] を実行します



- ▼ [Program Succeeded] と表記されると、FPGA へのコンフィギュレーションは終了です。

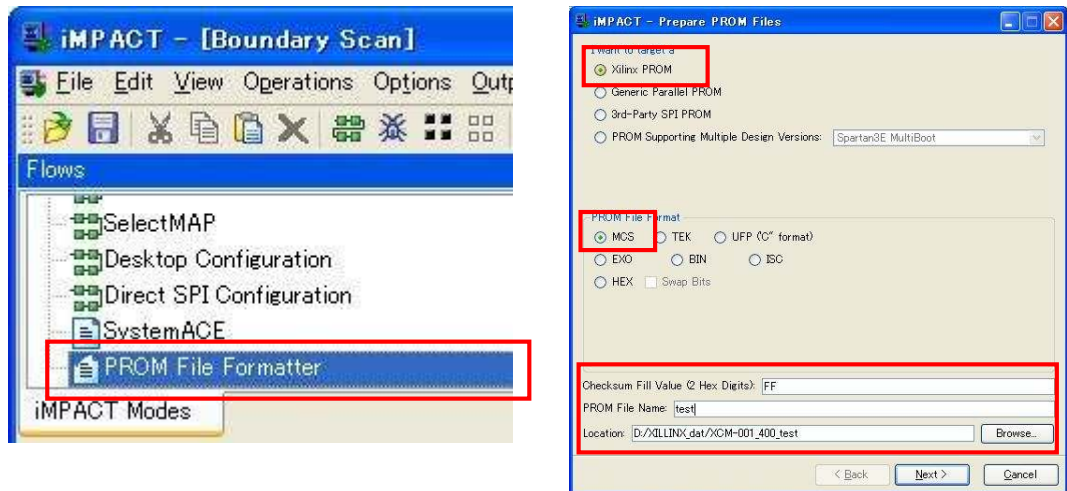


Program Succeeded

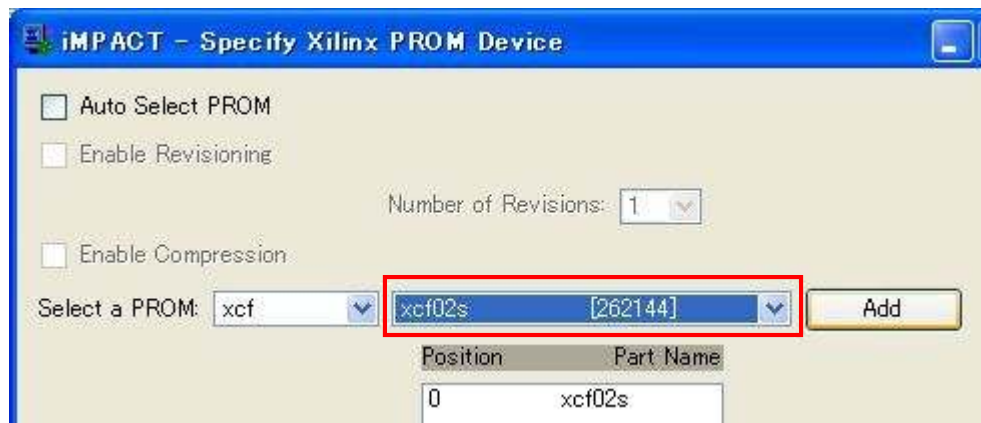
5. XCF02 への書き込み

5.1. MCS データの作成

- ▼ [PROM File Formatter] をダブルクリックし、“Xilinx PROM”、“MCS” にチェックを入れ、任意の FILE 名、保存先を選択し [NEXT>] をクリックしてください。



- ▼ [xcf02s] を選択し [Add] をクリックし [NEXT>] をクリックしてください。



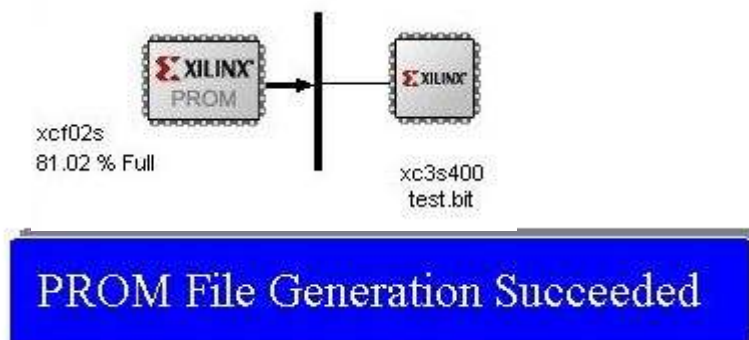
- ▼ [Finish] をクリックしてください。
- ▼ [OK] をクリックし、bit ファイルを選択してください。



- ▼ [No]、[OK]をクリックし、[Generate File...]をダブルクリックしてください。



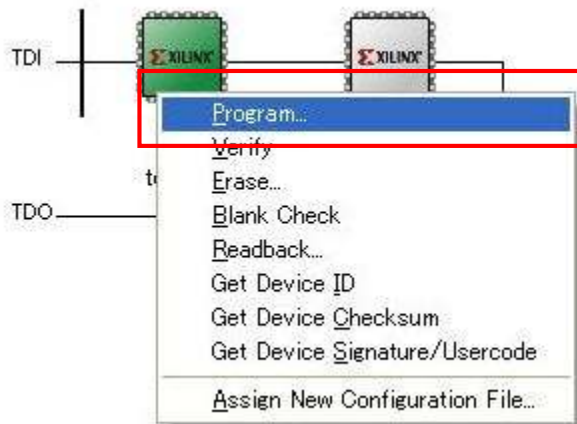
- ▼ [PROM File Generation Succeeded]と表示されれば完了です。



5.2. XCF02 へ書き込み方法

XCF02 へ書き込みは iMPACT により行います。

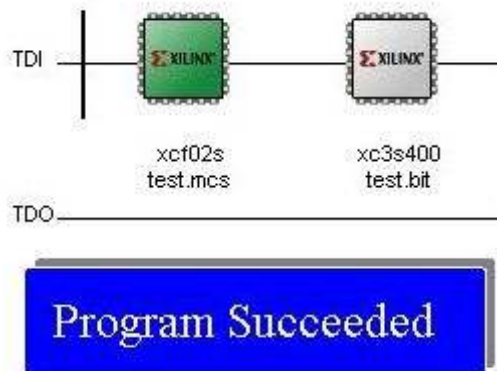
- ▼ ROM のアイコン上にて右クリックし、[Program]をクリックしてください。



- ▼ [Verify]、[Erase Before Programming]にチェックを入れ[OK]をクリックしてください。



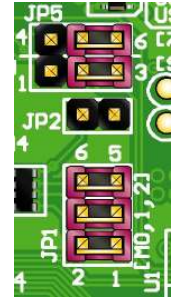
- ▼ [Program Succeeded]と表記されれば終了です。



5.3. ROM から FPGA にコンフィギュレーション

JP1 を設定し、コンフィギュレーションモードを Master Serial モードとしてください。ボードの電源を入れなおすことで、自動的にコンフィギュレーションされます。

詳しい説明は次項[ジャンプスイッチの説明] をご参照ください。



注意

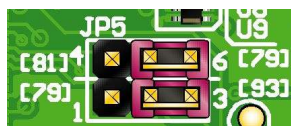
十分動作の確認を行ってから書き込みを行ってください

6. ジャンプスイッチの説明

6.1. リビジョン設定

JP5 の切り替えにより、Rev3 までの機能と Rev4 の切り替えを行うことができます。

Rev4 として使用する



Rev3 以前と同じ機能で使用する



6.2. コンフィギュレーションモード設定

JP1により、FPGAのコンフィギュレーションモードを設定できます。詳しくは下図をご参考ください。

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx社データシートより)

JP1 : コンフィギュレーションモード設定 (M0, M1, M2)

・マスタシリアルモード (出荷時設定)

コンフィグROMへの書込みや、電源投入時のROMからのコンフィギュレーションにはこのモードを使用します。

1-2間 : ショート (M0= 0)

3-4間 : ショート (M1= 0)

5-6間 : ショート (M2= 0)

・JTAGモード

1-2間 : オープン (M0= 1)

3-4間 : ショート (M1= 0)

5-6間 : オープン (M2= 1)

JP2 : コンフィギュレーション中 I/O プルアップ抵抗設定 (HSWAP ENABLE)

ショート(L) : プルアップ有効

オープン(H) : プルアップ無効 (出荷時設定)

JP3、JP4 : FPGAのVCC0 (BANK-2、BANK-3) 供給用

出荷時は、ゼロオーム抵抗により、V33_A (3.3V) と接続されています。

FPGAのBANK-2とBANK-3のVCC0を別電源として供給するときには、ゼロオーム抵抗を2個ともカットし、CN1の1番2番ピンから別電源を供給してください。

7. FPGA ピン割付表

7.1. ユーザ I/O CNA (CN2)

BANK Group	NET LABEL	FPGA ピン	CNA ピン		FPGA ピン	NET LABEL	BANK Group
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
A	IOA0	199	7	8	200	IOA1	A
A	IOA2	203	9	10	204	IOA3	A
A	IOA4	205	11	12	2	IOA5	A
A	IOA6	3	13	14	4	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	5	17	18	7	IOA9	A
A	IOA10	9	19	20	10	IOA11	A
A	IOA12	11	21	22	12	IOA13	A
A	IOA14	13	23	24	15	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	16	27	28	18	IOA17	A
A	IOA18	19	29	30	20	IOA19	A
A	IOA20	21	31	32	22	IOA21	A
A	IOA22	24	33	34	26	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	27	37	38	28	IOA25	A
A	IOA26	29	39	40	31	IOA27	A
A	IOA28	33	41	42	34	IOA29	A
A	IOA30	35	43	44	36	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	37	47	48	39	IOA33	A
A	IOA34	40	49	50	42	IOA35	A
A	IOA36	43	51	52	44	IOA37	A
A	IOA38	45	53	54	46	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	48	57	58	50	IOA41	A
A	IOA42	51	59	60	52	IOA43	A
A	IOA44	57	61	62	58	IOA45	A
A	IOA46	61	63	64	62	IOA47	A
A	IOA48	93	65	66	90	IOA49	A

* Rev4 から CN2 は CNA となりました。

IOA48

Rev4 以降は JP5 の設定のより割付先変更可能
(REV4NET とショートに注意してください)
Rev4 以前のものとの互換性をもたせることが可能
詳細は回路図をご覧ください。

7.2. ユーザ I/O CNB (CN1)

BANK Group	NET LABEL	FPGA ピン	CNB ピン		FPGA ピン	NET LABEL	BANK Group
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
A	IOB0	169	7	8	168	IOB1	A
A	IOB2	167	9	10	166	IOB3	A
A	IOB4	165	11	12	162	IOB5	A
A	IOB6	161	13	14	156	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	155	17	18	154	IOB9	B
B	IOB10	152	19	20	150	IOB11	B
B	IOB12	149	21	22	148	IOB13	B
B	IOB14	147	23	24	146	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	144	27	28	143	IOB17	B
B	IOB18	141	29	30	140	IOB19	B
B	IOB20	139	31	32	138	IOB21	B
B	IOB22	137	33	34	135	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	133	37	38	132	IOB25	B
B	IOB26	131	39	40	130	IOB27	B
B	IOB28	128	41	42	126	IOB29	B
B	IOB30	125	43	44	124	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	123	47	48	122	IOB33	B
B	IOB34	120	49	50	119	IOB35	B
B	IOB36	117	51	52	116	IOB37	B
B	IOB38	115	53	54	114	IOB39	B
	GND	GND	55	56	GND	GND	
B	IOB40	113	57	58	111	IOB41	B
B	IOB42	109	59	60	108	IOB43	B
B	IOB44	107	61	62	106	IOB45	B
A	IOB46	102	63	64	101	IOB47	A
A	IOB48	96	65	66	95	IOB49	A

* Rev4 から CN1 は CNB となりました。

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-001/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト

...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/index.php>

9. リビジョン (R2, R3, R4) について

R2 (Rev2) では、VCC0 を分割供給できるようになりました。

R3 (Rev3) では、JTAG 回路にシュミットトリガーバッファを追加し、JTAG アクセスの安定化をはかりました。また、オプションで発振器を追加実装できるパターンを設けました (はんだ面 U10)。

R4 (Rev4) では R3 までのリビジョンと互換性を持たせ、使用できなかった CLK1 を使用できるように変更しました。(ジャンパ設定必要)

10. 付属資料

1. 基板回路図 (別紙)
2. 外形図

11. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

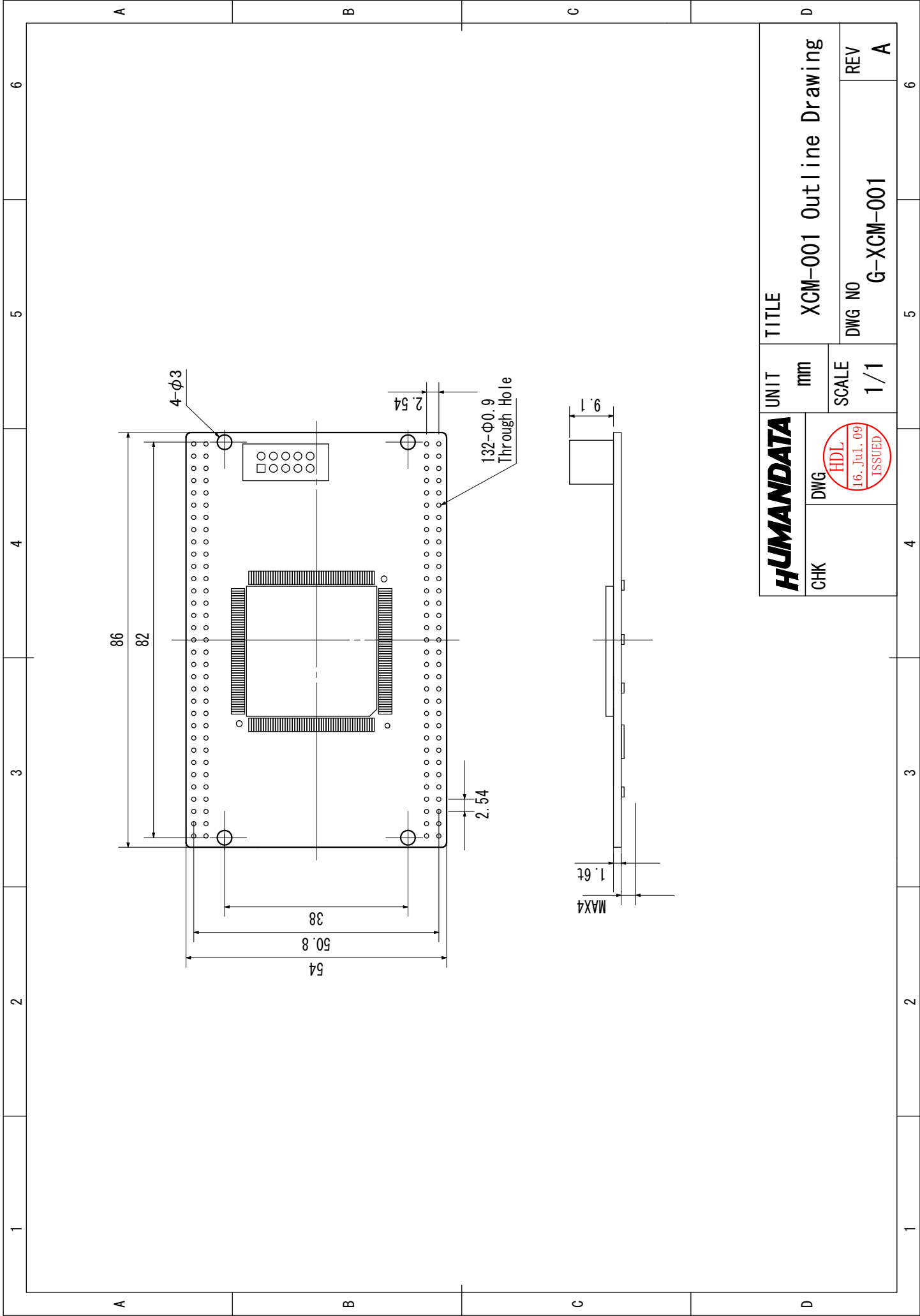
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA	UNIT	TITLE	REV
	mm	XCM-001 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	G-XCM-001
		ISSUED	
		16. Jul. 09	
		HDL	
		A	

Spartan-3 ブレッドボード
XCM-001-200/400 Rev4
ユーザーズマニュアル

2007/11/14 第7版(R4)
2008/01/07 第8版(R4)
2010/05/11 Ver.4.2

2012/08/29 Ver.4.3

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
