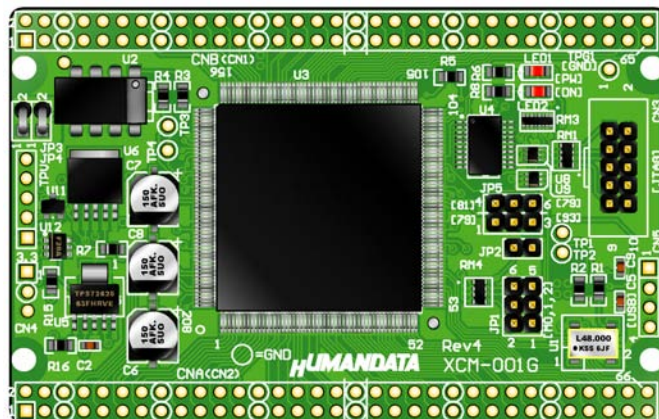




Spartan-3 ブレッドボード
XCM-001-200/400
ユーザーズマニュアル
第7版 (Rev. 4)



目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 各種仕様	3
3.1. 各部の名称	3
3.2. ブロック図	4
3.3. 開発環境	4
3.4. 電源入力	5
3.5. JTAG コネクタ	5
4. FPGA へのコンフィギュレーション方法	6
5. XCF02 への書き込み	7
5.1. MCS データの作成	7
5.2. XCF02 へ書き込み方法	10
5.2. ROM から FPGA にコンフィギュレーション	11
7. ジャンプスイッチの説明	11
7.1 Rev 設定	11
7.2 コンフィギュレーションモード設定	12
8. FPGA ピン割付表	13
8.1 CNA (CN2)	13
8.2 CNB (CN1)	14
9. XCM-001-200/400 参考資料について	15
10. R2、R3、R4 について	15
11. 付属資料	15



はじめに

この度は、Spartan-3 ブレッドボード/XCM-001 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-001-200/400 は、XILINX の高性能 FPGA Spartan-3 (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-001-200/400	1
付属品（予備ジャンパなど）	1
マニュアル（本書）	1
ユーザー登録はがき	1

2. 仕様

製品型番	XCM-001-200	XCM-001-400
搭載 FPGA	XC3S200-4PQG208C (XILINX)	XC3S400-4PQG208C (XILINX)
電源	DC 3.3V（詳細は FPGA データシートご参照）	
消費電流	N/A（詳細は FPGA データシートご参照）	
外形寸法	86×54 [mm]	
重量	約 30 [g]	
ユーザ I/O	100 本(50 本×2)	
I/O コネクタ	2.54 ピッチ 2 列パッド引き出し	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィギュレーション ROM	XCF02SVOG20C (Xilinx)	
クロック	オンボード 72KHz、18.432MHz、48MHz	
リセット回路	内蔵	
JTAG コネクタ	DIP10 ピン、BOX ヘッダ	
LED	電源表示用、コンフィギュレーション完了表示用	
付属品	2 列×40 ピン、ジャンパヘッダ 2 本	
	ジャンパソケット 2 個	
その他	-	-

表 1：製品仕様

3. 各種仕様

3.1. 各部の名称

図 1 : 部品面

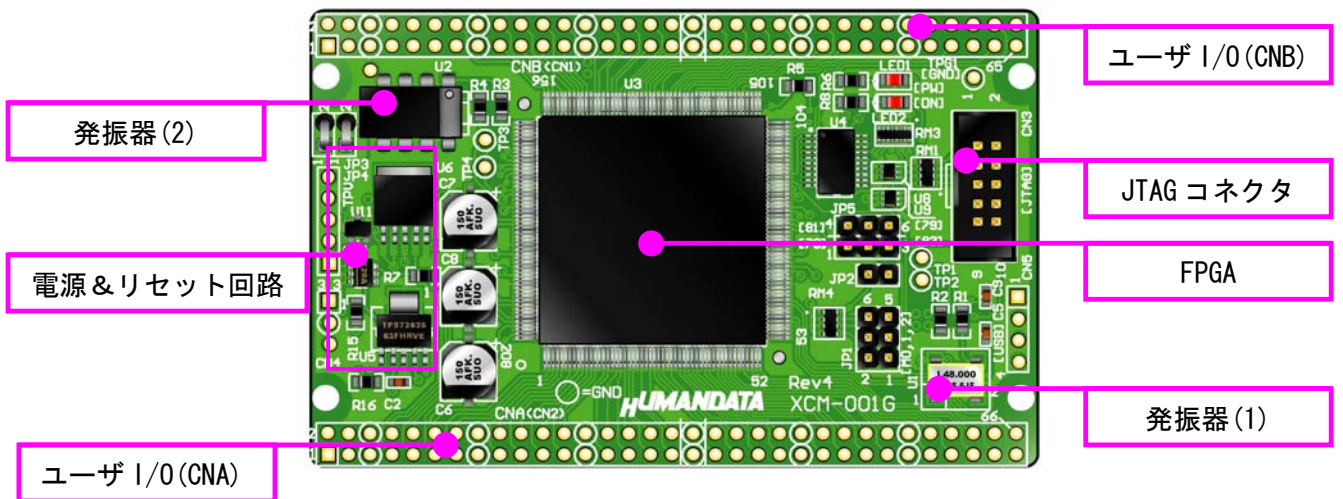
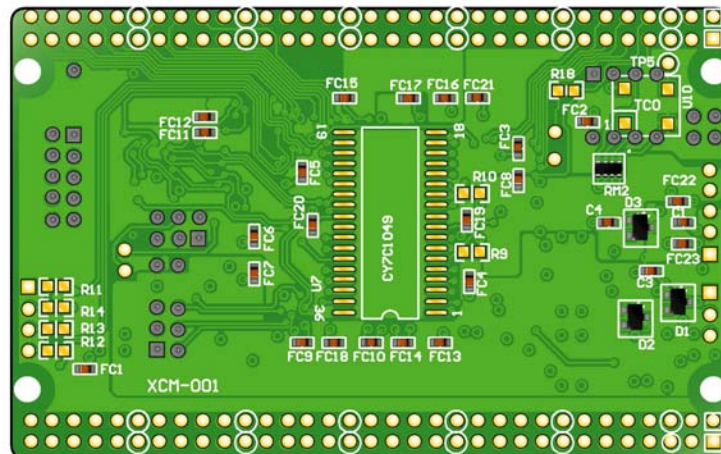


図 2 : はんだ面



3.2. ブロック図

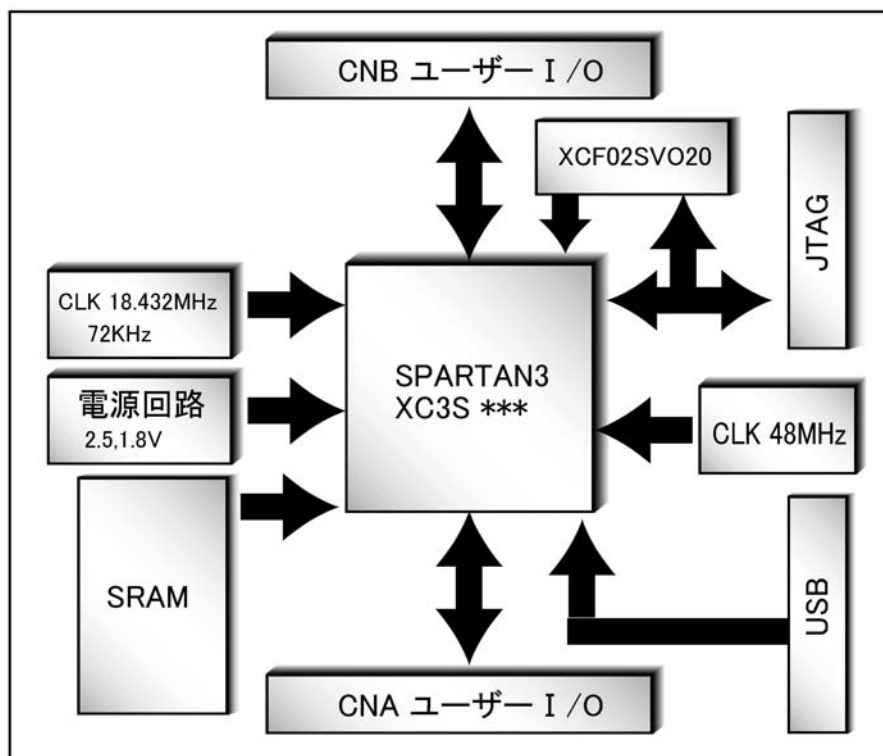


図 3: ブロック図

3.3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入カツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE WebPack にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

3.4. 電源入力



本ボードは、DC 3.3V 単一電源で動作します。
内部に必要な、2.5V、1.2V はオンボードのレギュレータにより生成されます。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB、CN4 などから供給してください。
また電源の立ち上がりは**単調増加**である必要があります。良質の電源を使用するようにしてください。

一部 IO について、VCCO を分離することができます。
ボード上の JP3、JP4 に実装されているゼロオーム抵抗を取り外し、CNB の 1 番と 2 番から VCCO を供給してください。

FPGA の BANK-2 と BANK-3 について、VCCO を別にするすることができます。
CNA は 3.3V に限られます。

3.5. JTAG コネクタ

FPGA へのコンフィギュレーション、ISP 可能なシリアル ROM への書込みに用います。
ピン配置は次表のとおりです。

信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC (3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

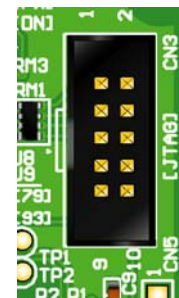
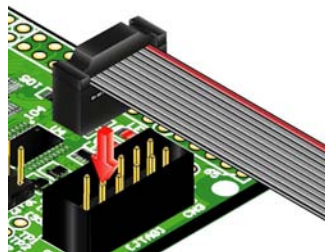


表 2 : JTAG ピン情報

弊社製ダウンロードケーブル XC3、XCKIT の 10 ピンコネクタと 1:1 で対応しています。

XILINX 社の純正ケーブルを用いることもできます。

シリアルROMによりコンフィギュレーションする場合は、内蔵の XCF02S に JTAG 経由で ISP(オンボード書込み)してください。



JTAG チェインには BUS SW を介して XCF02 と FPGA の両方に接続されています。

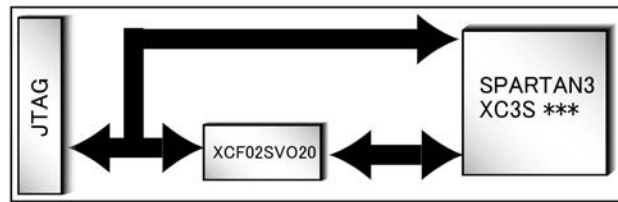


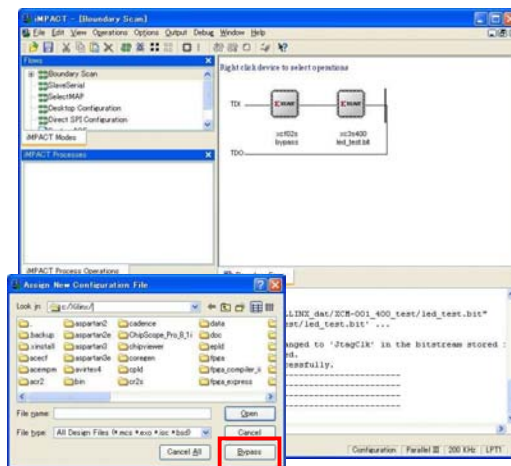
図 4 : JTAG チェイン

4. FPGA へのコンフィギュレーション方法

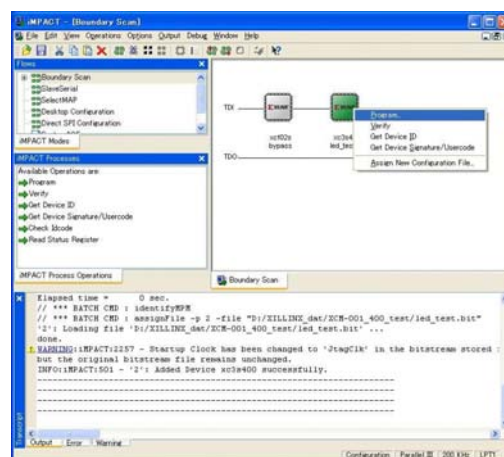
注意

このマニュアルは iMPACT Ver8.2.03i を使用して作成しています。

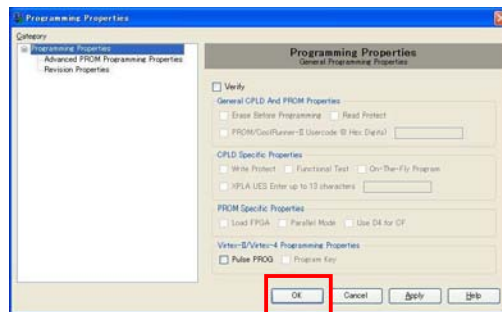
▼ FPGA へのコンフィギュレーションは iMPACT により行います。iMPACT を起動し [File]-[InitializeChain] をクリックすると、FPGA と ROM が認識されます。ROM は BYPASS とし FPGA に対して bit ファイルを割り付けてください。



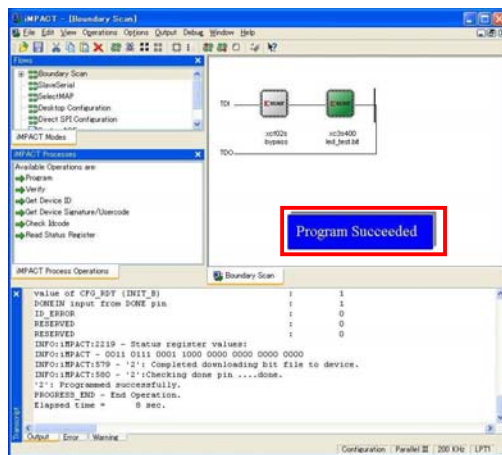
▼ FPGA のアイコン上で右クリックし [Program...] をクリックします。



- ▼ FPGAのコンフィギュレーションの際通常[Verify]のチェックは外してください



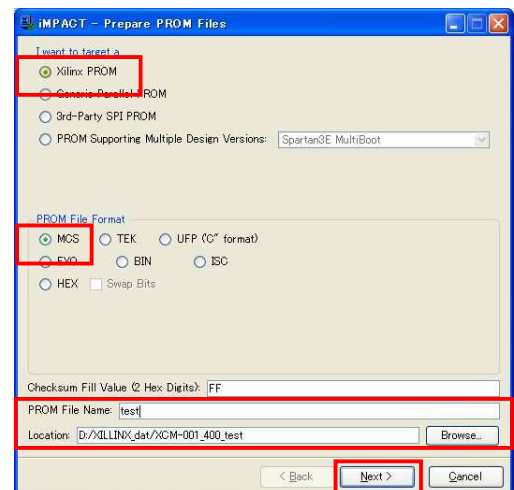
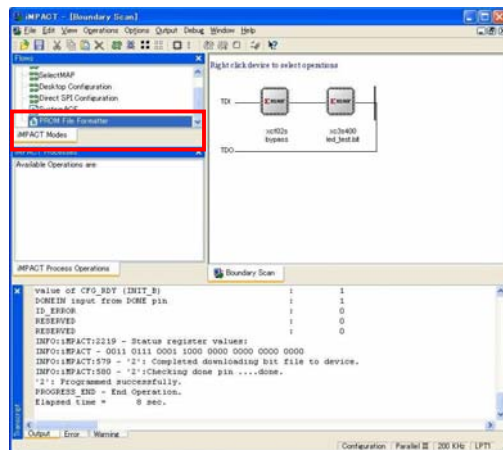
- ▼ FPGAのコンフィギュレーションの際、通常[Program Succeeded]と表記されると、FPGAへのコンフィギュレーションは終了です。



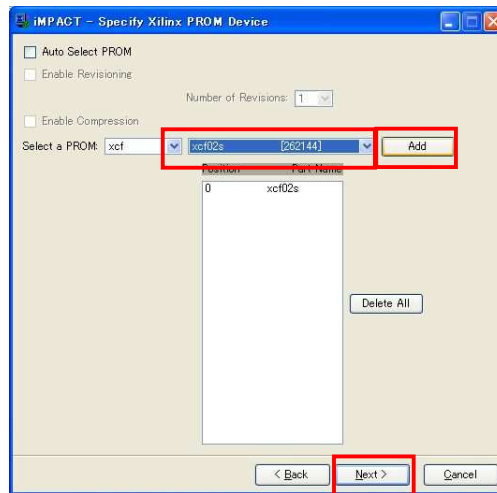
5. XCF02 への書き込み

5.1. MCS データの作成

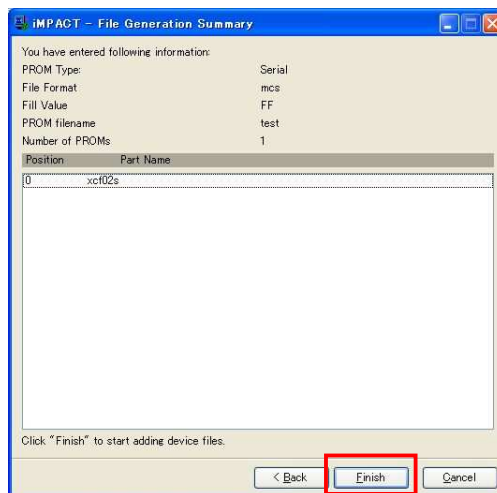
- ▼ [PROM File...]をダブルクリックし、Xilinx PROM MCS にチェックを入れ任意の FILE 名,保存先を選択し[NEXT>] をクリックしてください。



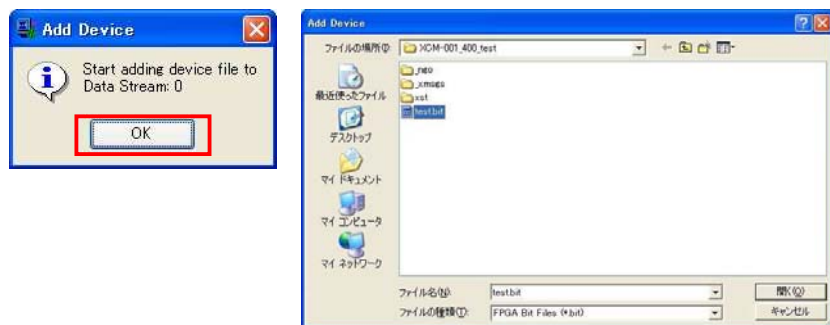
- ▼ [xcf02s]を選択し[Add]をクリックし[NEXT>]をクリックしてください。



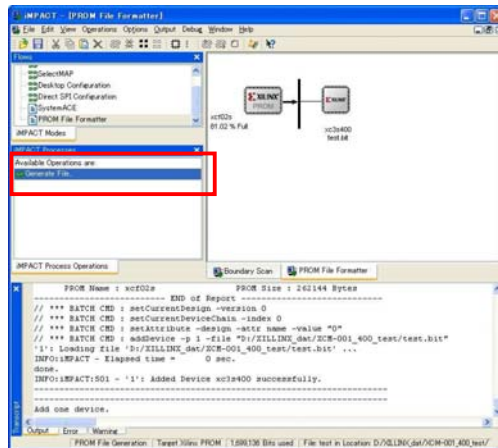
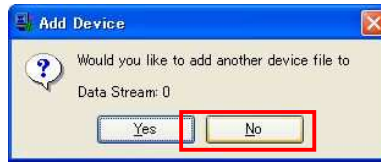
- ▼ [Finish]をクリックしてください。



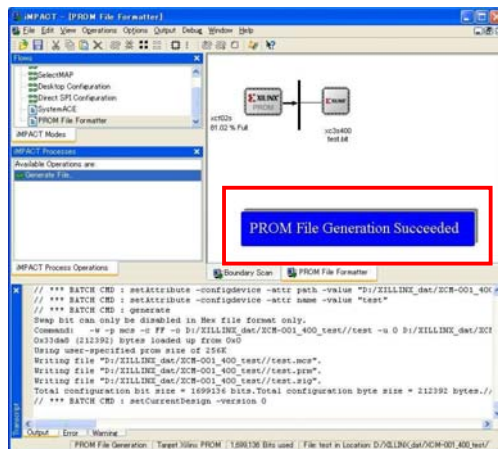
- ▼ [OK]をクリックし、bit ファイルを選択してください。



- ▼ [No]、[OK]をクリックし、[Generate File...]をダブルクリックしてください。



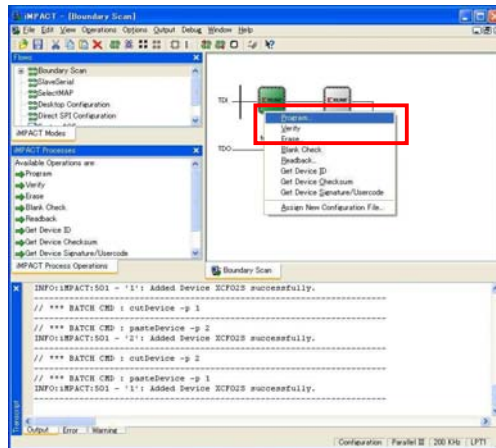
- ▼ [PROM File Generation...]と表記されれば完了です。



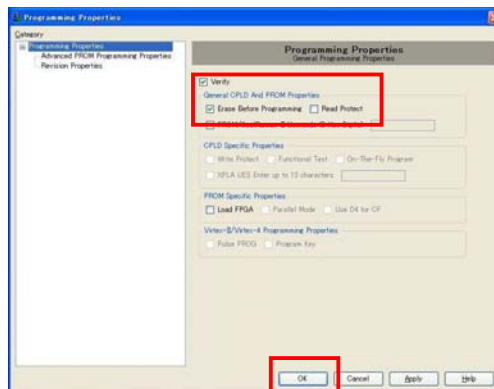
5.2. XCF02 へ書き込み方法

XCF02 へ書き込みは iMPACT により行います。

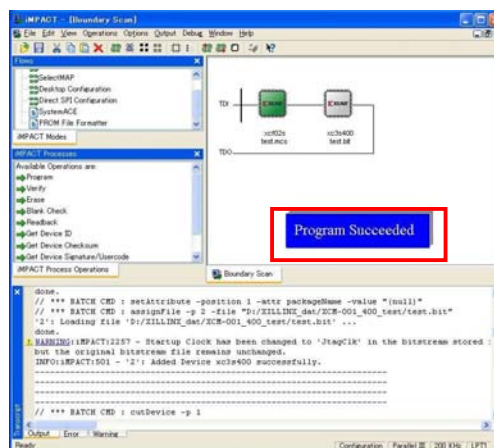
- ▼ ROM のアイコン上にて右クリックし、[Program] をクリックしてください。



- ▼ [Verify] [Erase Before Programming] にチェックを入れ [OK] をクリックしてください



- ▼ [Program Succeeded] と表記されれば終了です。



5.2. ROM から FPGA にコンフィギュレーション

図 5を参考に JP1 のジャンパ設定を行ってください。

コンフィギュレーションモードの詳してください。
 詳しい説明は次項[7. ジャンパスイッチの説明] を参照

設定が完了しましたら、ボードの電源を入れてください。

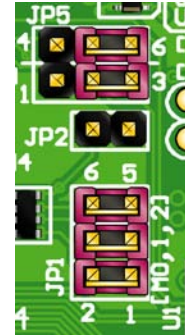


図 5 : JP1 の設定

注意

シミュレータ等で十分動作の確認を行ってから ROM に書き込みを行ってください。

7. ジャンパスイッチの説明

7.1 Rev 設定

JP5 の切り替えにより Rev3 までの機能と Rev4 の切り替えを行うことが出来ます。

Rev4 として使用する際、図 6を参考に
 ジャンパ設定を行ってください。



図 6 : JP5 設定_1

Rev3 以前と同じ機能で使用する際、図 7を参考に
 ジャンパ設定を行ってください。



図 7 : JP5 設定_2

7.2 コンフィギュレーションモード設定

図 8 : JP1/M0,M1,M2 信号処理用 (回路図参照)

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

ROM 使用時 : Master Serial mode

- JP1 1-2 間ショート M0= L
- JP1 3-4 間ショート M1= L
- JP1 5-6 間ショート M2= L

出荷時 : JTAG mode

- JP1 1-2 間オープン M0= H
- JP1 3-4 間ショート M1= L
- JP1 5-6 間オープン M2= H

JP2 : HSWAP ENABLE ピンの設定

- JP2 ショート : L
- JP2 オープン : H
- (出荷時はオープン)

JP3、JP4 : FPGA の VCCO(BANK-2、BANK-3)供給用

出荷時は、ゼロオーム抵抗により、VCC-A(3.3V)と接続されています。
FPGA の BANK-2 と BANK-3 の VCCO を別電源として供給するときには、ゼロオーム抵抗を 2 個ともカットし、CN1 の 1 番 2 番ピンから別電源を供給してください。

JP1 : M0,M1,M2 信号処理用 (回路図参照)

8. FPGA ピン割付表

8.1 CNA(CN2)

表 3 : CNA

BANK	NET LABEL	FPGA pin #	CNA pin #		FPGA pin #	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
A	IOA0	169	7	8	168	IOA1	A
A	IOA2	167	9	10	166	IOA3	A
A	IOA4	165	11	12	162	IOA5	A
A	IOA6	161	13	14	156	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	155	17	18	154	IOA9	A
A	IOA10	152	19	20	150	IOA11	A
A	IOA12	149	21	22	148	IOA13	A
A	IOA14	147	23	24	146	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	144	27	28	143	IOA17	A
A	IOA18	141	29	30	140	IOA19	A
A	IOA20	139	31	32	138	IOA21	A
A	IOA22	137	33	34	135	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	133	37	38	132	IOA25	A
A	IOA26	131	39	40	130	IOA27	A
A	IOA28	128	41	42	126	IOA29	A
A	IOA30	125	43	44	124	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	123	47	48	122	IOA33	A
A	IOA34	120	49	50	119	IOA35	A
A	IOA36	117	51	52	116	IOA37	A
A	IOA38	115	53	54	114	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	113	57	58	111	IOA41	A
A	IOA42	109	59	60	108	IOA43	A
A	IOA44	107	61	62	106	IOA45	A
A	IOA46	102	63	64	101	IOA47	A
A	IOA48	96	65	66	95	IOA49	A

*Rev4 から CN2 は CNA となりました。

8.2 CNB(CN1)

表 4 : CNB

BANK	NET LABEL	FPGA pin #	CNB pin #		FPGA pin #	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
	GND	GND	5	6	GND	GND	
A	I0B0	199	7	8	200	I0B1	A
A	I0B2	203	9	10	204	I0B3	A
A	I0B4	205	11	12	2	I0B5	A
A	I0B6	3	13	14	4	I0B7	B
	GND	GND	15	16	GND	GND	
B	I0B8	5	17	18	7	I0B9	B
B	I0B10	9	19	20	10	I0B11	B
B	I0B12	11	21	22	12	I0B13	B
B	I0B14	13	23	24	15	I0B15	B
	GND	GND	25	26	GND	GND	
B	I0B16	16	27	28	18	I0B17	B
B	I0B18	19	29	30	20	I0B19	B
B	I0B20	21	31	32	22	I0B21	B
B	I0B22	24	33	34	26	I0B23	B
	GND	GND	35	36	GND	GND	
B	I0B24	27	37	38	28	I0B25	B
B	I0B26	29	39	40	31	I0B27	B
B	I0B28	33	41	42	34	I0B29	B
B	I0B30	35	43	44	36	I0B31	B
	GND	GND	45	46	GND	GND	
B	I0B32	37	47	48	39	I0B33	B
B	I0B34	40	49	50	42	I0B35	B
B	I0B36	43	51	52	44	I0B37	B
B	I0B38	45	53	54	46	I0B39	B
	GND	GND	55	56	GND	GND	
B	I0B40	48	57	58	50	I0B41	B
B	I0B42	51	59	60	52	I0B43	B
B	I0B44	57	61	62	58	I0B45	B
A	I0B46	61	63	64	62	I0B47	A
A	I0B48	79	65	66	90	I0B49	A

* Rev4 から CN1 は CNB となりました。

9. XCM-001-200/400 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html
にデータをアップロードすることにいたします。

拡張子“.exe”のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

10. R2、R3、R4 について

R2(Rev2)では、VCCO を分割供給できるようになりました。

R3(Rev3)では、JTAG 回路にシュミットリガーバッファを追加し、Parallel-Cabele3 など古いケーブルでのダウンロードの安定化をはかりました。また、オプションで発振器を追加実装できるパターンをもうけました（はんだ面 U10）。

R4(Rev4)では R3 までのリビジョンと互換性を持たせ、使用できなかった CLK1 を使用できるように変更しました。（ジャンパ設定必要）

11. 付属資料

基板回路図

Spartan-3 ブレッドボード
XCM-001-200/400 Rev. 4
ユーザーズマニュアル

2004/06/08 初版(R1) 2004/10/04 第2版(R1)
2004/10/05 第3版(R2) 2004/03/24 第4版(R3)
2005/04/25 第5版(R3) 2006/02/03 第6版(R3)
2006/04/27 第6版(R3)
2007/11/14 第7版(R4)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
