

特長

- SO-8パッケージの完全12ビットADC
- 単一5Vまたは±5V電源動作
- サンプル・レート：600ksps
- 消費電力：75mW(標準)
- ナイキスト入力周波数にてS/(N+D)72dBおよびTHD - 80dB
- 全温度範囲にてミッシング・コードなし
- 即時ウェイクアップ可能なナップ・モード時の消費電力：7.5mW
- スリープ・モード時の消費電力：60μW
- ハイ・インピーダンス・アナログ入力
- 入力範囲(1mV/LSB)：0V～4.096Vまたは±2.048V
- 内部リファレンスを外部からオーバドライブ可能
- DSPおよびプロセッサへの3線式インタフェース(SPIおよびMICROWIRE™に対応)

アプリケーション

- 高速データ収集
- デジタル信号処理
- 多チャンネル・データ収集システム
- オーディオおよびテレコム処理
- デジタル無線
- スペクトラム分析
- 低消費電力およびバッテリー駆動システム
- ハンドヘルドまたはポータブル機器

概要

LTC®1404は600kspsの完全な12ビットA/Dコンバータで、単一5Vまたは±5V電源で動作し消費電力はわずか75mWです。このデバイスは160nsのサンプル・ホールドおよび高精度リファレンスを備えているので使いやすくなっています。また、ユニポーラおよびバイポーラ変換モードを備え、柔軟性が向上しています。LTC1404には、ナップ・モードとスリープ・モードの2つの省電力モードがあります。ナップ・モードの消費電流はわずか7.5mWで、即時にウェイクアップし変換を行うことができます。スリープ・モードでは、消費電力は標準で60μWです。スリープ・モードからの起動時に、シリアル・データ・ワードのリファレンス・レディ(REFRDY)信号を使用して、リファレンスが安定しチップが変換可能な状態にあることを示すこともできます。

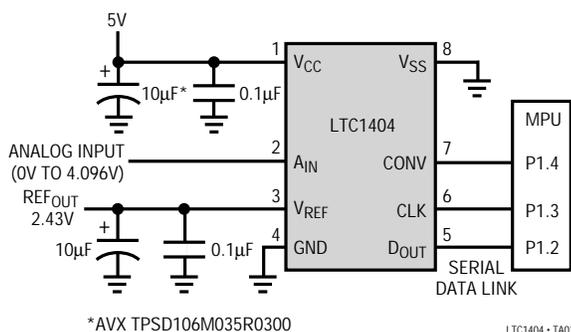
LTC1404は、単一5V電源時に0V～4.096Vのユニポーラ入力、および±5V電源時には±2.048Vバイポーラ入力を変換します。DCスペックは、全温度範囲で最大INL = ±1LSB、DNL = ±1LSBおよびフルスケール・ドリフト = 45ppm/°C。また、AC性能は、全温度範囲で入力周波数100kHzでS/(N+D)は69dB、THDは-76dBを保証しています。

3線式シリアル・ポートにより、さまざまなマイクロプロセッサ、マイクロコントローラ、およびDSPにコンパクトで効率的なデータ転送が可能です。

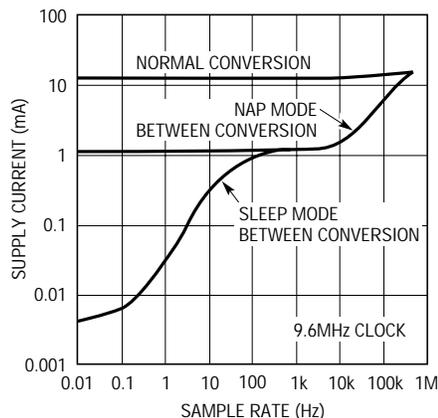
 LTC、LTはリニアテクノロジー社の登録商標です。MICROWIREはNational Semiconductor Corp.の商標です。

標準的応用例

単一5V電源、600kHz、12ビット・サンプリングA/Dコンバータ



消費電源とサンプリング・レート



絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC})	7V
負電源電圧 (V_{SS})	-6V ~ GND
全電源電圧 ($V_{CC} \sim V_{SS}$)	
バイポーラ動作のみ	12V
アナログ入力電圧 (Note 3)	
ユニポーラ動作	-0.3V ~ ($V_{CC} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{CC} + 0.3V$)
デジタル入力電圧 (Note 4)	
ユニポーラ動作	-0.3V ~ 12V
バイポーラ動作	($V_{SS} - 0.3V$) ~ 12V
デジタル出力電圧	
ユニポーラ動作	-0.3V ~ ($V_{CC} + 0.3V$)
バイポーラ動作	($V_{SS} - 0.3V$) ~ ($V_{CC} + 0.3V$)
消費電力	300mW
動作周囲温度範囲	
LTC1404C	0 ~ 70
LTC1404I	-40 ~ 85
接合部温度	125
保存温度範囲	-65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報

	ORDER PART NUMBER
	LTC1404CS8 LTC1404IS8
	S8 PART MARKING
	1404 1404I

PDIPパッケージおよびミリタリ・グレードに関してはお問い合わせください。

電源条件 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Positive Supply Voltage	Unipolar	4.75	5.25		V
		Bipolar	4.75	5.25		V
V_{SS}	Negative Supply Voltage	Bipolar Only	-2.45		-5.25	V
I_{CC}	Positive Supply Current	$f_{SAMPLE} = 600\text{ksp/s}$	●	15	30	mA
		Nap Mode	●	1.3	3.0	mA
		Sleep Mode	●	8.0	20.0	μA
I_{SS}	Negative Supply Current	$f_{SAMPLE} = 600\text{ksp/s}$, $V_{SS} = -5V$	●	0.2	0.6	mA
		Nap Mode	●	0.2	0.5	mA
		Sleep Mode	●	4	10	μA
P_D	Power Dissipation	$f_{SAMPLE} = 600\text{ksp/s}$	●	75	160	mW
		Nap Mode	●	7.5	20	mW
		Sleep Mode	●	60	150	μW

アナログ入力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range	$4.75V \leq V_{CC} \leq 5.25V$ (Unipolar)		0 to 4.096		V
		$4.75V \leq V_{CC} \leq 5.25V$, $-5.25V \leq V_{SS} \leq -2.45V$ (Bipolar)		0 to ± 2.048		V
I_{IN}	Analog Input Leakage Current	During Conversions (Hold Mode)	●		± 1	μA
C_{IN}	Analog Input Capacitance	Between Conversions (Sample Mode)		45		pF
		During Conversions (Hold Mode)		5		pF

コンバータ特性 内部リファレンス(Note 5、7)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		●	12		Bits
Integral Linearity Error	(Note 8)	●		±1	LSB
Differential Linearity Error		●		±1	LSB
Offset Error	(Note 9)	●		±6 ±8	LSB LSB
Full-Scale Error				±15	LSB
Full-Scale Tempco	$I_{OUT(REF)} = 0$	●	±10	±45	ppm/°C

ダイナミック精度 $V_{CC} = 5V$, $V_{SS} = -5V$, $f_{SAMPLE} = 600kHz$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-Noise	100kHz Input Signal	●	69	72	dB
		300kHz Input Signal			72	dB
THD	Total Harmonic Distortion Up to 5th Harmonic	100kHz Input Signal	●		-82	dB
		300kHz Input Signal			-80	dB
	Peak Harmonic or Spurious Noise	100kHz Input Signal	●		-84	dB
		300kHz Input Signal			-82	dB
IMD	Intermodulation Distortion	$f_{IN1} = 99.17kHz$, $f_{IN2} = 102.69kHz$			-82	dB
		$f_{IN1} = 298.68kHz$, $f_{IN2} = 304.83kHz$			-70	dB
	Full Power Bandwidth			5	MHz	
	Full Linear Bandwidth (S/(N + D) ≥ 68dB)			1	MHz	

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.410	2.430	2.450	V
V_{REF} Output Tempco	$I_{OUT} = 0$	●	±10	±45	ppm/°C
V_{REF} Line Regulation	$4.75V \leq V_{CC} \leq 5.25V$ $-5.25V \leq V_{SS} \leq 0V$		0.5		LSB/V
			0.01		LSB/V
V_{REF} Load Regulation	$0 \leq I_{OUT} \leq 1mA$		1		LSB/mA
V_{REF} Wake-Up Time from Sleep Mode	$C_{VREF} = 10\mu F$		2.5		ms

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{CC} = 5.25V$	●	2.0		V
V_{IL}	Low Level Input Voltage	$V_{CC} = 4.75V$	●		0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to V_{CC}	●		±10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{CC} = 4.75V$, $I_O = -10\mu A$			4.7	V
		$V_{CC} = 4.75V$, $I_O = -200\mu A$	●	4.0		V
V_{OL}	Low Level Output Voltage	$V_{CC} = 4.75V$, $I_O = 160\mu A$			0.05	V
		$V_{CC} = 4.75V$, $I_O = 1.6mA$	●		0.10	0.4

デジタル入力および出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I _{OZ}	Hi-Z Output Leakage D _{OUT}	V _{OUT} = 0V to V _{CC}	●		±10	μA
C _{OZ}	Hi-Z Output Capacitance D _{OUT}			15		pF
I _{SOURCE}	Output Source Current	V _{OUT} = 0V		-10		mA
I _{SINK}	Output Sink Current	V _{OUT} = V _{CC}		10		mA

タイミング特性 (Note 5、図12、13、14を参照)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SAMPLE(MAX)}	Maximum Sampling Frequency		●	600		kHz
t _{CONV}	Conversion Time	f _{CLK} = 9.6MHz		1.36		μs
t _{ACQ}	Acquisition Time (Unipolar Mode) (Bipolar Mode V _{SS} = -5V)			200 160		ns ns
f _{CLK}	CLK Frequency		●	0.1	9.6	MHz
t _{CLK}	CLK Pulse Width	(Note 6)	●	40		ns
t _{WK(NAP)}	Time to Wake Up from Nap Mode			350		ns
t ₁	CLK Pulse Width to Return to Active Mode		●	40		ns
t ₂	CONV↑ to CLK↑ Setup Time		●	70		ns
t ₃	CONV↑ After Leading CLK↑		●	0		ns
t ₄	CONV Pulse Width	(Note 10)	●	40		ns
t ₅	Time from CLK↑ to Sample Mode			60		ns
t ₆	Aperture Delay of Sample-and-Hold	Jitter < 50ps		40		ns
t ₇	Minimum Delay Between Conversion (Unipolar Mode) (Bipolar Mode V _{SS} = -5V)	(Note 6)	● ●	220 180	310 300	ns ns
t ₈	Delay Time, CLK↑ to D _{OUT} Valid	C _{LOAD} = 20pF	●	40	70	ns
t ₉	Delay Time, CLK↑ to D _{OUT} Hi-Z	C _{LOAD} = 20pF	●	40	70	ns
t ₁₀	Time from Previous Data Remains Valid After CLK↑	C _{LOAD} = 20pF	●	10	30	ns

●は全動作温度範囲の規格値を意味する。その他すべてのリミット値と標準値はT_A = 25。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命が損なわれる可能性がある値。

Note 2: 電圧値はすべてGNDを基準にする。

Note 3: これらのピン電圧をV_{SS}(ユニポーラ・モードのグラウンド)より低くしたり、V_{CC}より高くすると、内部ダイオードによってクランプされる。この製品はV_{SS}(ユニポーラ・モードのグラウンド)より低く、またはV_{CC}より高くドライブされてもラッチアップを起こさずに60mA以上の入力電流を処理することができる。

Note 4: これらのピン電圧をV_{SS}(ユニポーラ・モードのグラウンド)より低くすると、内部ダイオードでクランプされる。この製品はV_{SS}(ユニポーラ・モードのグラウンド)より低くドライブされても、ラッチアップを起こさずに60mA以上の入力電流を処理することができる。これらのピンはV_{CC}にクランプされない。

Note 5: 注記がない限り、V_{CC} = 5V、f_{SAMPLE} = 600kHz、t_r = t_f = 5ns

Note 6: 設計により保証されているがテストは行われない。

Note 7: 直線性、オフセット、およびフルスケール仕様は、ユニポーラ・モードとバイポーラ・モードに適用される。

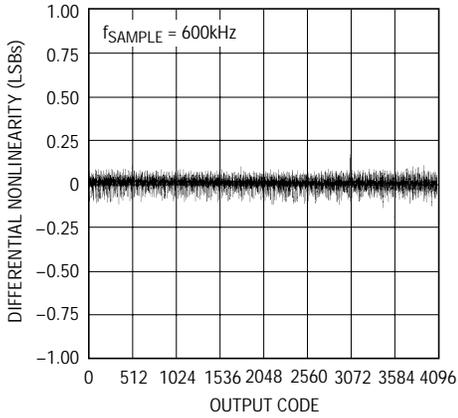
Note 8: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。

Note 9: バイポーラ・オフセットは、出力コードが0000 0000 0000と1111 1111 1111の間で変化するとき、-0.5LSBから測定したオフセット電圧。

Note 10: CONVの立上りエッジで変換を開始する。ビット決定点でCONVが“L”に戻る場合は、小さな誤差が生じる可能性がある。最高の性能を得るために、変換開始後100ns以内(すなわち、最初のビット決定前)または14クロック・サイクル後に、CONVが“L”に戻るようにする。(図13のタイミング図)。

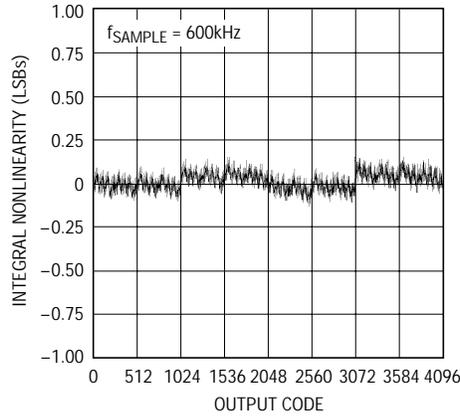
標準的性能特性

ユニポーラ・モードにおける
微分非直線性と出力コード



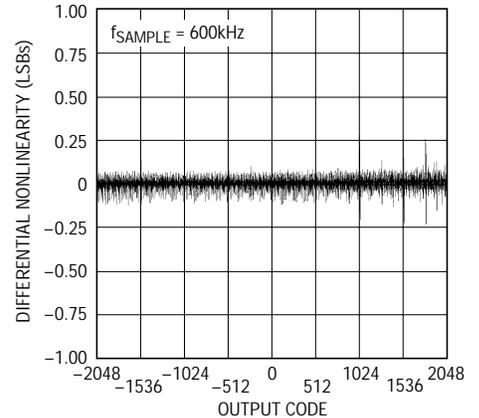
1404 G01

ユニポーラ・モードにおける
積分非直線性と出力コード



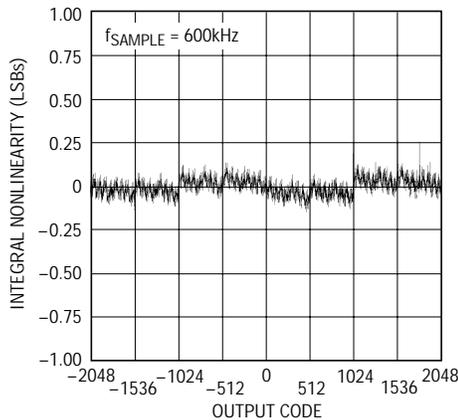
1404 G02

バイポーラ・モードにおける
微分非直線性と出力コード



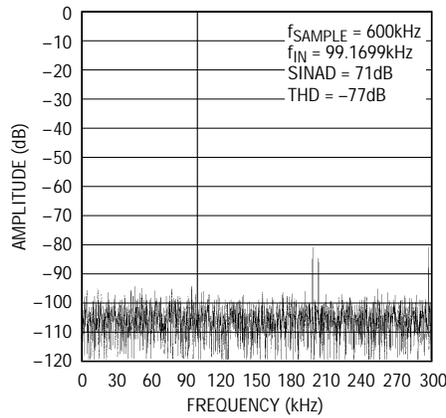
1404 G03

バイポーラ・モードにおける
積分非直線性と出力コード



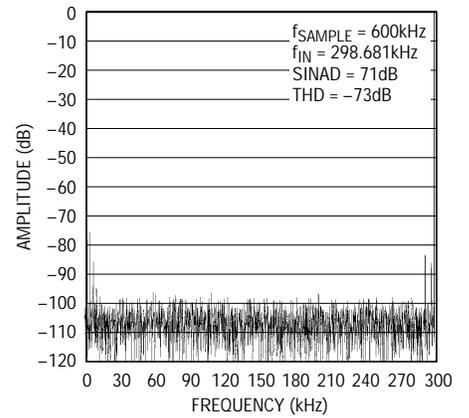
1404 G04

ユニポーラ・モードにおける
100kHz信号での非平均化4096FFT



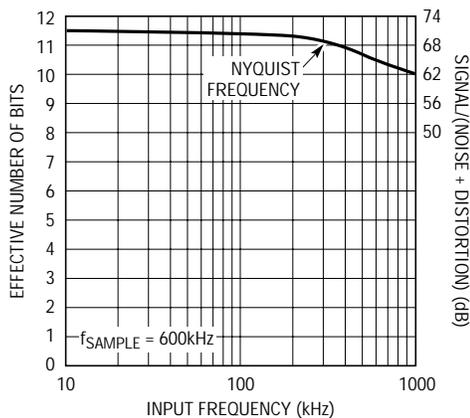
1404 G05

ユニポーラ・モードにおける
300kHz信号での非平均化4096FFT



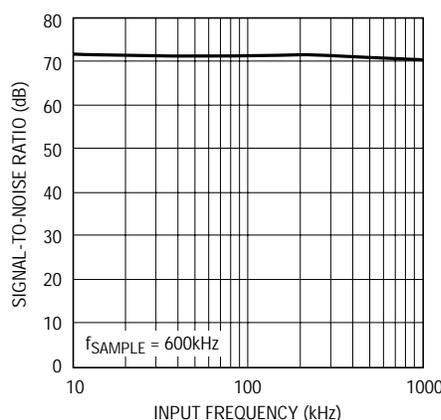
1404 G06

ユニポーラ・モードにおける
ENOBおよびS/(N + D)と入力周波数



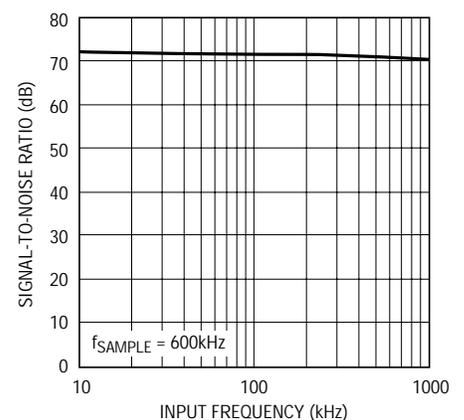
1404 G07

ユニポーラ・モードにおける
SN比(高調波なし)と入力周波数



1404 G08

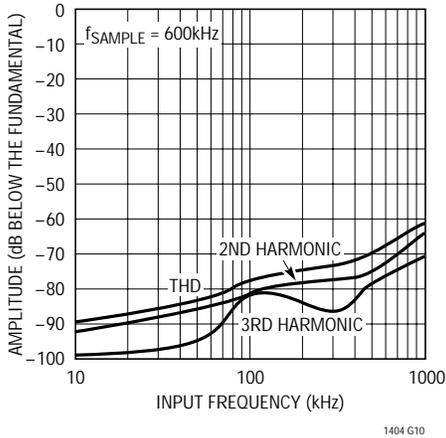
バイポーラ・モードにおける
SN比(高調波なし)と入力周波数



1404 G09

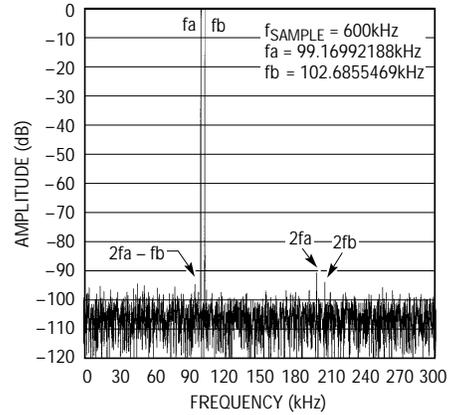
標準的性能特性

ユニポーラ・モードにおける
歪みと入力周波数



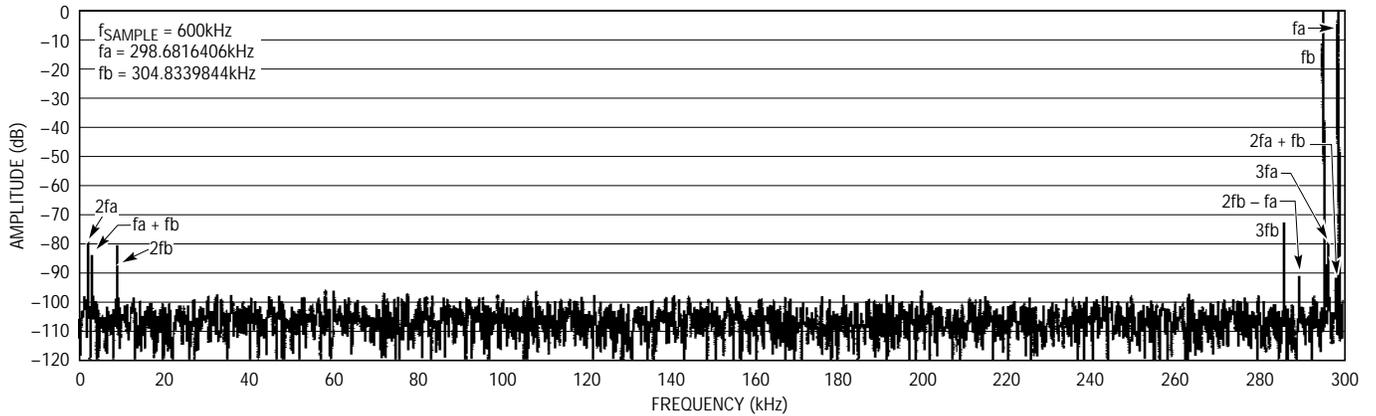
1404 G10

ユニポーラ・モードにおける
100kHzでの混変調歪みプロット



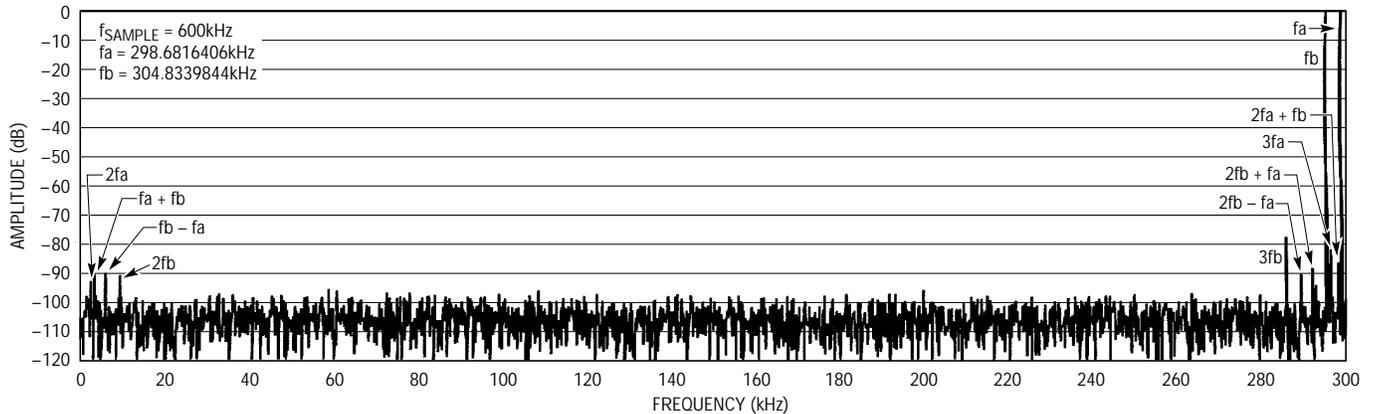
1404 G11

ユニポーラ・モードにおける300kHzでの混変調歪みプロット



1404 G12

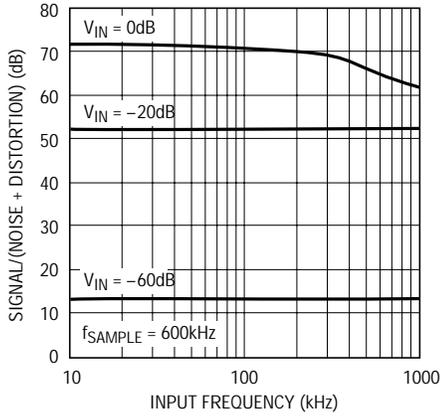
バイポーラ・モードにおける300kHzでの混変調歪みプロット



1404 G12

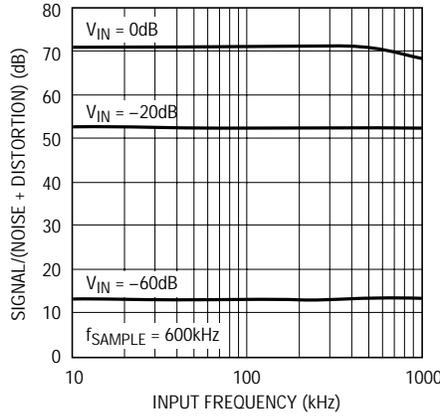
標準的性能特性

ユニポーラ・モードにおける
S/(N + D)と入力周波数および振幅



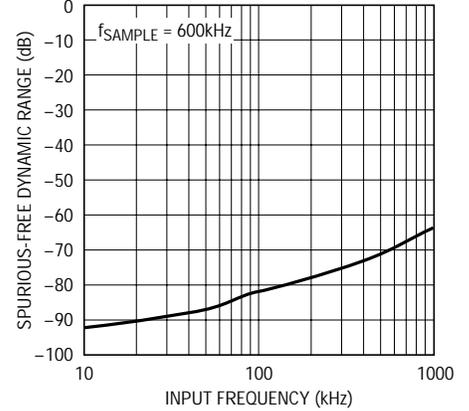
1404 G14

バイポーラ・モードにおける
S/(N + D)と入力周波数および振幅



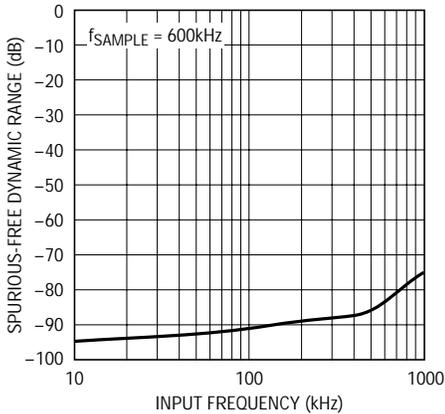
1404 G15

ユニポーラ・モードにおける最大高調波
またはスプリアス・ノイズと入力周波数



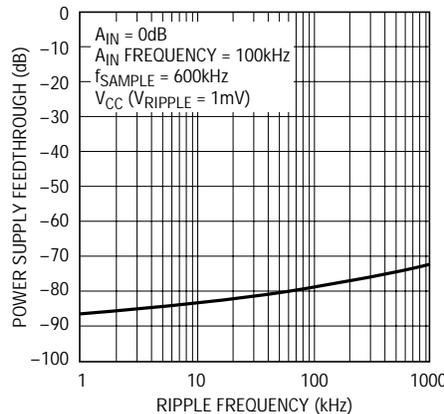
1404 G16

バイポーラ・モードにおける最大高調波
またはスプリアス・ノイズと入力周波数



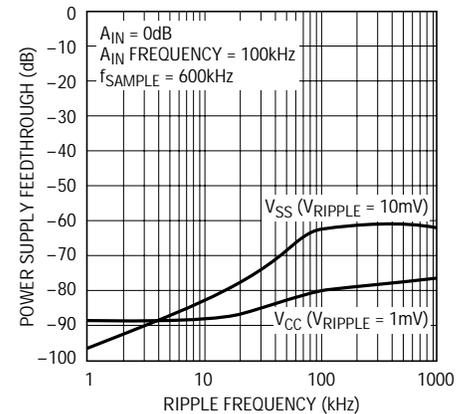
1404 G17

ユニポーラ・モードにおける電源
フィードスルーとリップル周波数



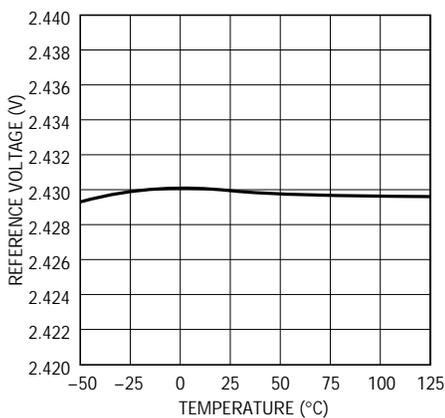
1404 G18

バイポーラ・モードにおける電源
フィードスルーとリップル周波数



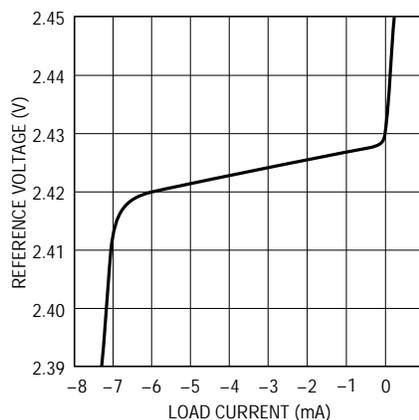
1404 G19

リファレンス電圧と温度



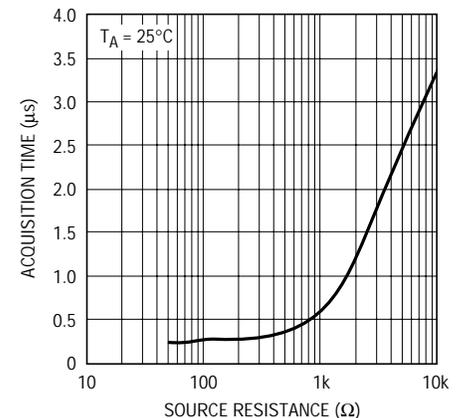
1404 G20

リファレンス電圧と負荷電流



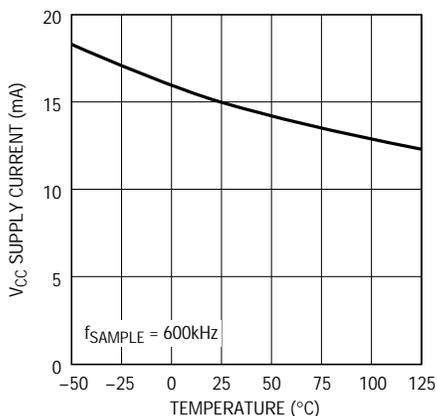
1404 G21

アキュジション・タイムと
ソース・インピーダンス

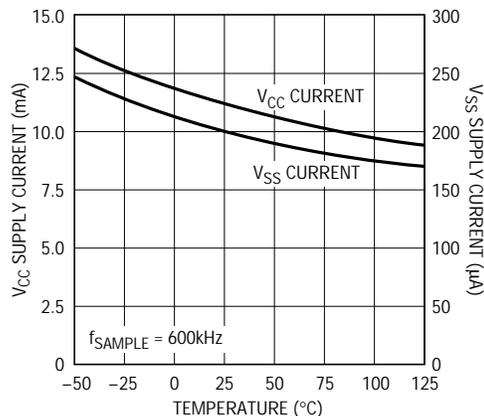


1404 G22

標準的性能特性

ユニポーラ・モードにおける
 V_{CC} 電源電流と温度

1404 G23

バイポーラ・モードにおける
電源電流と温度

1404 G24

ピン機能

V_{CC} (ピン1): 正電源、5V。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

A_{IN} (ピン2): アナログ入力。0V ~ 4.096V (ユニポーラ) \pm 2.048V (バイポーラ)。

V_{REF} (ピン3): 2.43Vのリファレンス出力。GNDにバイパスします (10 μ Fタンタルと0.1 μ Fセラミックを並列に接続)。

GND (ピン4): グランド。GNDはアナログ・グランド・プレーンに直接接続しなければなりません。

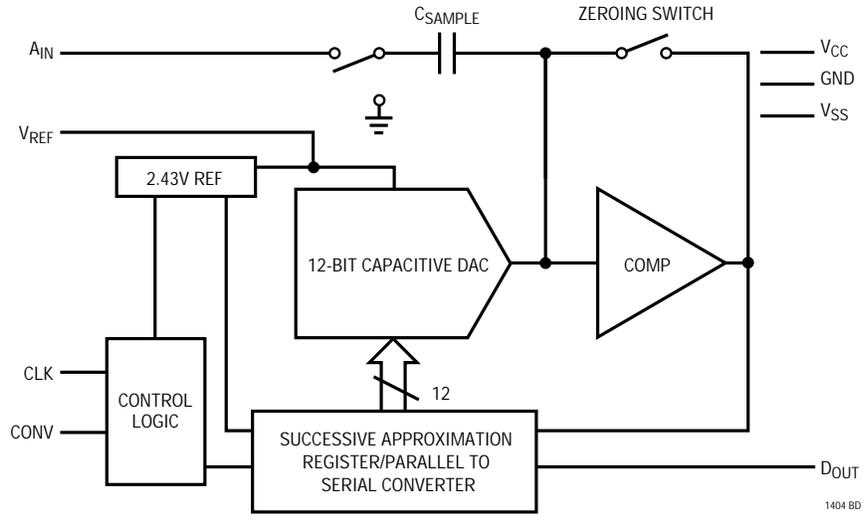
D_{OUT} (ピン5): このピンからA/D変換結果がシフトアウトされます。

CLK (ピン6): クロック。このクロックでシリアル・データ転送の同期をとります。40nsの最小CLKパルスによって、ADCはナップ・モードまたはスリープ・モードからウェイクアップします。

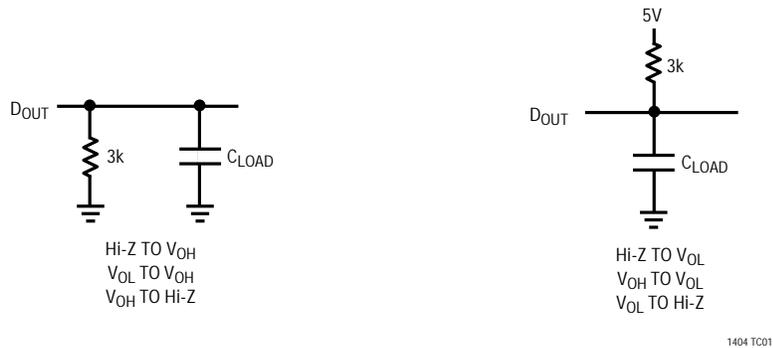
CONV (ピン7): 変換開始信号。このアクティブ^h H信号は、立上りエッジで変換を開始します。CLKを“L”にしたまま、CONVに2回/4回パルスを印加すると、ADCはナップ/スリープ・モードに入ります。

V_{SS} (ピン8): 負電源。バイポーラ動作の場合は -5Vに接続します。10 μ Fタンタル・コンデンサと0.1 μ Fセラミック・コンデンサを並列に接続して、GNDにバイパスしてください。ユニポーラ動作の場合は V_{SS} をGNDに接続します。

機能ブロック図



テスト回路



アプリケーション情報

変換の詳細説明

LTC1404は逐次比較アルゴリズムと内部サンプル&ホールド回路を使用し、高精度内部リファレンスに基づいてアナログ信号を12ビットのシリアル出力に変換します。コントロール・ロジックにより、3本の伝送線を接続して、簡単にマイクロプロセッサやDSPにインタフェースすることができます。

CONV入力の立上りエッジで変換を開始します。変換がスタートすると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部の12ビット容量性DAC出力はSARの最上位ビット(MSB)から最下位ビット(LSB)まで一巡します。図1を参照してください。A_{IN}入力にはアキュイジション・フェーズ中にサンプル・ホールド・コンデンサに接続され、コンパレータ・オフセットはフィードバック・スイッチによってゼロになります。このアキュイジション・フェーズでは、サンプル・ホールド・コンデンサがアナログ信号を収集するのに標準160nsを要します。変換フェーズでは、コンパレータのフィードバック・スイッチがオープンになり、コンパレータを比較モードにします。入力スイッチはC_{SAMPLE}をグラウンドに切り替えて、アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、DAC出力はA_{IN}入力電荷と平衡します。入力電圧を表すSARの値(12ビット・データ・ワード)がシリアル・ピンD_{OUT}を通して出力されます。

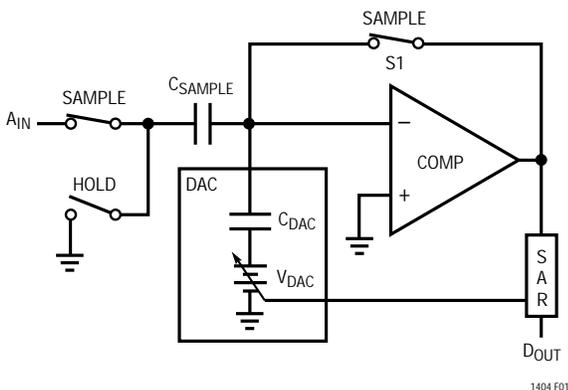


図1. A_{IN}入力

ダイナミック特性

LTC1404は非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズの特性をテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪みの正弦波を加え、FFTアルゴリズムを用いてデジタル出力を解析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図2aにLTC1404の標準的FFTプロットを示します。

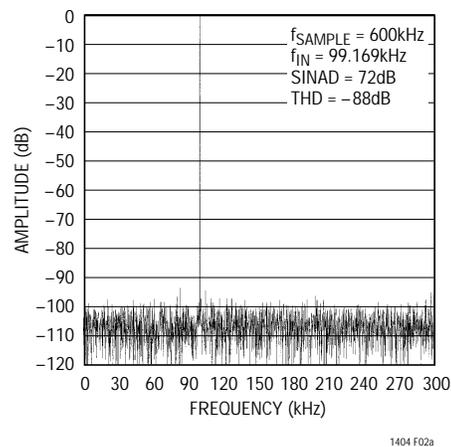


図2a. LTC1404のバイポーラ・モードにおける100kHz入力周波数での非平均化4096ポイントFFTプロット

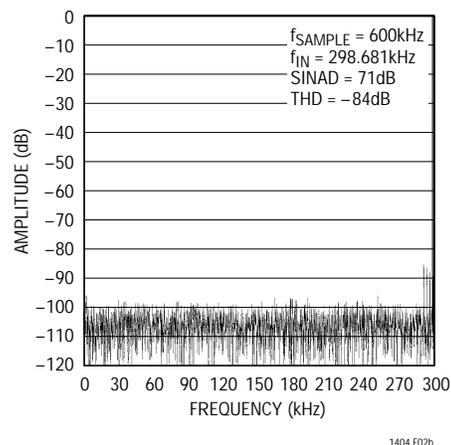


図2b. LTC1404のバイポーラ・モードにおける300kHz入力周波数での非平均化4096ポイントFFTプロット

アプリケーション情報

SN比

信号に対するノイズ + 歪みの比 $S/(N + D)$ は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図2aに、600kHzのサンプリング・レートで100kHz入力での標準スペクトラム成分を示します。図2bに示すとおり、ダイナミック特性は入力周波数が300kHzのナイキスト限界まで良好です。

有効ビット数

有効ビット数(ENOB)はADCの有効分解能の尺度であり、次式のとおり $S/(N + D)$ に直接関係します。

$$N = \frac{S/(N+D) - 1.76}{6.02}$$

ここで、Nは分解能の有効ビット数であり、 $S/(N + D)$ はdBで表されます。600kHzの最大サンプリング・レートで、LTC1404は300kHzのナイキスト入力周波数まで、非常に良好なENOBを維持します(図3を参照)。

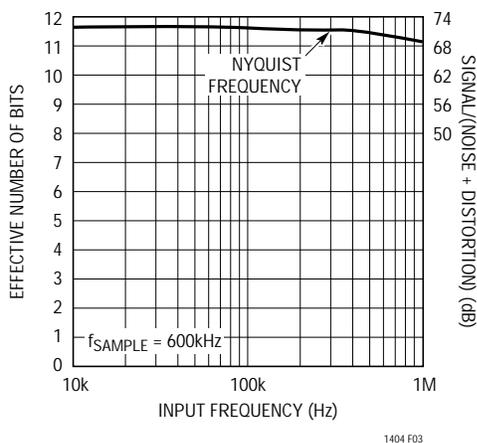


図3. バイポーラ・モードでの有効ビット数および $S/(N + D)$ と入力周波数

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波はDCとサンプリング周波数の1/2の周波数帯域に限定されず。THDは次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_n は第2高調波から第N高調波の振幅です。THDと入力周波数の関係を図4に示します。LTC1404は、ナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

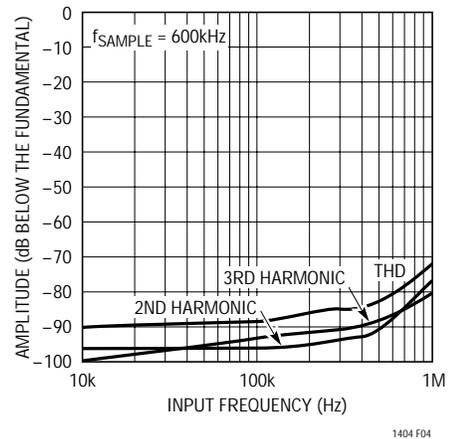


図4. バイポーラ・モードでの歪みと入力周波数

混変調歪み

ADC入力信号が2つ以上のスペクトラム成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調(IMD)が発生する可能性があります。IMDは異なる周波数の別の正弦波入力が存在するとき、ある正弦波入力に起こる変化です。

アプリケーション情報

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次IMDの項は $(f_a + f_b)$ 、 $(f_a - f_b)$ 、3次IMDの項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値(dB)は次式で表すことができます。

$$\text{IMD}(f_a \pm f_b) = 20 \log \frac{(f_a \pm f_b) \text{での振幅}}{f_a \text{での振幅}}$$

図5に100kHz入力におけるIMD性能を示します。

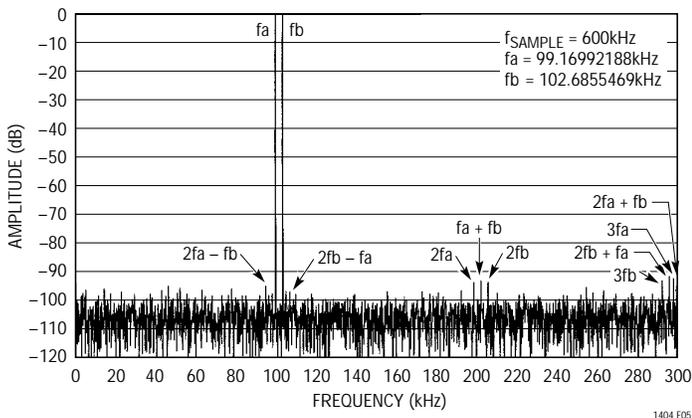


図5. バイポーラ・モードでの混変調歪みプロット

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

フルパワーおよび最大直線帯域幅

フルパワー帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S/(N+D)$ が68dB(有効ビット11ビット)に低下する入力周波数です。LTC1404は、入力帯域

幅を最適化するように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、歪みによる $S/(N+D)$ が大きな部分を占めます。

アナログ入力のドライブ

LTC1404のアナログ入力は簡単にドライブできます。アナログ入力は、変換終了時にサンプル&ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを発生します。変換中、アナログ入力にはわずかなリーク電流しか流れません。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換がスタートする前に安定しなければならないことです。小さな負荷過渡電流に対して160ns以内に安定するオペアンプであれば、最大速度での動作が可能です。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くすることができます。このADCの A_{IN} 入力のドライブには、LT[®]1360およびLT1363のオペアンプが適しています。

LTC1404はユニポーラ/バイポーラ検出回路を内蔵しています。 V_{SS} 電位を強制的にGNDより低くすると、内部回路が自動的にバイポーラ・モードに切り替わります。

以下のリストはLTC1404をドライブするのに適したオペアンプをまとめたものです。より詳細な情報は、リニアテクノロジーのデータブックおよびLinearView™ CD-ROMをご覧ください。

LT1215/LT1216：デュアルおよびクワッド、23MHz、50V/ μ s単一電源オペアンプ。単一5V ~ ± 15 V電源、消費電流6.6mA、0.5LSBへのセトリング時間90ns。

LT1223：100MHzビデオ電流帰還アンプ。 ± 5 V ~ ± 15 V電源、6mAの電源電流。600kHz以上まで低歪み。低ノイズ。ACアプリケーションに最適。

LT1227：140MHzビデオ電流帰還アンプ。 ± 5 V ~ ± 15 V電源、消費電流10mA。600kHz以上の周波数で歪みが最小。低ノイズ。ACアプリケーションに最適。

アプリケーション情報

LT1229/LT1230：デュアルおよびクワッド100MHz電流帰還アンプ。±2V ~ ±15V電源、各アンプの消費電流6mA。低ノイズ。良好なACスペック。

LT1360：37MHz電圧帰還アンプ。±5V ~ ±15V電源。消費電流3.8mA。良好なACおよびDCスペック。0.5LSBへのセトリング時間70ns。

LT1363：50MHz、450V/μsオペアンプ。±5V ~ ±15V電源。消費電流6.3mA。良好なACおよびDCスペック。0.5LSBへのセトリング時間60ns。

LT1364/LT1365：デュアルおよびクワッド50MHz、450V/μsオペアンプ。±5V ~ ±15V電源、1アンプ当たり消費電流6.3mA。0.5LSBへのセトリング時間60ns。

内部リファレンス

LTC1404は温度補償および曲率補正されたバンドキャップ・リファレンスを内蔵しており、このリファレンスは製造時に2.43Vに調整されています。このリファレンスは内部でDACに接続され、ピン3から外部に引き出されており、外部負荷に1mAまでの電流を供給できます。コード・トランジション・ノイズを最小限に抑えるために、リファレンス出力はコンデンサでデカップリングし、リファレンスから広帯域ノイズをフィルタしなければなりません(0.1μFのセラミック・コンデンサと並列に10μFのタンタル・コンデンサを接続)。バイポーラ・モードでは、DACまたは他の方法でV_{REF}ピンをドライブして、入力スパン調整を行うことができます。V_{REF}ピンは内部リファレンスとの衝突を避けるために、最低でも2.46Vにドライブしなければなりません。リファレンスは5Vより大きな電圧でドライブしてはなりません。図6

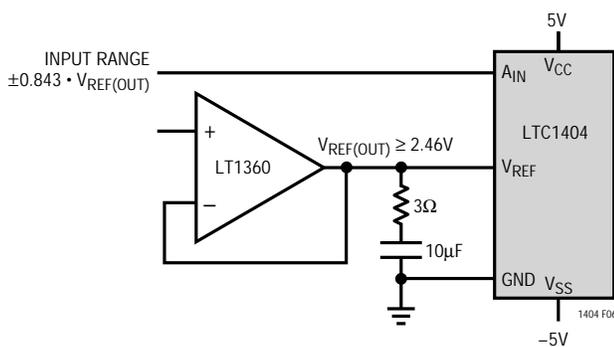


図6. V_{REF}をLT1360オペアンプでドライブ

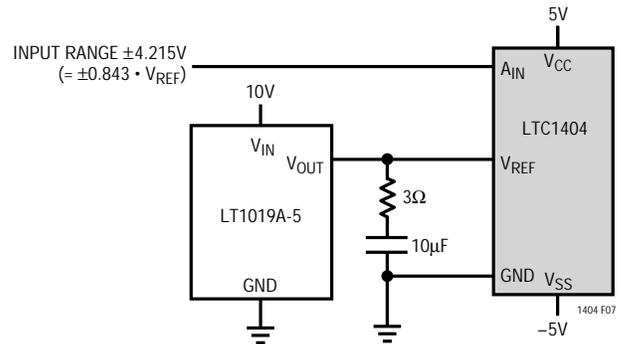


図7. LT1019A-5でLTC1404に5Vリファレンス電圧を供給

にリファレンス・ピンをLT1360オペアンプでドライブする回路を示します。また、図7に標準的なリファレンスLT1019A-5をLTC1404に接続した回路を示します。これにより、ドリフトが改善され(LT1019A-5の最大5ppm/に等しくなる)、±4.215Vのフルスケールになります。V_{REF}を2.43V以下でドライブした場合、シリアル・データ出力のREFRDYビットは'L'になります。

ユニポーラ/バイポーラ動作と調整

LTC1404の理想的な入出力特性を図8に示します。コード・トランジションは、連続する整数のLSB値の間で現れます。出力コードは、1LSB = 4.096/4096 = 1mVの自然バイナリです。2の補数形式で表したバイポーラ・モードでの入出力伝達特性を図9に示します。

ユニポーラ・オフセットとフルスケール誤差調整

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。図10aにフルスケール誤差調整に必要な追加部品を示します。図10bにオフセットおよびフルスケール調整を示します。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。オフセット誤差をゼロにするには、0.5mV(すなわち、0.5LSB)を入力に印加し、LTC1404の出力コードが0000 0000 0000と0000 0000 0001の間で行ったり来たり変化するまで、オフセット・トリム抵抗を調整します。また、フルスケール誤差をゼロにするには、4.0945Vのアナログ入力(すなわち、FS-1.5LSBつまり最後のコード・トランジション)を入力に印加し、LTC1404の出力コードが1111 1111 1110と1111 1111 1111の間で行ったり来たり変化するまで、抵抗R5を調整します。

アプリケーション情報

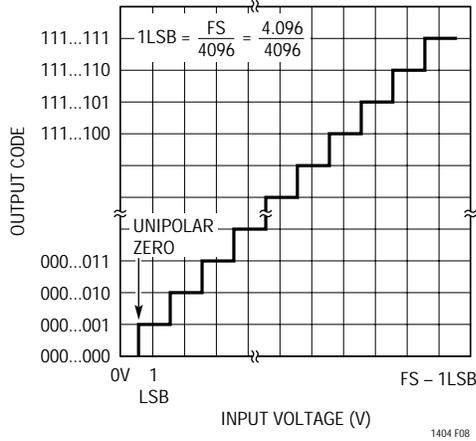


図8. LTC1404ユニポーラ伝達特性

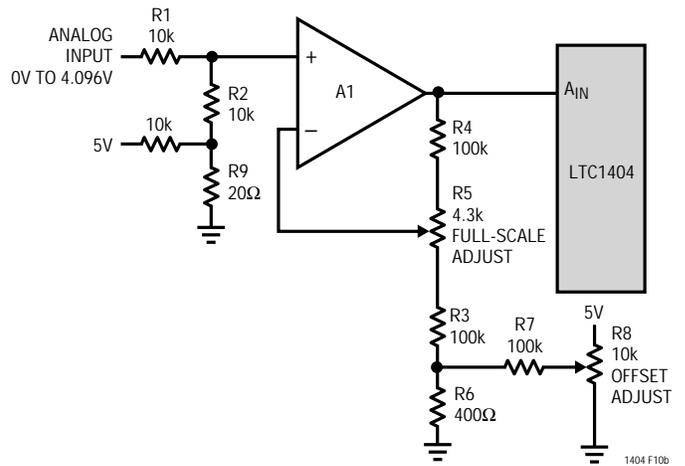


図10b. LTC1404オフセットおよびフルスケール調整回路

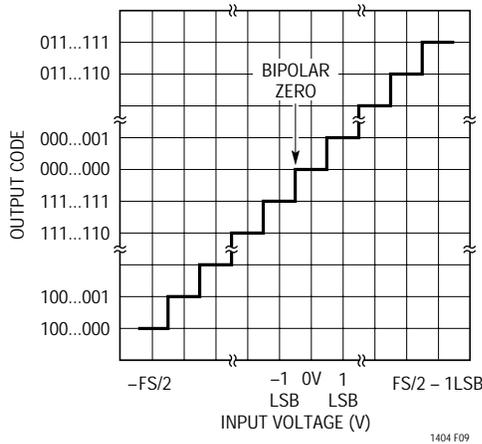


図9. LTC1404バイポーラ伝達特性

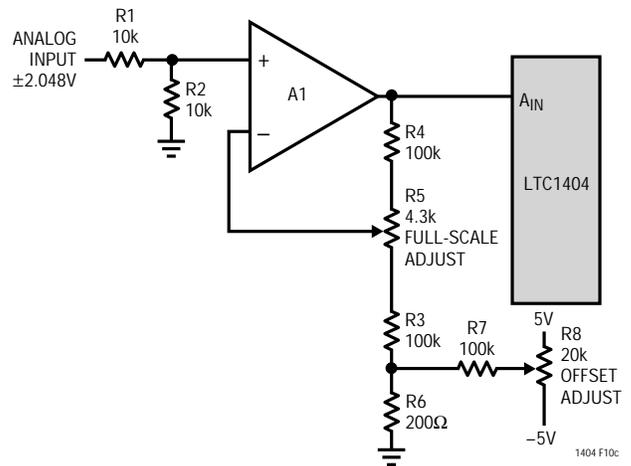


図10c. LTC1404バイポーラ・オフセットおよびフルスケール調整回路

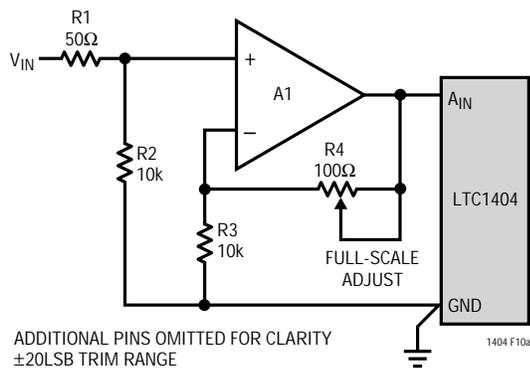


図10a. LTC1404フルスケール調整回路

バイポーラ・オフセットとフルスケール誤差調整

バイポーラ・オフセットおよびフルスケール誤差は、ユニポーラの場合と同様に調整されます。バイポーラ・オフセット誤差調整は、 -0.5mV (-0.5LSB) の入力電圧を図10cの入力に印加し、ADCの出力コードが0000 0000 0000と1111 1111 1111の間で行ったり来たり変化するまでオペアンプを調整して行います。フルスケール調整を行うには、 2.0465V の入力電圧 ($\text{FS}-1.5\text{LSB}$) を入力に印加し、出力コードが0111 1111 1110と0111 1111 1111の間で行ったり来たり変化するまでR5を調整します。

アプリケーション情報

ボード・レイアウトとバイパス

LTC1404から最適な性能を引き出すには、PCボードが必要です。PCボードのレイアウトでは、デジタル信号ラインとアナログ信号ラインができるだけ離れていなければなりません。特に、デジタル・トラックをADCの真下やアナログ信号トレースに沿って走らせないように注意してください。アナログ入力はGNDで遮蔽しなければなりません。

V_{CC} ピン、 V_{SS} ピン、 V_{REF} ピンに高品質の $10\mu\text{F}$ 表面実装AVXコンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを接続してください。 V_{CC} ピンに別の $10\mu\text{F}$ のAVXコンデンサを追加すると、より良好な性能を得ることができます。600kspsでは、CLK周波数は9.6MHzまで高くなります。品質の低いコンデンサの場合、この周波数範囲では容量の80%以上を失うことがあります。したがって、コンデンサを使用する前に、製造業者のデータシートを参照することが重要です。LTC1404では、600ksps時に各ビットは104ns以内に(9.6MHz)決定されなければなりません。そのため、CLK遷移による電源の乱れはこの短い時間内に治まる必要があります。ADCはDACを更新し、ミリボルトより小さいオーバードライブに基づいてコンパレータの出力を決定し、新しいDACの情報をラッチし、シリアル・データを出力しなければなりません。このADCはひとつの電源(V_{CC})ピンを備えており、この電源は、内部のアナログ回路とデジタル回路の両方に接続されています。電源やリファレンス・バイパスの不備によるリングング、誘導性を持つトレースの引き回し、CLKおよびCONVのオーバーシュートやアンダシュート、または不必要な D_{OUT} 負荷はADC誤差の原因となることがあります。したがって、バイパス・コンデンサはできる限りピンの近くに配置してください。ピンとバイパス・コンデンサを接続するトレースは、できる限り短く、また幅を広くとってください。ユニポーラ・モード動作では、 V_{SS} は直接GNDピンに接続しなければなりません。

A_{IN} の入力信号リードおよびGND(ピン4)からの信号リターン・リードは、できるだけ短くして、入力ノイズの結合を最小にします。これができないアプリケーションの場合には、アナログ入力信号とADCの間にシールド・ケーブルを使ってください。また、信号ソースとADC間のグラウンドの電位差はアナログ入力信号と直列に誤差電圧として現れます。できるだけグラウンド回路のインピーダンスが低くなるよう配慮が必要です。

図11に推奨されるシステム・グラウンド接続を示します。すべてのアナログ回路グラウンドは、LTC1404のGNDピンで終端する必要があります。LTC1404のピン4から電源へのグラウンド・リターンは、ノイズのない動作を実現するために低インピーダンスでなければなりません。デジタル回路のグラウンドは、デジタル電源コモンに接続してください。デジタル回路とアナログ回路の直接短絡の代わりに、10 またはフェライト・ビーズのジャンパを使用してデジタル・ノイズを低減することもできます。

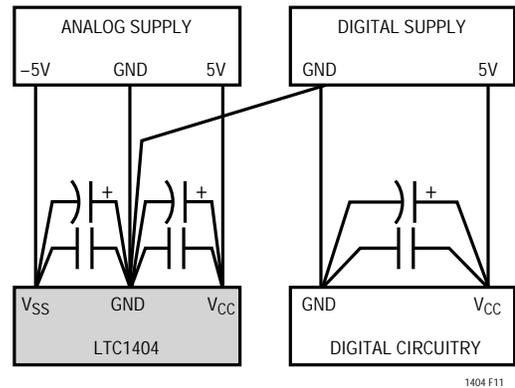


図11. 電源接続

ADCのデータ出力と制御信号が常時アクティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次変換コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサをWAIT状態にするか、またはスリーステート・バッファを使ってADCのデータ・バスを分離すれば解決できます。

パワーダウン・モード

電源投入時に、LTC1404はアクティブ状態に初期化され、変換を行う準備が整います。しかし、このチップはCLK信号とCONV信号の所定の組合せによって、簡単にナップ・モードまたはスリープ・モードにすることができます。ナップ・モードでは、内部リファレンスを除くすべての電源がオフになります。内部リファレンスはアクティブのまま、他の回路に2.43Vの出力電圧を供給します。このモードでは、ADCは75mWではなく7.5mWを消費します(消費電力を抑えるには、ロジック入力が電源レールの500mV以内になければなりません)。スリープ・モードではリファレンスを含むすべての内部回路への電源がオフになり、消費電力が最小

アプリケーション情報

限に低減されます。LTC1404のパワーダウン・モードの波形を図12に示します。このチップは、CLK信号を“L”にしたままでCONV信号に2回パルスを送れば、ナップ・モードに入ります。スリープ・モード動作にするには、CLKを“L”にしたままで、CONV信号を4回アクティブにしなければなりません。ナップ・モードとスリープ・モードは、CONVパルスの立下りエッジでアクティブになります。

LTC1404は簡単にアクティブ・モードに戻ります。CLKの立上りエッジでLTC1404はウェイクアップします。ナップ・モードからは350ns以内でウェイクアップします。スリープ・モードからアクティブ・モード移行時の V_{REF} 電圧のランプアップ時間は負荷条件によって決まります。10 μ Fのバイパス・コンデンサを接続した場合、スリープ・モードからのウェイクアップ時間は、標準で2.5msです。リファレンスが安定し、A/D変換を実行できる状態になると、REFRDY信号がアクティブになります。このREFRDYビットは最初のビットとして D_{OUT} ピンに送られます。そして12ビット・データ・ワードが後に続きます(図13を参照)。スリープ・モードからウェイクアップの間の電力を節減するため、チップはリファレンスが安定するまで自動的にナップ・モードに入るように設計されています。REFRDYが“H”になると、コンパレータがただちに起動し、変換を行う準備が整います。ナップ期間中にアナログ デジタル変換を実行しようとしても、オールゼロの出力コードが得られるだけです。REFRDYビットもゼ

ロです。変換が試みられないとき、 D_{OUT} ピンはハイ・インピーダンス状態を保持します。ADCがスリープ・モードからウェイクアップしたかどうかは、 D_{OUT} ピンでREFRDYビットの状態をモニタして判断することができます。

デジタル・インタフェース

デジタル・インタフェースには、3本のデジタル・ラインしか必要ありません。CLKとCONVは両方とも入力で、 D_{OUT} 出力は変換結果をシリアル形式で供給します。

図13にA/D変換中のLTC1404のデジタル・タイミング図を示します。CONVの立上りエッジで変換が開始されます。一度変換を開始すると、変換が完了するまで再スタートすることはできません。CONV信号からCLKの立上りエッジまでの時間が t_2 以下の場合、デジタル出力は1クロック・サイクルだけ遅れます。

デジタル出力データは、CLKラインの立上りエッジで更新されます。デジタル出力データは、REFRDYビットとそれに続く有効な12ビット・データ・ワードから成ります。 D_{OUT} データはCLKの立上りエッジで受信システムが取り込まなければなりません。 D_{OUT} ラインのデータは、取り込みができるようにCLKの立上りエッジから最小時間 t_{10} の間は有効になっています。

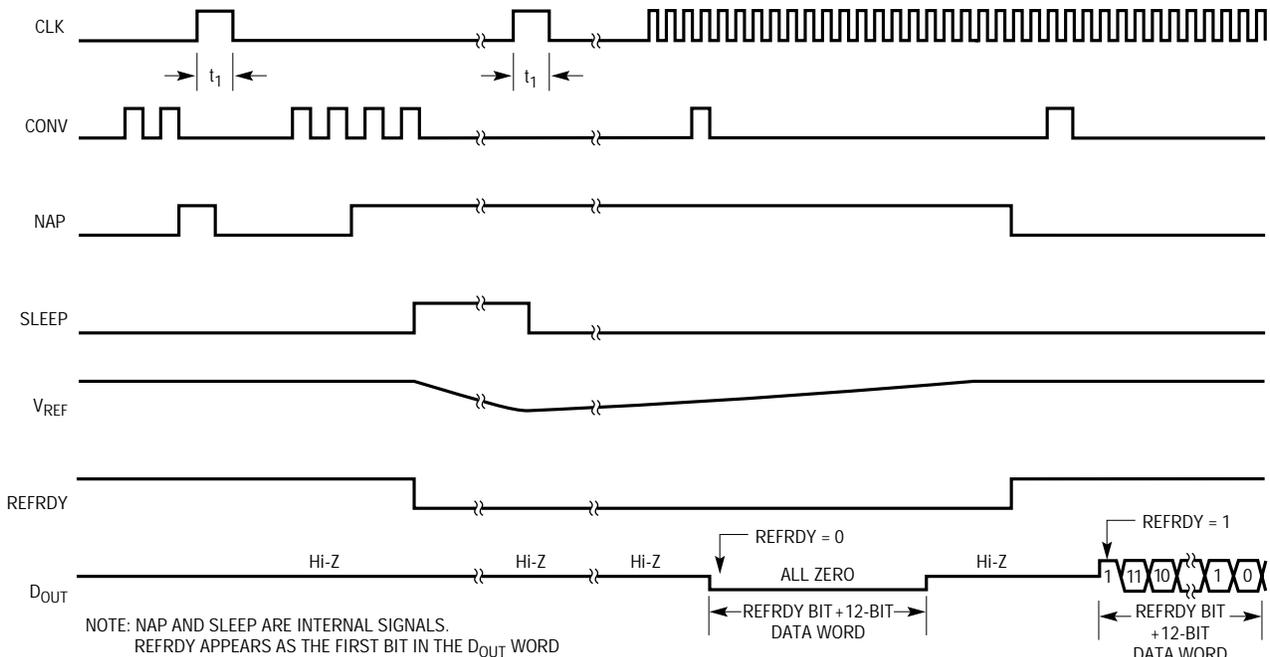


図12. ナップ・モードおよびスリープ・モードの波形

アプリケーション情報

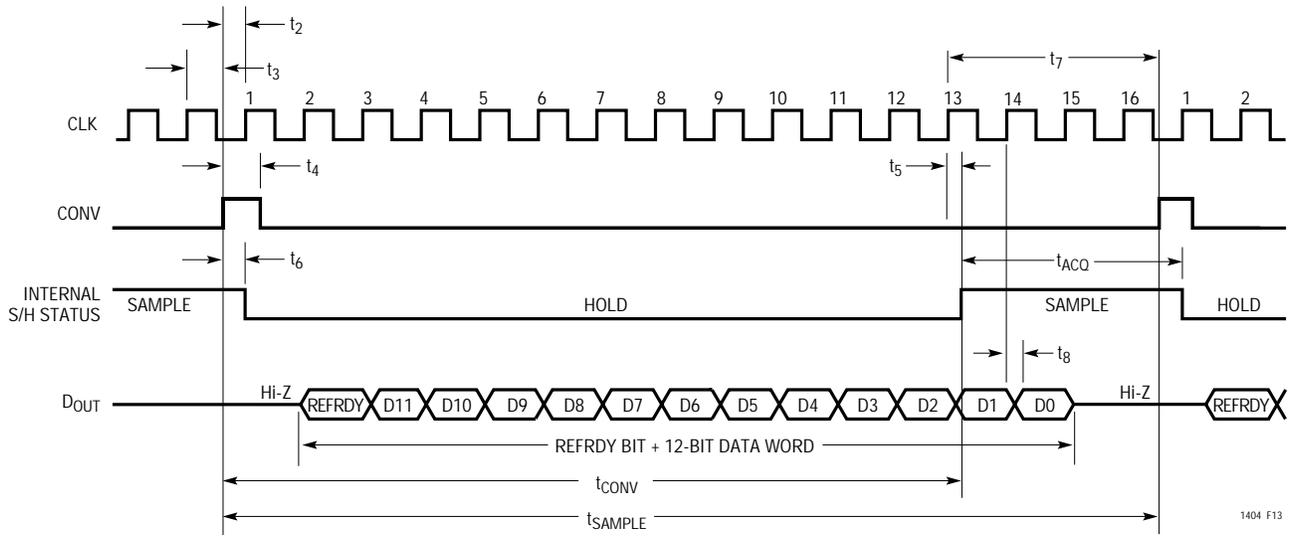


図13. ADCデジタル・タイミング図

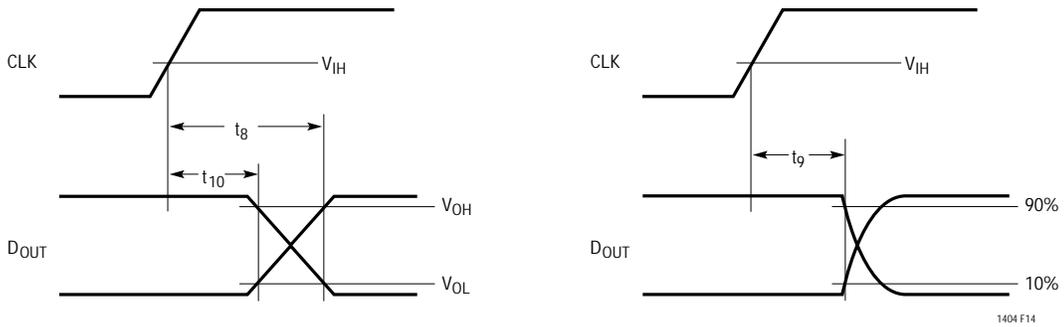
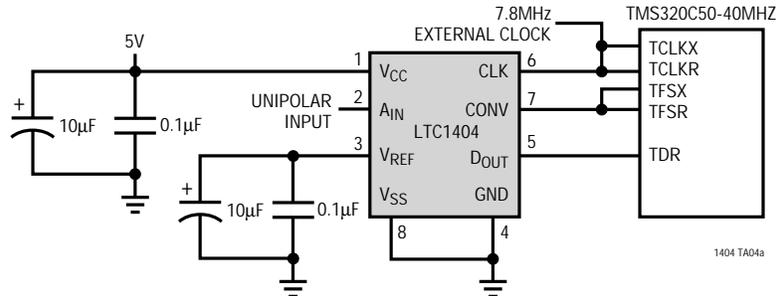


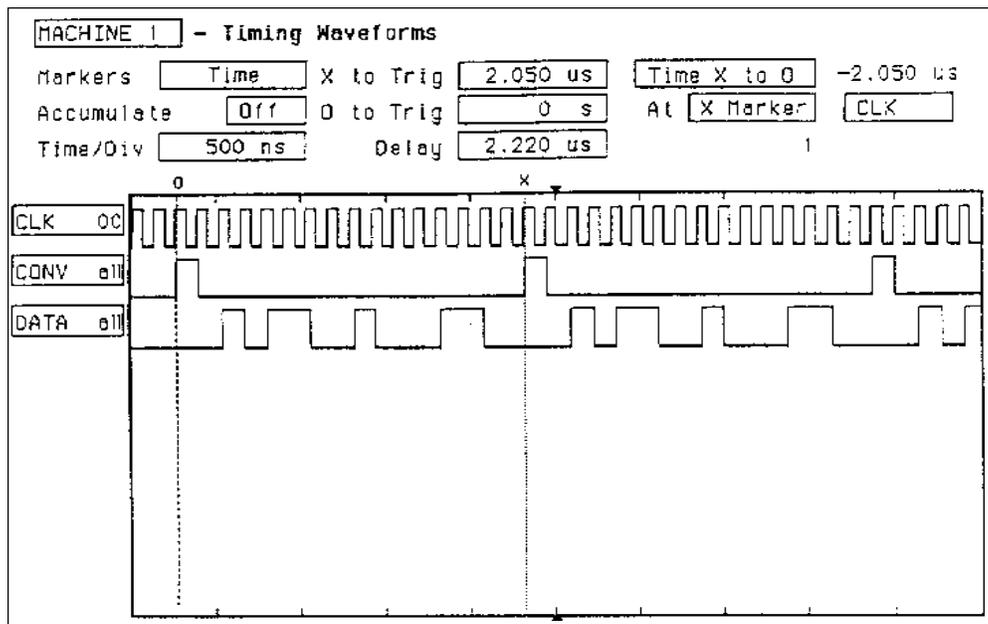
図14. CLKからD_{OUT}の遅延

標準的応用例

TMS320C50のTDMシリアル・ポートへのハードウェア・インタフェース(フレーム同期はTFSXから生成)



2.05µsスループット・レートを示すロジック・アナライザ波形 入力電圧 = 1.606V、出力コード = 0110 0100 0110 = 1606₁₀)



NOTE: THE TMS320C50-40MHz HAS A LIMITED SERIAL PORT CLOCK SPEED OF 7.8MHz. TO ALLOW THE LTC1404 TO RUN AT ITS MAXIMUM SPEED OF 9.6MHz, THE TMS320C50-57 OR TMS320C50-80MHz IS NEEDED

TMS320C50のTRCVレジスタにロードされたLTC1404からのデータ

X	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X
---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---

1404 TA04c

TMS320C50のメモリに格納されたデータ(右寄せフォーマット)

0	0	0	RDY	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

1404 TA04d

標準的応用例

回路用のTMS320C50コード

THIS PROGRAM DEMONSTRATES THE LTC1404 INTERFACE TO THE TMS320C50. FRAME SYNC PULSE IS GENERATED FROM TFSX. DATA SHIFT CLOCK IS EXTERNALLY GENERATED.

```
*Initialization*
.mmregs                ; Defines global symbolic names
;- - Initialized data memory to zero
.ds 0F00h              ; Initialize data to zero
DATA0 .word 0          ; Begin sample data location
DATA1 .word 0          ;
DATA2 .word 0          ; Location of data
DATA3 .word 0          ;
DATA4 .word 0          ;
DATA5 .word 0          ; End sample data location
;- - Set up the ISR vector
.ps 080Ah              ; Serial ports interrupts
rint : B RECEIVE      ; 0A;
xint : B TRANSMIT     ; 0C;
trnt : B TREC         ; 0E;
txnt : B TTRANX       ; 10;
;- - Setup the reset vector
.ps 0A00h
.entry
START:

*TMS320C50 Initialization*
SETC INTM              ; Temporarily disable all interrupts
LDP #0                 ; Set data page pointer to zero
OPL #0834h, PMST      ; Set up the PMST status and control register
LACC #0
SAMM CWSR              ; Set software wait state to 0
SAMM PDWSR

*Configure Serial Port*
SPLK #0028h, TSPC     ; Set TDM Serial Port
; TDM = 0 Stand Alone mode
; DLB=0 Not loop back
; FO=0 16 Bits
; FSM=1 Burst Mode
; MCM=0 CLKR is generated externally
; TXM=1 FSX as output pin
; Put serial port into reset
; (XRST=RRST=0)
SPLK #00E8h, TSPC     ; Take Serial Port out of reset
; (XRST=RRST=1)
SPLK #0FFFh, IFR      ; Clear all the pending interrupts
```

Start Serial Communication

```
SACL TDXR              ; Generate frame sync pulse
SPLK #040h, IMR        ; Turn on TRNT receiver interrupt
CLRC INTM              ; Enable interrupt
CLRC SXM               ; For Unipolar input, set for right shift
; with no sign extension
MAR *, AR7             ; Load the auxiliary register pointer with seven
LAR AR7, #0F00h       ; Load the auxiliary register seven with #0F00h
; as the begin address for data storage
WAIT: NOP              ; Wait for a receive interrupt
;
;
NOP
;
SACL TDXR              ; !! Regenerate the frame sync pulse
B WAIT
;
;----- end of main program -----;
```

Receiver Interrupt Service Routine

```
TREC:
LAMB TRCV              ; Load the data received from LTC1404
SFR                    ; Shift right two times
SFR
AND #1FFFh, 0          ; ANDed with #1FFFh
; For converting the data to right
; justified format
;
;
SACL *, 0              ; Write to data memory pointed by AR7 and
; increase the memory address by one
;
LACC AR7
SUB #0F05h, 0          ; Compare to end sample address #0F05h
BCND END_TRCV, GEO     ; If the end sample address has exceeded jump
; to END_TRCV
;
;
SPLK #040h, IMR        ; Else Re-enable the TRNT receive interrupt
RETE                   ; Return to main program and enable interrupt
```

After Obtained the Data from LTC1404, Program Jump to END_TRCV

```
END_TRCV:
SPLK #002h, IMR        ; Enable INT2 for program to halt
CLRC INTM
SUCCESS:
B SUCCESS
```

Fill the Unused Interrupt with RETE, to avoid program get "lost"

```
TTRANX:
RETE
RECEIVE:
RETE
TRANSMIT:
RETE
INT2:
B halt                  ; Halts the running CPU
```

標準的応用例

回路用のADSP2181コード

```

THIS PROGRAM DEMONSTRATES THE LTC1404 INTERFACE TO
THE ADSP-2181. FRAME SYNC PULSE IS GENERATED FROM RFS.
DATA SHIFT CLOCK IS EXTERNALLY GENERATED.

```

```

/*Section 1: Initialization*/
.module/ram/abs = 0 adsp1tc; /*define the program module*/
jump start; /*jump over interrupt vectors*/
nop; nop; nop;
rti; rti; rti; /*code vectors here upon IRQ2 int*/
rti; rti; rti; rti; /*code vectors here upon IRQ1 int*/
rti; rti; rti; rti; /*code vectors here upon IRQ0 int*/
rti; rti; rti; rti; /*code vectors here upon SPORT0 TX int*/
ax0 = rx0; /*Section 5*/
dm (0x2000) = ax0; /*begin of SPORT0 receive interrupt*/
rti; /* */
/* */
/*end of SPORT0 receive interrupt*/
rti; rti; rti; rti; /*code vectors here upon /IRQE int*/
rti; rti; rti; rti; /*code vectors here upon BDMA interrupt*/
rti; rti; rti; rti; /*code vectors here upon SPORT1 TX (IRQ1) int*/
rti; rti; rti; rti; /*code vectors here upon SPORT1 RX (IRQ0) int*/
rti; rti; rti; rti; /*code vectors here upon TIMER int*/
rti; rti; rti; rti; /*code vectors here upon POWER DOWN int*/

```

```

/*Section 2: Configure SPORT0*/
start;
/*to configure SPORT0 control reg*/
/*SPORT0 address = 0x3FF6*/
/*RFS is used for frame sync generation*/
/*RFS is internal, TFS is not used*/
/*bit 0-3 = Slen*/
/*F = 15 = 1111*/
/*E = 14 = 1110*/
/*D = 13 = 1101*/
/*bit 4,5 data type right justified zero filled MSB*/
/*bit 6 INVRFS = 0*/
/*bit 7 INVTFS = 0*/
/*bit 8 IRFS=1 receive internal frame sync*/
/*bit 9,10,11 are for TFS (don't care)*/
/*bit 12 RFSW=0 receive is Normal mode*/
/*bit 13 RTFS=1 receive is framed mode*/
/*bit 14 ISCLK=0 SCLK is external */
/*bit 15 multichannel mode = 0*/
ax0 = 0x2F0D; /*normal mode, bit 12=0*/
/*if alternate mode bit 12=1, ax0=0x3F0E*/
dm (0x3FF6) = ax0;

```

```

/*Section 3: configure CLKDIV and RFSDIV, setup interrupts*/
/*Using an external clock source=9.6MHz*/
/*Does not need to configure CLKDIV*/
/*to Configure RFSDIV*/
ax0 = 15; /*set the RFSDIV reg = 15*/
/*=> the frame sync pulse for every 16 SCLK*/
/*if frame sync pulse in every 15 SCLK, ax0=14*/
dm(0x3FF4) = ax0;
/*to setup interrupt*/
ifc= 0x0066; /*clear any extraneous SPORT interrupts*/
icntl= 0; /*IRQXB = level sensitivity*/
/*disable nesting interrupt*/
imask= 0x0020; /*bit 0 = timer int = 0*/
/*bit 1 = SPORT1 or IRQ0B int = 0*/
/*bit 2 = SPORT1 or IRQ1B int = 0*/
/*bit 3 = BDMA int = 0*/
/*bit 4 = IRQEB int = 0*/
/*bit 5 = SPORT0 receive int = 1*/
/*bit 6 = SPORT0 transmit int = 0*/
/*bit 7 = IRQ2B int = 0*/
/*enable SPORT0 receive interrupt*/

```

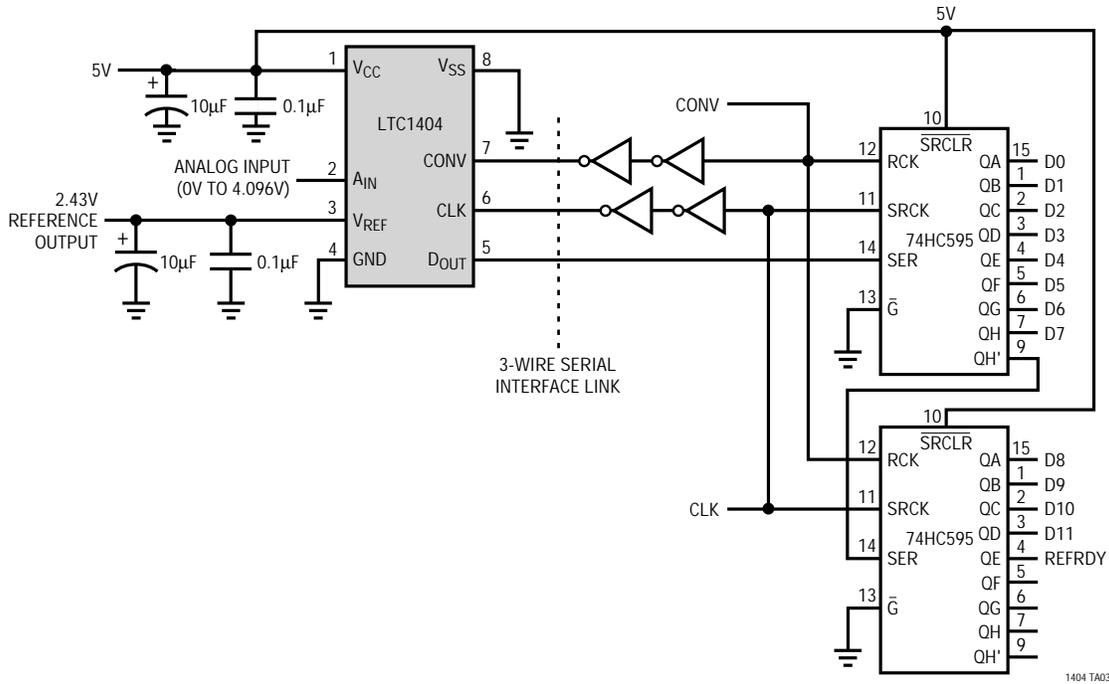
```

/*Section 4: Configure System Control Register and Start Communication*/
/*to configure system control reg*/
ax0 = dm(0x3FFF); /*read the system control reg*/
ay0 = 0xFFFF0;
ar = ax0 AND ay0; /*set wait state to zero*/
ay0 = 0x1000;
ar = ar OR ay0; /*bit 12 = 1, enable SPORT0*/
dm(0x3FFF) = ar;
/*frame sync pulse regenerated automatically*/
cntr = 5000;
do waitloop until ce;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
waitloop: nop;
rts;
.endmod;

```

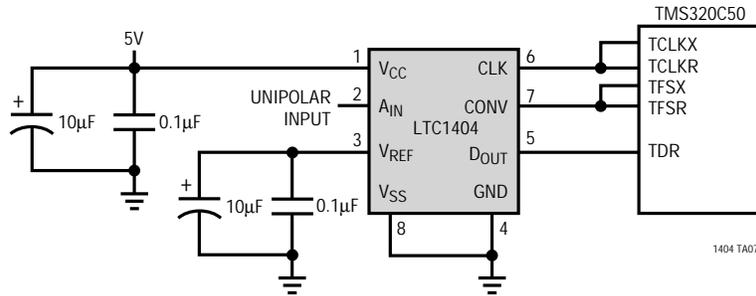
標準的応用例

データをパラレル・フォーマットに変換するためのクイック・ルック回路

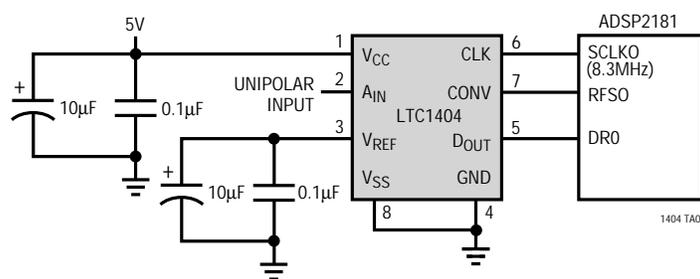


標準的応用例

5MHzで動作するTMS320C50へのLTC1404インターフェース、外部クロックなし



8.3MHzで動作するADSP2181へのLTC1404インターフェース、外部クロックなし



関連製品

12ビット・パラレル出力ADC

製品番号	説明	注釈
LTC1273/LTC1275/ LTC1276	ナイキスト周波数での70dBのSINADの完全な5Vサンプリング12ビットADC	$f_{\text{SAMPLE}} \leq 300\text{ksps}$ の用途向け、低消費電力で経済的
LTC1274/LTC1277	ナップおよびスリープ・モード・シャットダウン機能付き低消費電力12ビットADC	最小消費電力(10mW)、 $f_{\text{SAMPLE}} \leq 100\text{ksps}$
LTC1278/LTC1279	シャットダウン機能付き高速サンプリング12ビットADC	変換スタート入力付きの経済的な12ビットADC、 $300\text{ksps} < f_{\text{SAMPLE}} \leq 600\text{ksps}$ の用途に最適
LTC1282	消費電力12mWの完全な3V、12ビットADC	3V電源アプリケーション用に完全に規定、 $f_{\text{SAMPLE}} \leq 140\text{ksps}$
LTC1409	低消費電力、12ビット、800kspsサンプリングADC	最良のダイナミック性能、 $f_{\text{SAMPLE}} \leq 800\text{ksps}$ 、消費電力80mW
LTC1410	12ビット、1.25MspsサンプリングADC、シャットダウン機能付き	最良のダイナミック性能、ナイキスト周波数にてTHD = 84およびSINAD = 71

12ビット・シリアル出力ADC

製品番号	V _{CC}	サンプリング速度	消費電力	説明
LTC1285/LTC1288	3V	7.5/6.6ksps	0.48mW	3V、1または2入力、マイクロパワー、SO-8
LTC1286/LTC1298	5V	12.5/11.1ksps	1.25mW	1または2入力、マイクロパワー、SO-8
LTC1290	5/±5V	50ksps	30mW	8入力、全二重、シリアルI/O
LTC1296	5/±5V	46.5ksps	30mW	8入力、半二重シリアルI/O、パワー・シャットダウン出力
LTC1400	5/±5V	400ksps	75mW	完全な12ビット、400ksps、SO-8 ADC、シャットダウン機能付き
LTC1401	3V	200ksps	15mW	完全な12ビット、200ksps、SO-8 ADC、シャットダウン機能付き