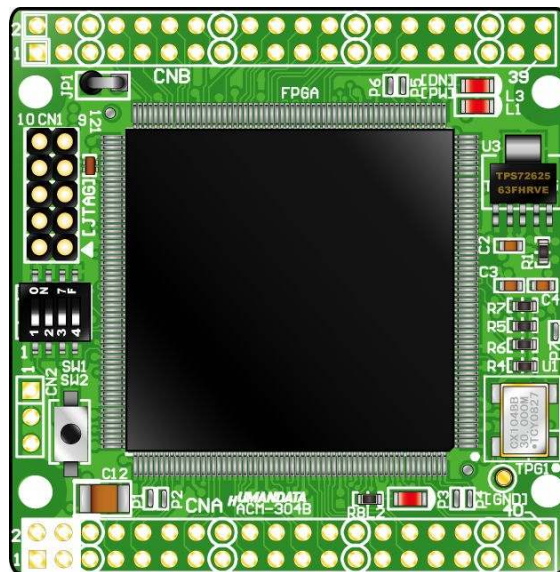




CycloneⅢ ブレッドボード  
(セミカードサイズ)  
ACM-304 シリーズ  
ユーザーズマニュアル  
Ver. 1.1



ヒューマンデータ



## 目 次



● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	2
3. 固定ピンについて【重要】.....	3
4. 製品説明.....	4
4.1. 各部の名称.....	4
4.2. ブロック図.....	5
4.3. 電源入力.....	6
4.4. JTAGコネクタ (CN1).....	6
4.5. コンフィギュレーションモード設定 (SW1).....	6
5. FPGA のコンフィギュレーション.....	7
6. コンフィギュレーション ROM.....	8
6.1. jicファイルの作成.....	8
6.2. 書き込み.....	10
7. FPGA ピン割付表.....	11
7.1. CNA.....	11
7.2. CNB.....	12
7.3. オンボード クロック.....	13
7.4. 汎用SW.....	13
7.5. 汎用LED.....	13
7.6. シリアルI/F (CN4).....	13
8. Dual-Purpose Pins の設定.....	14
9. 参考資料について.....	15
10. 付属資料.....	15

## ● はじめに

この度は、CycloneⅢブレッドボード／ACM-304シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-304シリーズは、アルテラ社の高性能FPGAであるCycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP可能なコンフィギュレーションROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2009/09/25	1.0	初版発行
2010/08/24	1.1	追記：FPGA ピン割付表、Dual-Purpose Pins の設定

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-304 シリーズ	1
付属品		1
マニュアル（本書）		1 *
ユーザー登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

## 2. 仕様

製品型番	ACM-304-16C8	ACM-304-40C8
搭載 FPGA	EP3C16Q240C8N	EP3C40Q240C8N
電源	DC 3.3V（内部電源はオンボードレギュレータにより生成）	
外形寸法	53 x 54 [mm]	
質量	約 26 [g]	
ユーザ I/O	56 本	
I/O コネクタ	40 ピンスルーホール 0.9[mmΦ] × 2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
コンフィグ ROM	EPCS16S18N (ALTERA, 16Mb)	
MRAM	MR2A16AYS35 (EVERSPIN, 4Mb)	
オンボードクロック	30MHz（外部供給可能）	
リセット回路	電源 IC TPS72625DCQR に内蔵 (200ms TYP)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER, DONE)	
汎用 LED	1 個	
汎用スイッチ	押しボタン SW x1 ディップ SW (1/4bit)	
付属品	DIL10 ピンヘッダ 1 個（本体に取付け済み） DIL40 ピンヘッダ 2 個（任意にカット可能）	

\* これらの部品や仕様は変更となる場合がございます

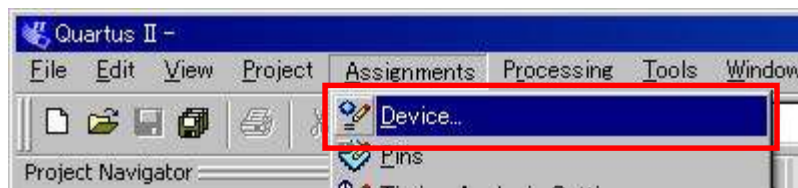
## 3. 固定ピンについて【重要】

本ボードでは、一部の I/O ピンが GND または VCCINT (1.2V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。

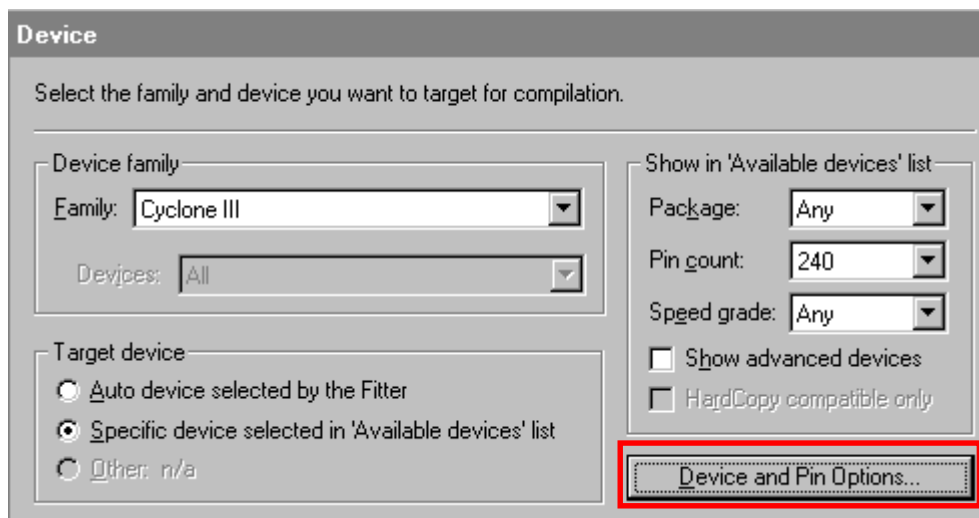
(固定ピンについては別途ピンリスト資料を参照ください)

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

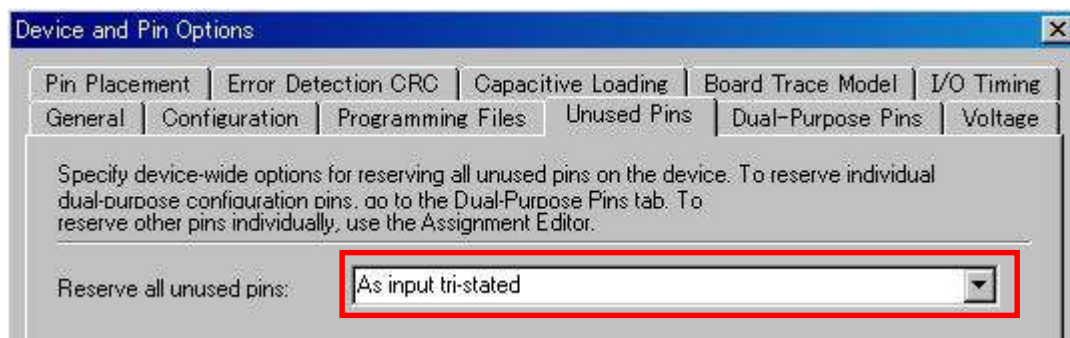
1. 【Assignments -> Device】をクリックします。



2. 【Device and Pin Options...】をクリックします。

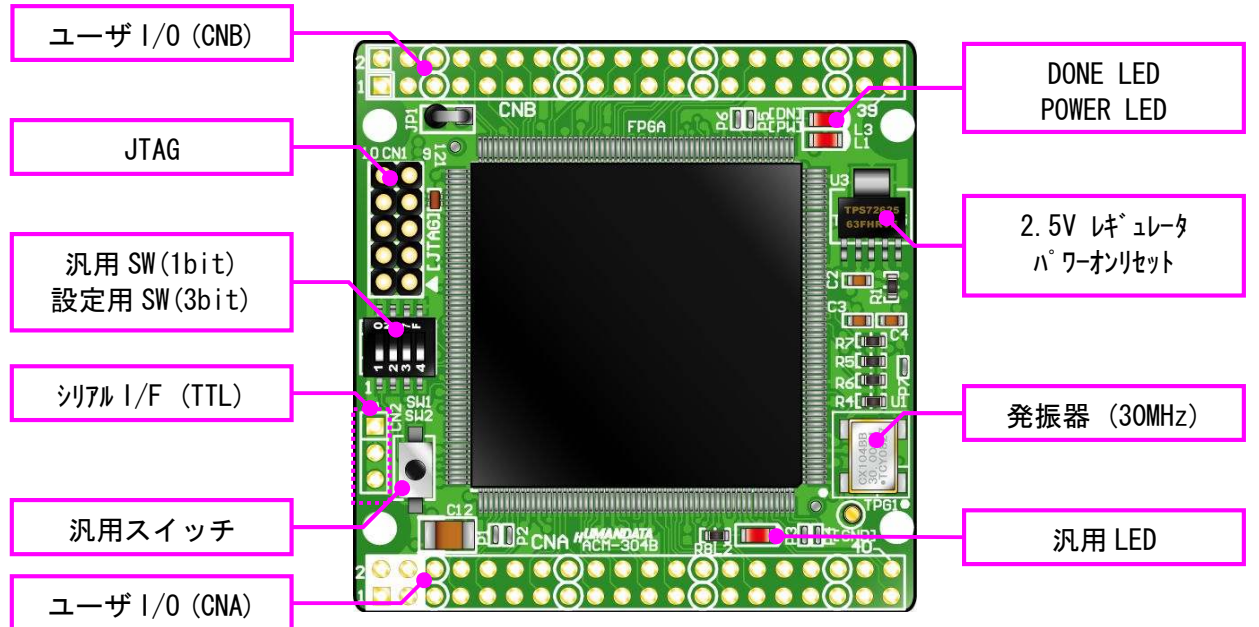


3. 【Reserve all unused pins】を【As input tri-stated】に設定します。

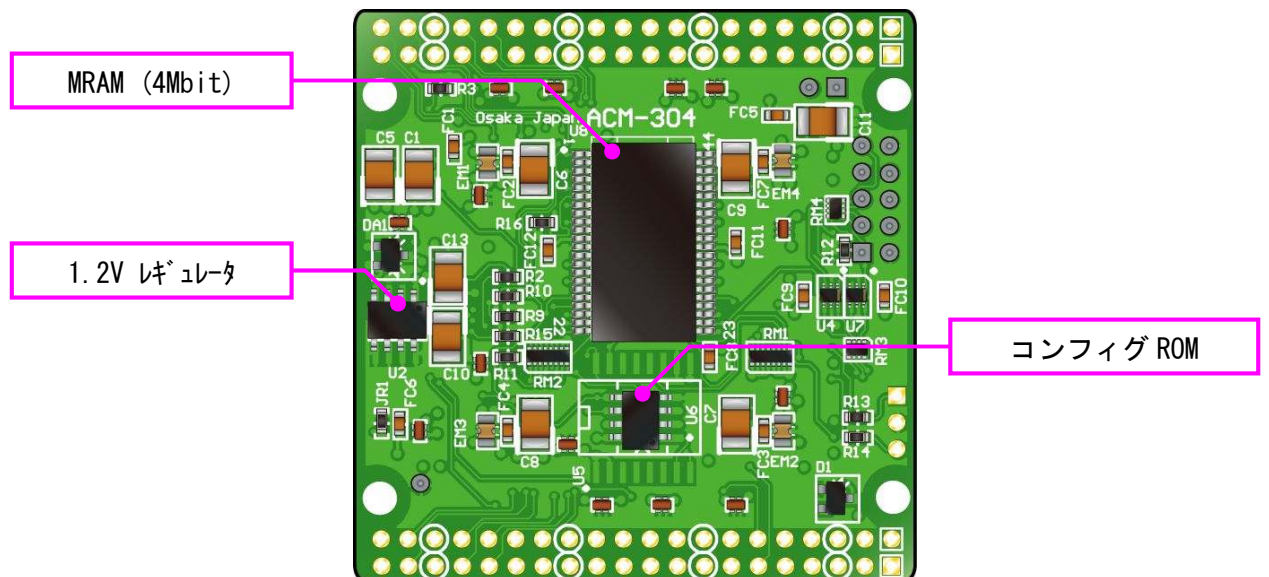


## 4. 製品説明

### 4.1. 各部の名称

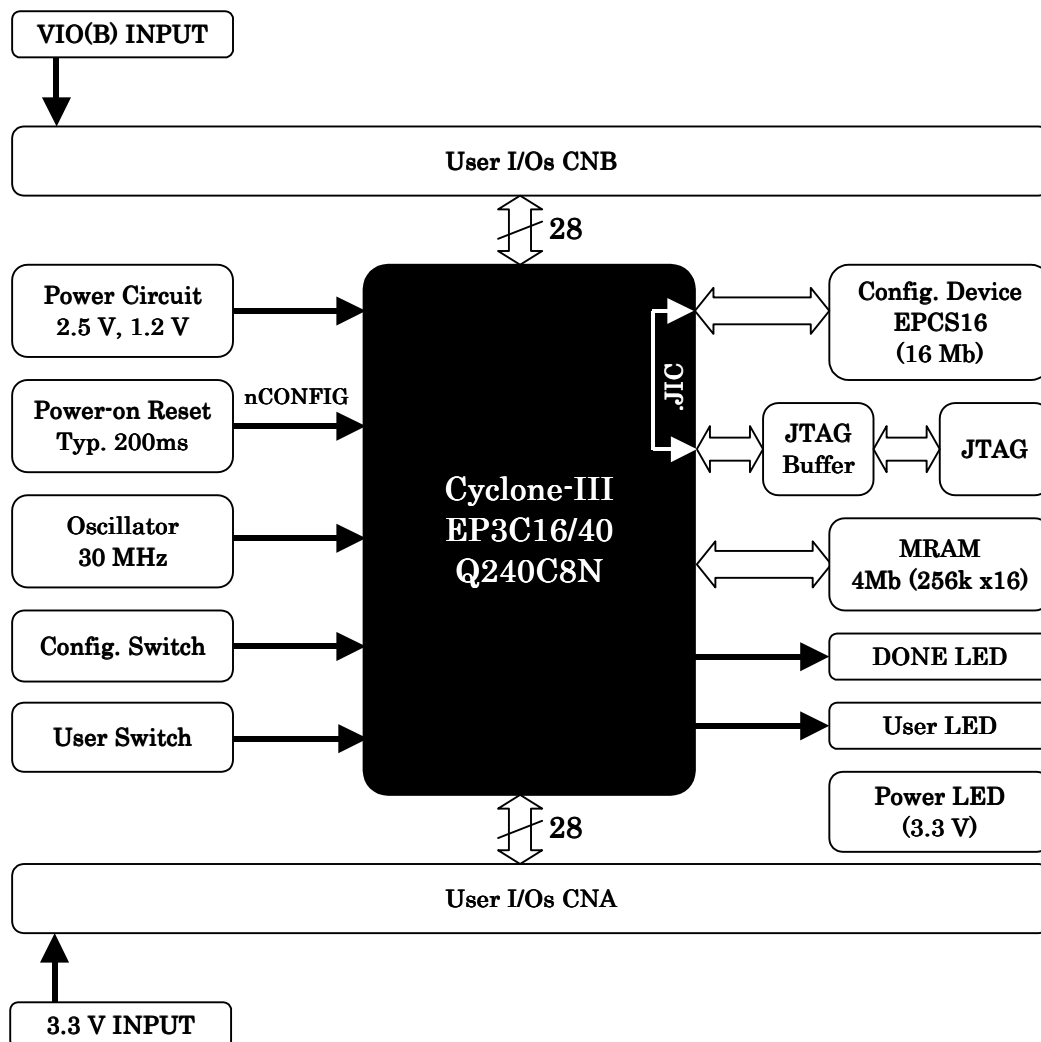


部品面



はんだ面

## 4.2. ブロック図



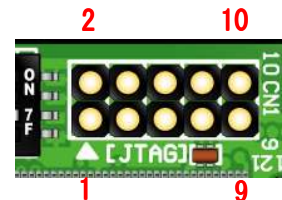


## 4.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。外部から供給する 3.3V 電源は安定し十分な余裕のあるものをご用意ください。

## 4.4. JTAG コネクタ (CN1)

FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP に使用します。ピン配置は次表のとおりです。



CN1

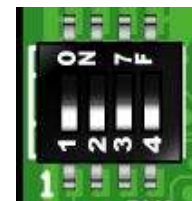
ネットラベル	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、の 10 ピンコネクタと 1:1 に対応しています。ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIL10 ピンヘッダをご利用できます。

## 4.5. コンフィギュレーションモード設定 (SW1)

SW1 によりコンフィギュレーションモードを設定できます。  
(ON によりゼロ設定となります)



ピン番号	1	2	3	4
NET LABEL	PSW1	MSELO	MSEL1	MSEL2
出荷時設定	OFF	OFF	OFF	OFF
機能	汎用	モードセレクト		

モード	MSELO	MSEL1	MSEL2	転送対象
AS	0	1	0	コンフィギュレーション ROM *
JTAG	X	X	X	FPGA

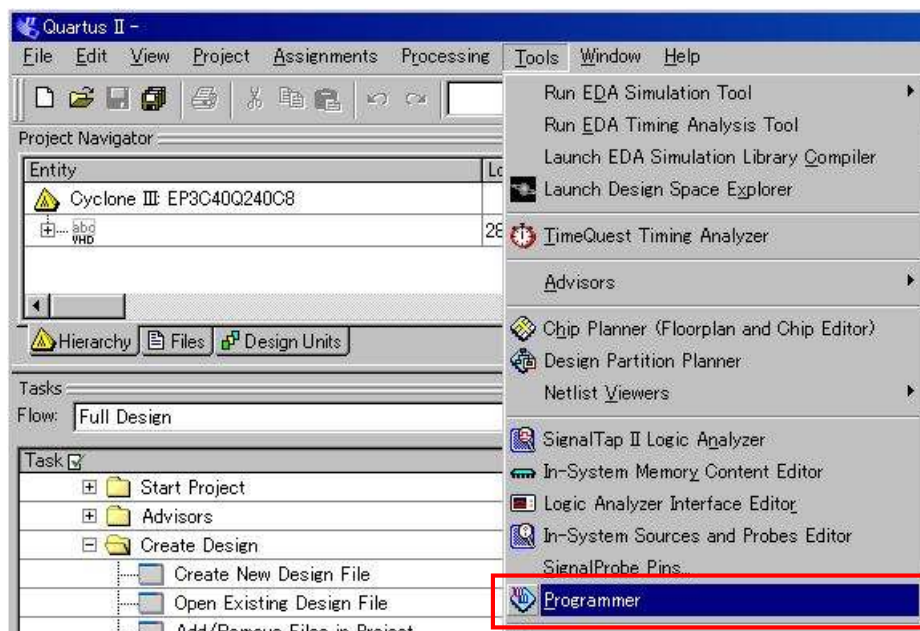
X : Don't Care

(\*) FPGA リセット時の ROM からのコンフィギュレーションもこの設定です。

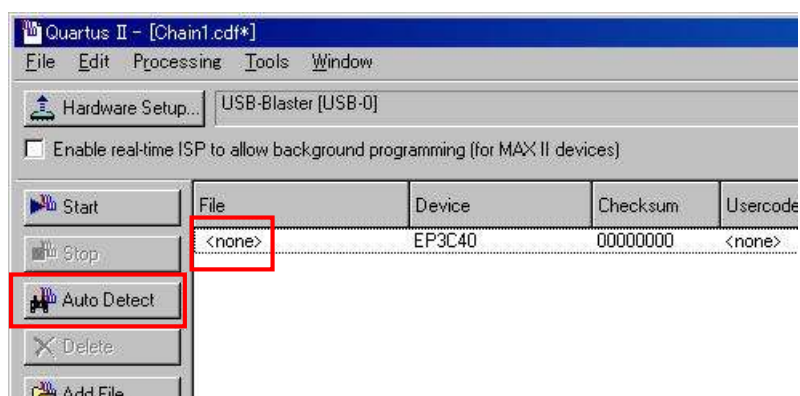
その他の設定項目については Cyclone III のデータシートをご参照ください。

## 5. FPGA のコンフィギュレーション

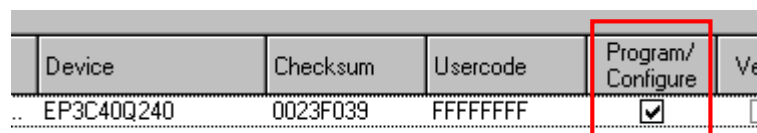
1. Quartus II を起動し【Programmer】をクリックします。



2. 【Auto Detect】をクリックしデバイスを認識させます。  
【none】部分をダブルクリックし、sof ファイルを選択します。



3. 【Program/Configure】にチェックを入れ【Start】をクリックします。



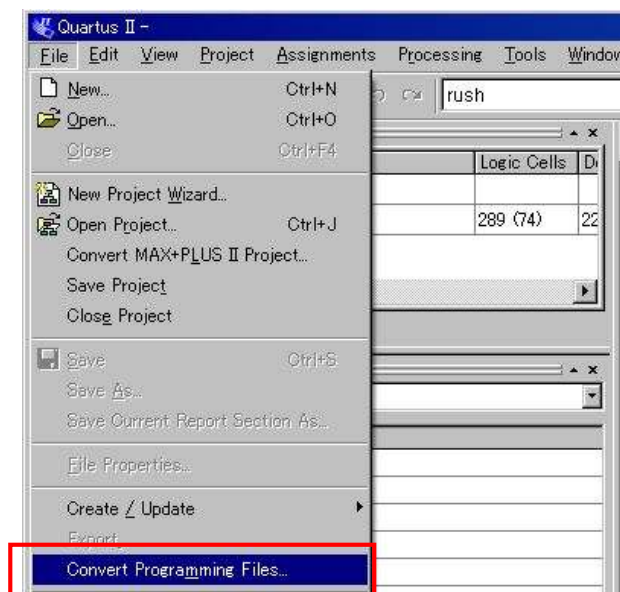
正常にコンフィギュレーションが完了すると DONE LED が点灯します。

## 6. コンフィギュレーション ROM

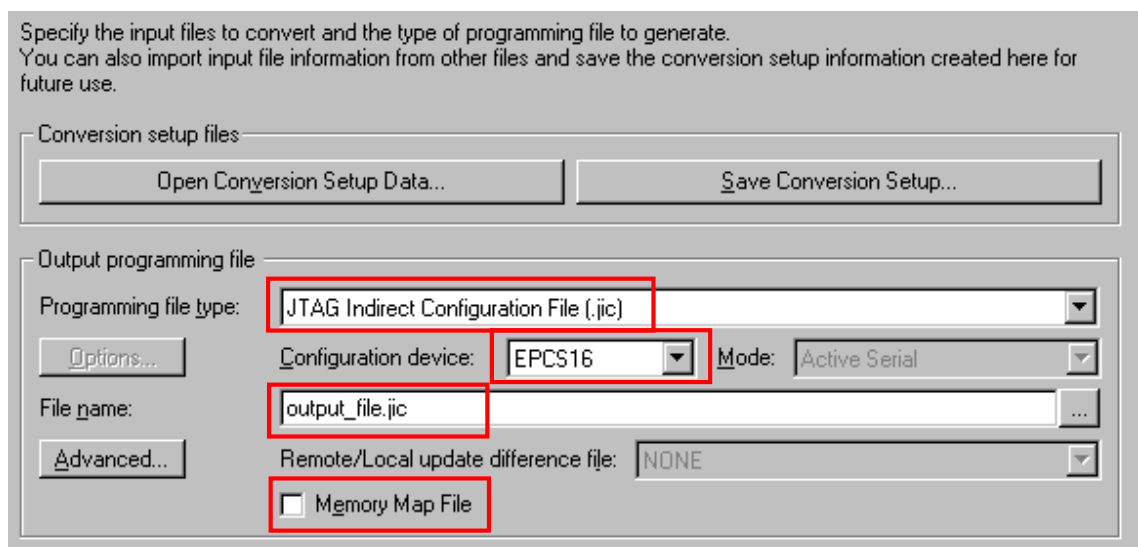
ACM-304 にはコンフィギュレーション ROM として EPCS16S18N が搭載されています。書き込むには QuartusII で jic ファイルを作成する必要があります。ROM からのコンフィギュレーションは電源投入時に自動的に行われます。書き込むデータは十分に検査され、安全性のあるものをご使用ください。

### 6.1. jic ファイルの作成

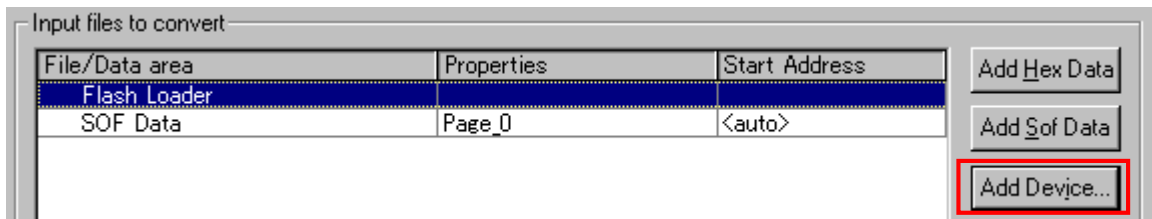
1. QuartusII を起動し【File -> Convert Programming Files..】をクリックします。



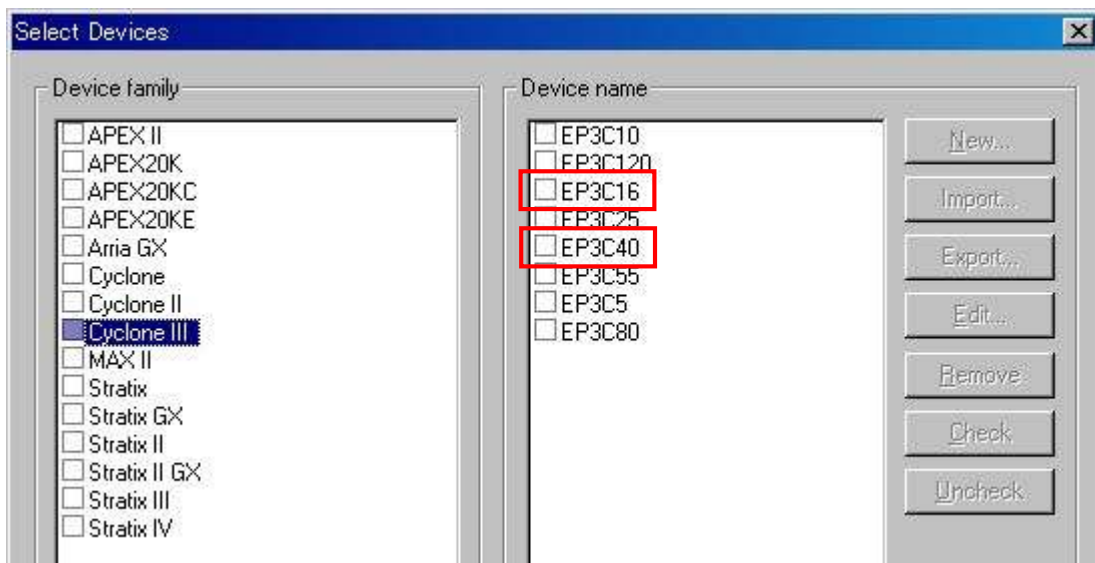
2. 【Programming File type】 : JTAG Indirect Configuration File (.jic)  
 【Configuration device】 : EPCS16  
 【File name】 : 任意  
 を指定し【Memory Map File】のチェックを外します。



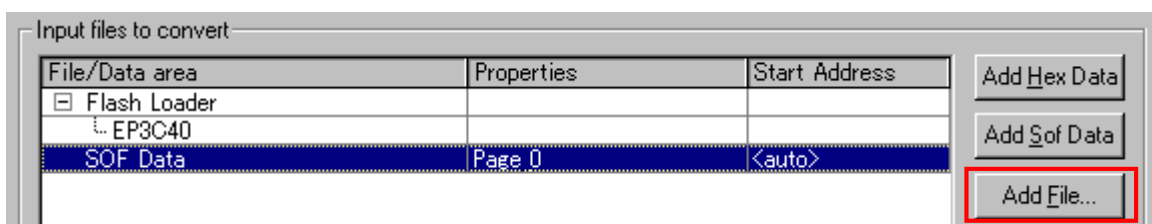
3. 【Flash Loader】を選択し【Add Device..】をクリックします。



4. 搭載デバイスを選択し【OK】をクリックします。(EP3C16 または EP3C40)



4. 【SOF Data】欄を選択し sof データを 割り当てます。

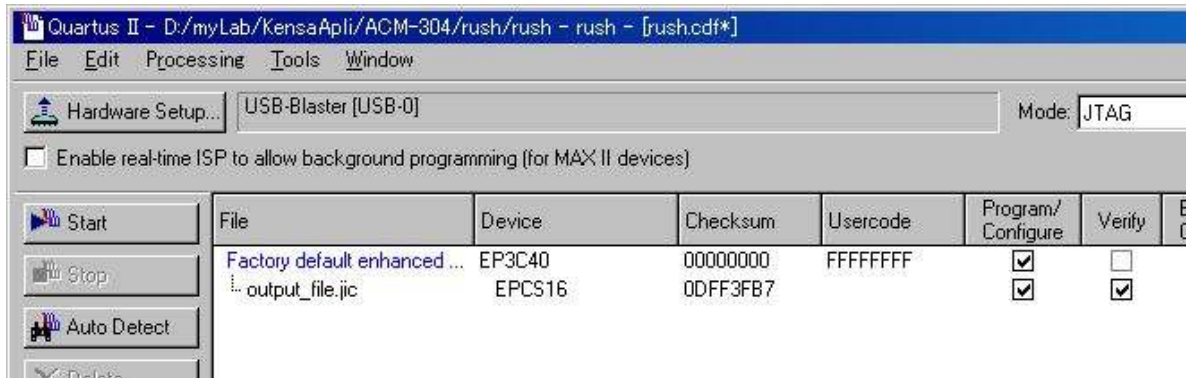


5. 【Generate】をクリックします。

## 6.2. 書き込み

書き込みには SW1 の設定が必要です。詳しくは4.5節を参照してください。

1. Quartus II を起動し【Programmer】をクリックします。
2. 【Auto Detect】をクリックしデバイスを認識させます。
3. 【none】部分をダブルクリックし jic ファイルを選択します。
4. 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックします。



## 7. FPGA ピン割付表

### 7.1. CNA

BANK	NET LABEL	FPGA Pin	CNA Pin		FPGA Pin	NET LABEL	BANK
		3.3 V (Input)	1	2	3.3 V (Input)		
		Power (Reserved)	3	4	Power (Reserved)		
		GND	5	6	GND		
A	IOA0	183	7	8	184	IOA1	A
A	IOA2	187	9	10	188	IOA3	
A	IOA4	189	11	12	194	IOA5	A
A	IOA6	195	13	14	196	IOA7	A
		GND	15	16	GND		
A	IOA8	197	17	18	200	IOA9	A
A	IOA10	201	19	20	202	IOA11	A
A	IOA12	203	21	22	207	IOA13	A
A	IOA14	214	23	24	216	IOA15	A
		GND	25	26	GND		
A	IOA16	217	27	28	218	IOA17	A
A	IOA18	219	29	30	221	IOA19	A
A	IOA20	223	31	32	224	IOA21	A
A	IOA22	226	33	34	230	IOA23	A
		GND	35	36	GND		
A	IOA24	231	37	38	232	IOA25	A
A	IOA26	235	39	40	236	IOA27	A

## 7.2. CNB

BANK	NET LABEL	FPGA Pin	CNB Pin		FPGA Pin	NET LABEL	BANK
		3.3 V (Input)	1	2	3.3 V (Input)		
		Power (Reserved)	3	4	Power (Reserved)		
		GND	5	6	GND		
B	IOB0	118	7	8	117	IOB1	B
B	IOB2	114	9	10	113	IOB3	B
B	IOB4	112	11	12	111	IOB5	B
B	IOB6	110	13	14	107	IOB7	B
		GND	15	16	GND		
B	IOB8	103	17	18	106	IOB9	B
B	IOB10	99	19	20	100	IOB11	B
B	IOB12	95	21	22	98	IOB13	B
B	IOB14	93	23	24	94	IOB15	B
		GND	25	26	GND		
B	IOB16	87	27	28	88	IOB17	B
B	IOB18	83	29	30	84	IOB19	B
B	IOB20	81	31	32	82	IOB21	B
B	IOB22	78	33	34	80	IOB23	B
		GND	35	36	GND		
B	IOB24	73	37	38	76	IOB25	B
B	IOB26	63	39	40	68	IOB27	B

## 7.3. オンボード クロック

Frequency	NET LABEL	FPGA Pin
30 MHz	CLK-A	209, 210, 211, 212
	CLK-B	31, 32, 33, 34
	CLK-C	149, 150, 151, 152
	CLK-D	89, 90, 91, 92

## 7.4. 汎用 SW

LED	NET LABEL	FPGA Pin
L2	U-LED3	18

## 7.5. 汎用 LED

SW	NET LABEL	FPGA Pin
SW-1	PSW1	177
SW-2	PSW2	162

## 7.6. シリアル I/F (CN4)

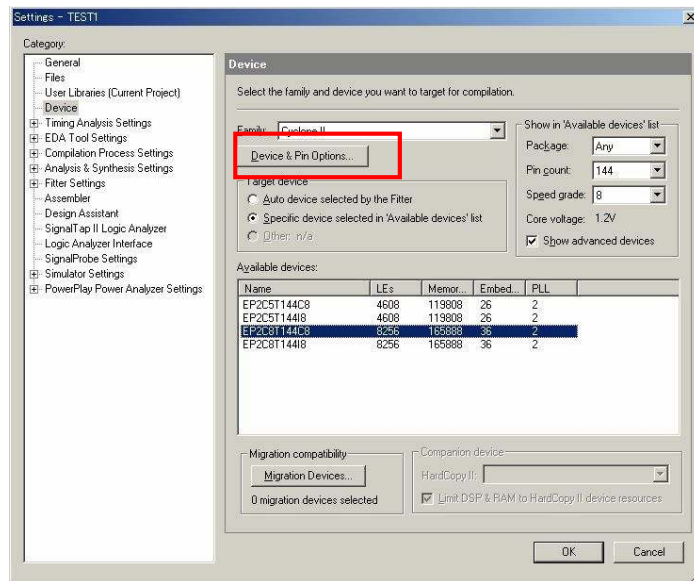
NET LABEL	FPGA Pin
D_RXD	166
D_TXD	161



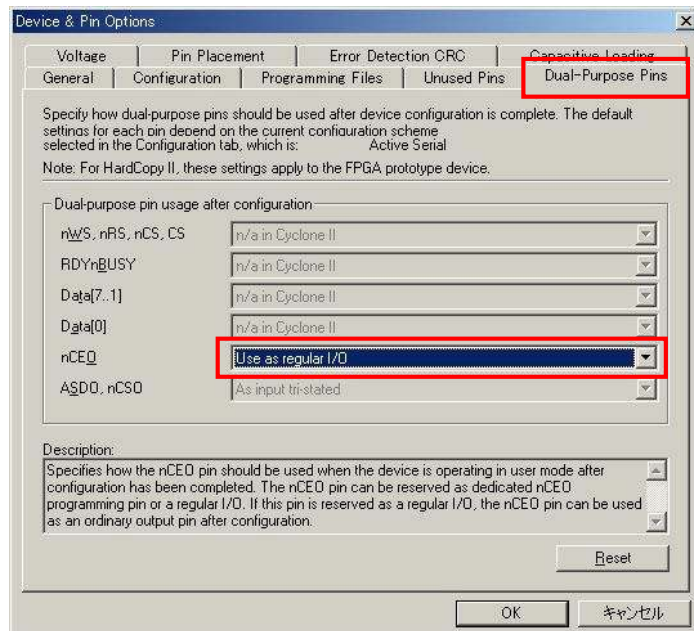
## 8. Dual-Purpose Pins の設定

PSW2 は nCEO に割り付けられています。このピンを I/O に設定しないと使用することが出来ません。以下に I/O に設定する方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。Device & Pin Options...】をクリックしてください。



- ▼ 次に【Dual-Purpose Pins】のタブを開き nCEO の設定を【Use as regular I/O】に設定してください



## 9. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-304/index.html>

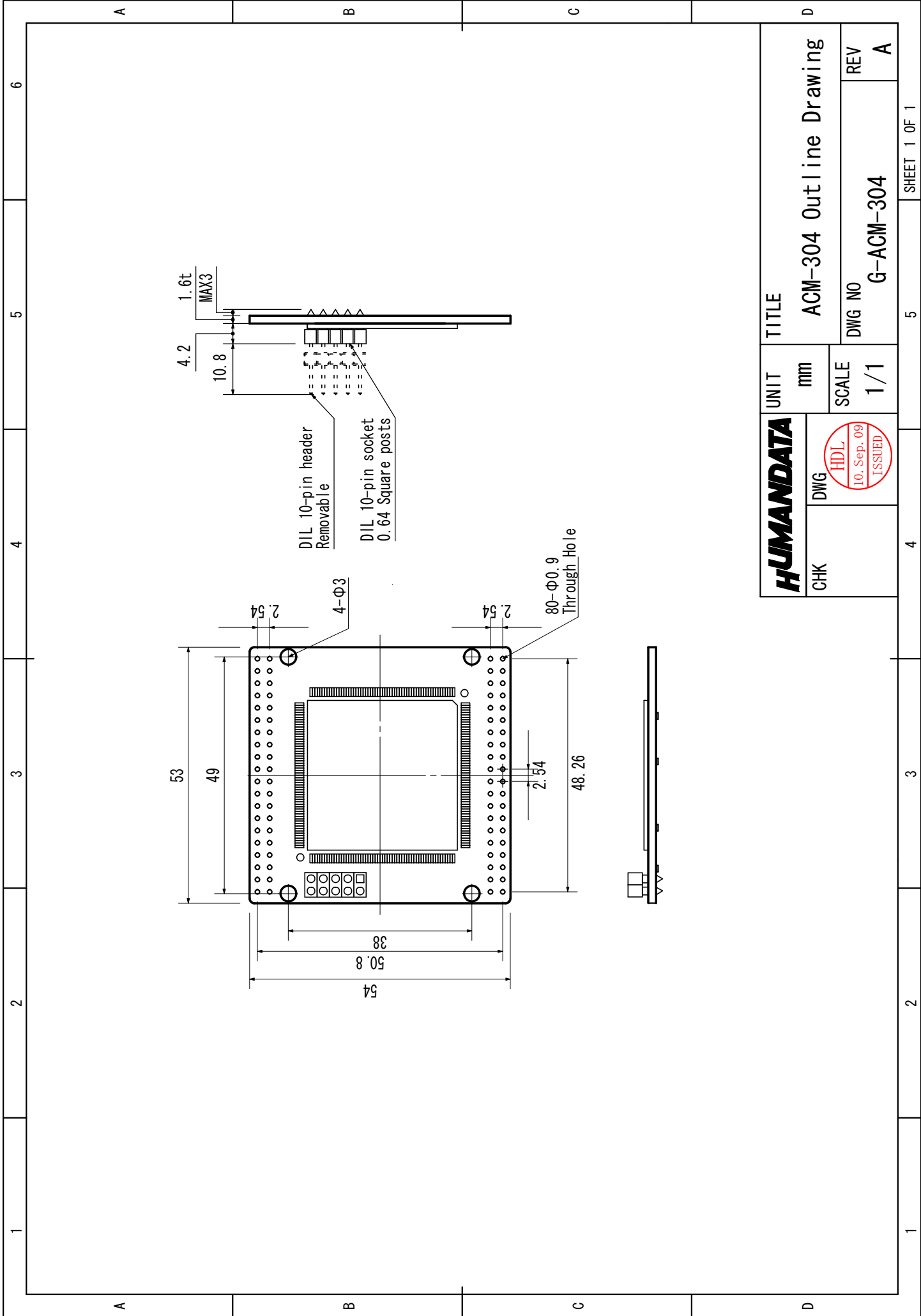
- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 10. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



<b>HUMANDATA</b>	UNIT	TITLE	
	mm	ACM-304 Outline Drawing	
DWG	SCALE	DWG NO	REV
	1/1	G-ACM-304	A
CHK	ISSUED		
	10. Sep. 09		
	HDL		

---

Cyclone III ブレッドボード  
(セミカードサイズ)  
ACM-304 シリーズ  
ユーザーズマニュアル

---

2009/09/25 Ver1.0 (初版)

2010/08/24 Ver. 1.1

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---