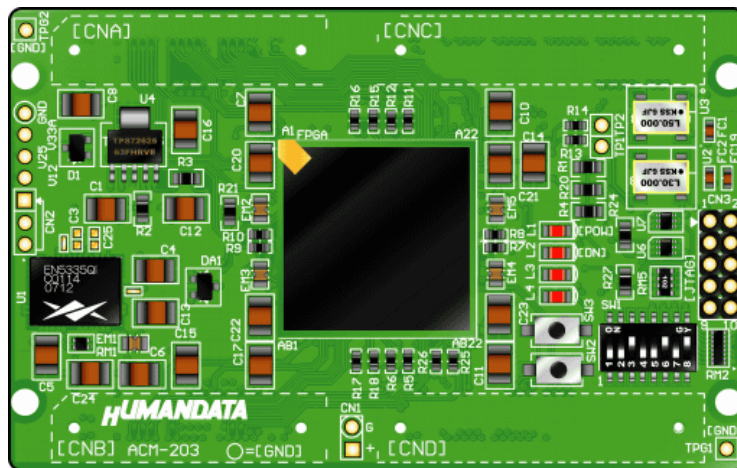




Cyclone III
(高密度カードサイズ)
ACM-203 シリーズ
ユーザズマニュアル
初版



ヒューマンデータ

目次



はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品概要.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAG コネクタ.....	5
4. DIPSW の説明.....	6
5. FPGA のコンフィギュレーション.....	7
6. コンフィギュレーション ROM への書込み.....	9
6.1. jic ファイルの作成.....	9
6.2. コンフィギュレーション ROM に ISP(書込み).....	12
6.3. ROM から FPGA へコンフィギュレーション.....	13
7. ピン割付表.....	14
7.1. CNA.....	14
7.2. CNB.....	15
7.3. CNC.....	16
7.4. CND.....	17
7.5. オンボード CLK.....	18
7.6. 外部入力 CLK.....	18
7.7. 汎用 LED.....	19
7.8. 汎用スイッチ.....	19
7.9. 汎用 SW(DIP).....	19
7.10. その他.....	19
8. 固定ピンについて 【重要】	20
9. ACM-203 シリーズ 参考資料について.....	22
10. 付属資料.....	22

はじめに

この度は、CycloneⅢブレッドボード／ACM-203 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-203 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-203 シリーズ	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます。）

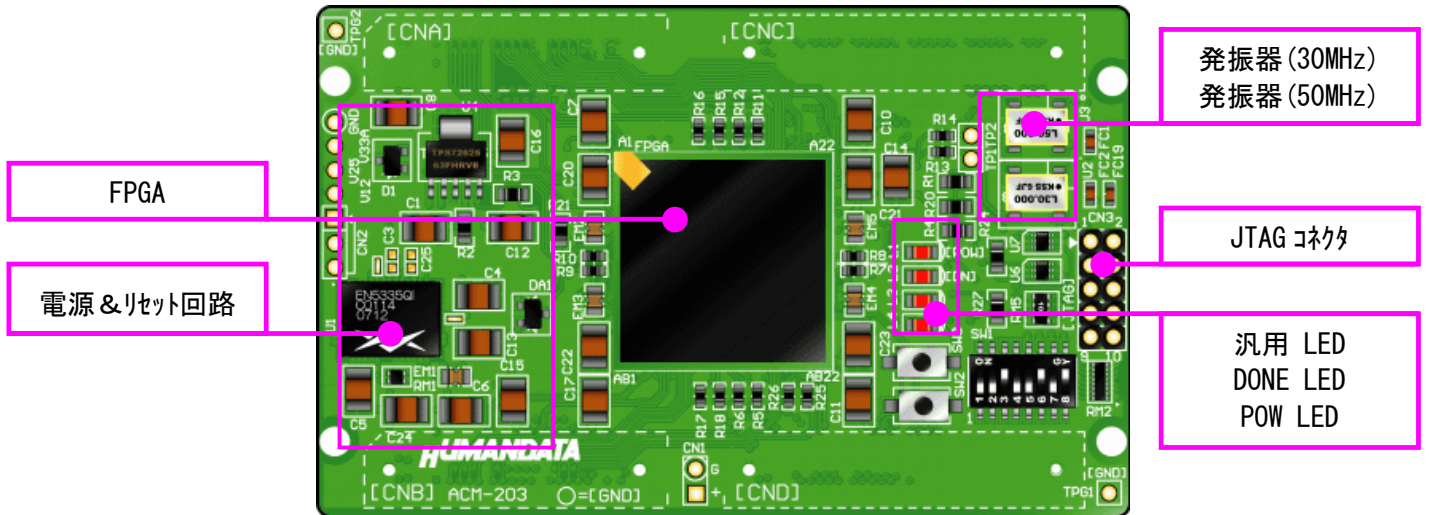
2. 仕様

製品型番	ACM-203-16C8	ACM-203-40C8	ACM-203-55C8
搭載 FPGA	EP3C16Q484C8N	EP3C40Q484C8N	EP3C55Q484C8N
電源	DC 3.3V（内部電源はオンボードレギュレータにより生成）		
消費電流	N/A（詳細は FPGA データシートご参照）		
外形寸法	86×54 [mm]		
質量	約 33 [g]		
ユーザ I/O	262 本		
I/O コネクタ	メーカ型番:FX10A-80P/8-SV1(71) (ヒロセ電機)		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
コンフィギュレーション ROM	EPCS16S116N (ALTERA) *		
クロック	オンボード 30MHz, 50MHz 外部供給可能		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	2 個		
汎用スイッチ	押しボタン SW 2 個 DIPSW 4 ビット		
付属品	DIP10 ピンヘッダ (本体に取付け済み) 1 個 *		
	コネクタ:FX10A-80S/8-SV(71) (ヒロセ電機) 2 個		
	コネクタ:FX10A-100S/10-SV(71) (ヒロセ電機) 2 個		

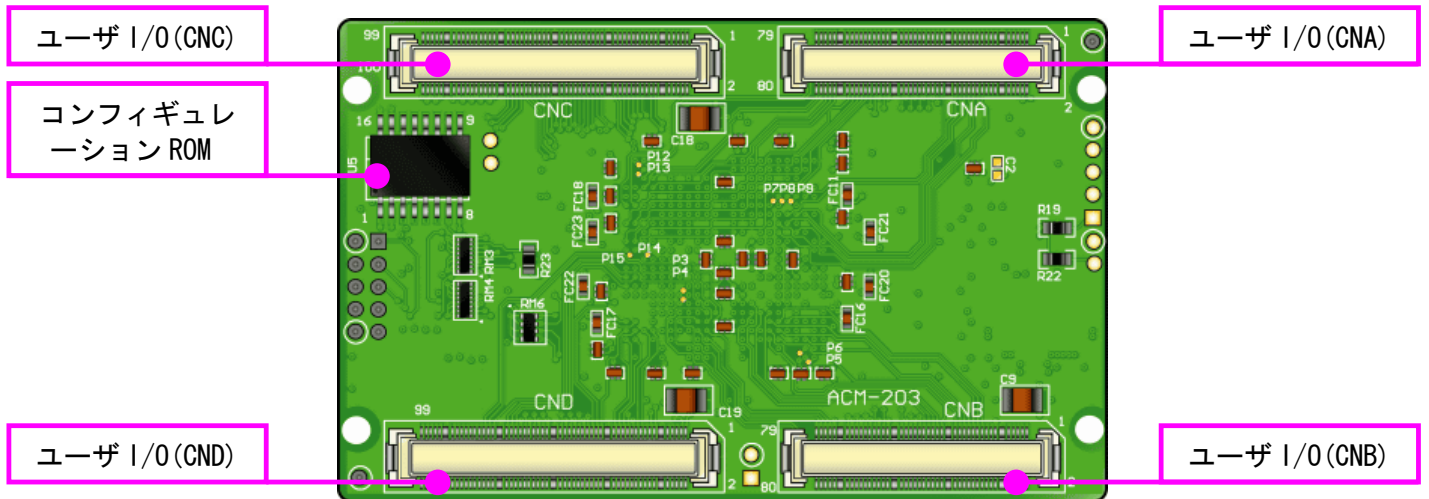
* 互換品に変更されることがあります

3. 製品概要

3.1. 各部の名称

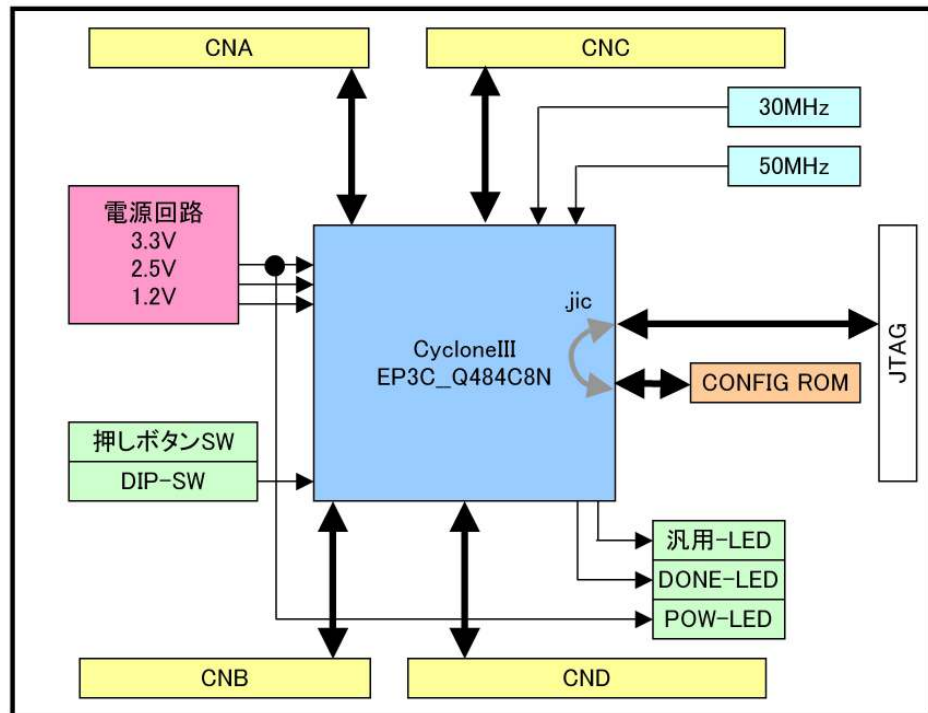


部品面



はんだ面

3.2. ブロック図



3.3. 電源入力

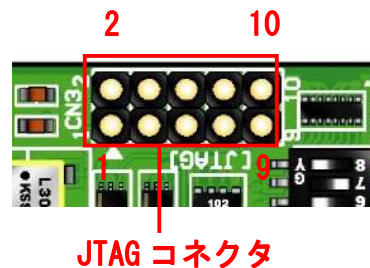
本ボードは、DC 3.3V単一電源で動作します。
外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。



電源はCNA、CNB、CNC、CNDから**太い配線**で供給してください。
電源、GNDはすべてのピンに接続することをお勧めします

3.4. JTAG コネクタ

FPGA へのコンフィギュレーション及び
コンフィギュレーション ROM の ISP に
使用します。
ピン配置は次表のとおりです。



CN3

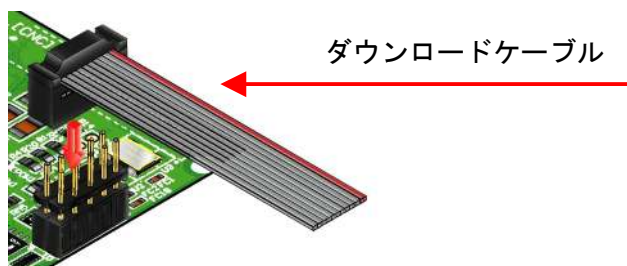
回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3、BLKITの10ピンコネクタと1:1
で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッ
ダをご利用できます

使用例



注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

4. DIPSW の説明

SW1 は FPGA の MSEL0、MSEL1、MSEL2、MSEL3 を設定します。
SW-ON で Lo に固定されます。

	S1	S2	S3	S4	S5	S6	S7	S8
NET LEVEL	MSEL0	MSEL1	MSEL2	MSEL3	DSW4	DSW5	DSW6	DSW7
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード				汎用			

CycloneIII のコンフィギュレーション手法

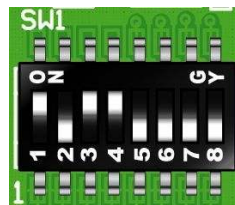
コンフィギュレーション・モード	MSEL3	MSEL2	MSEL1	MSEL0
PS モード	0	0	0	0
AS モード	0	0	1	0
JTAG	1	1	1	1



詳しくは ALTERA 社の最新データシートをご覧ください。

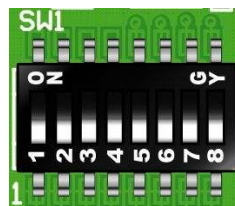
ROM 使用時 : SW1 (S1、S3、S4 ON S2 OFF)

MSEL0 = 0
MSEL1 = 1
MSEL2 = 0
MSEL3 = 0



JTAG 使用時 : SW1 (SW1 の状態に影響されません)

MSEL0 = 1
MSEL1 = 1
MSEL2 = 1
MSEL3 = 1



(出荷時)

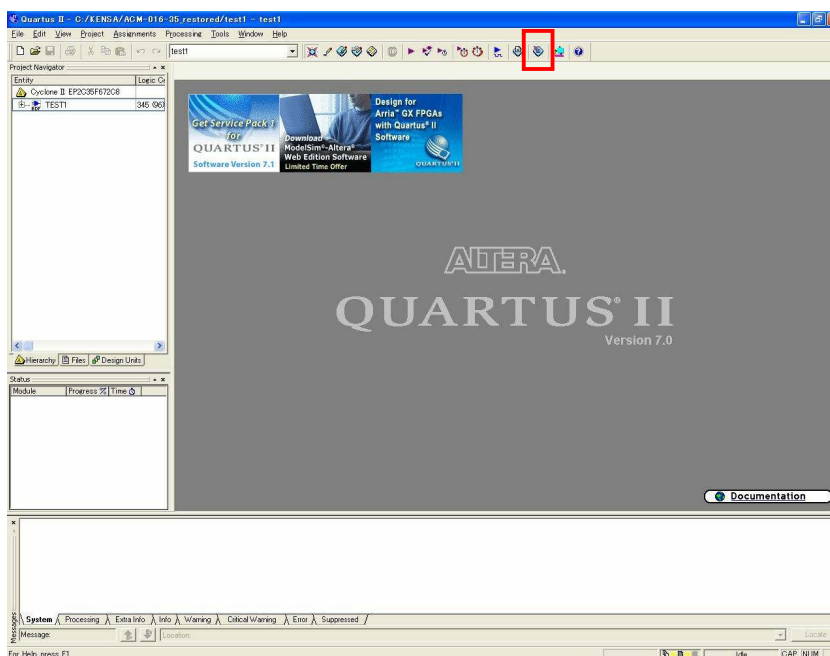


出荷時はすべて OFF の設定になっています。

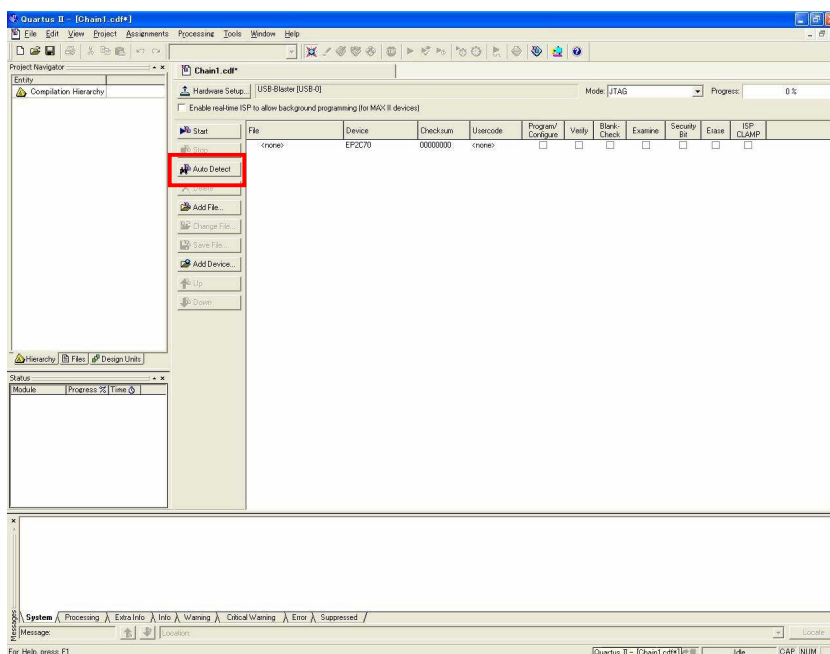
5. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

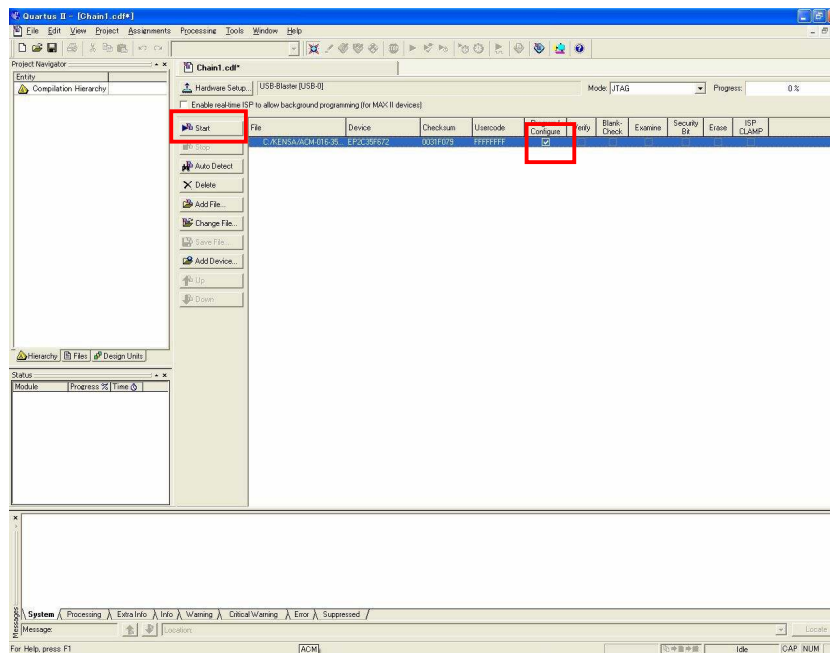
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



正常にコンフィギュレーションが出来れば ACM-203 のボード上の L2 が点灯します。

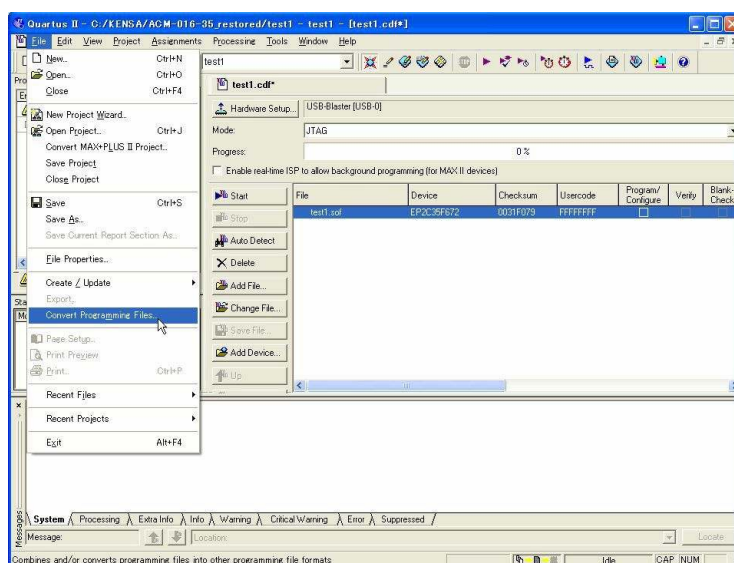
6. コンフィギュレーション ROM への書き込み

ACM-203 にはコンフィギュレーション ROM (EPCS16) が実装されています。コンフィギュレーション ROM に ISP するためには Quartus II により jic ファイルを作成します。

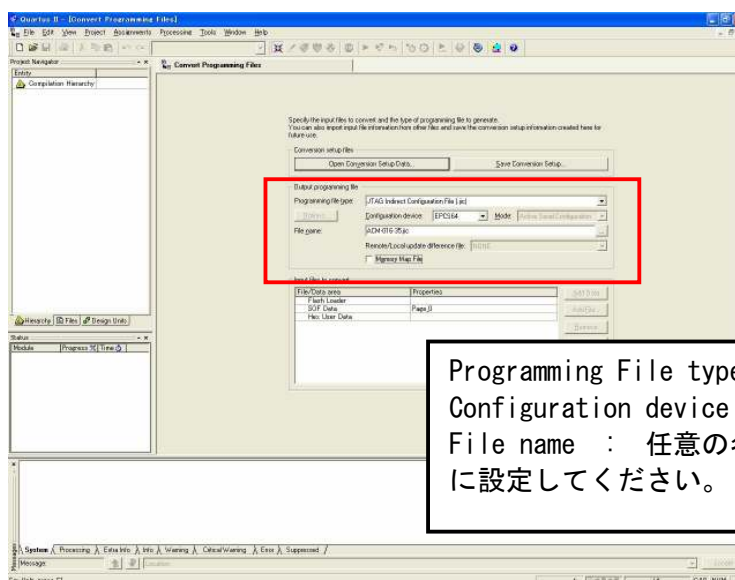
6.1. jic ファイルの作成

jic ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

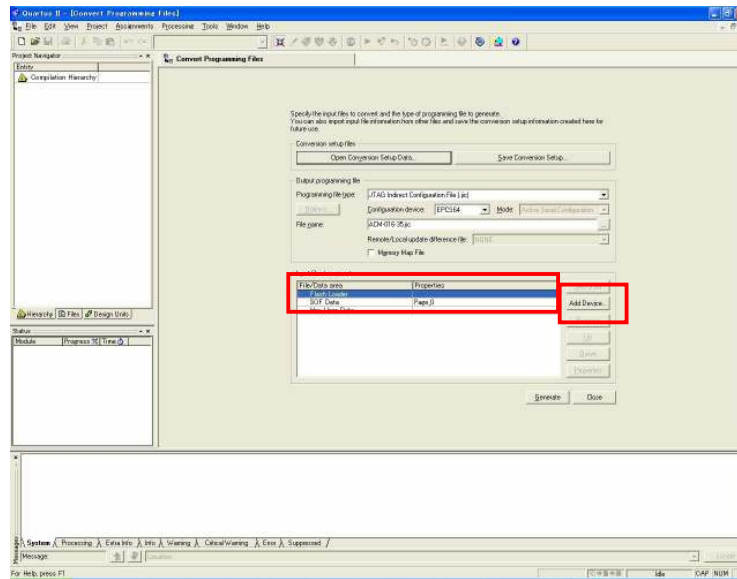
- ▼ Quartus II を起動し【FILE/Convert Programming Files】をクリックします。



- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。



- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。

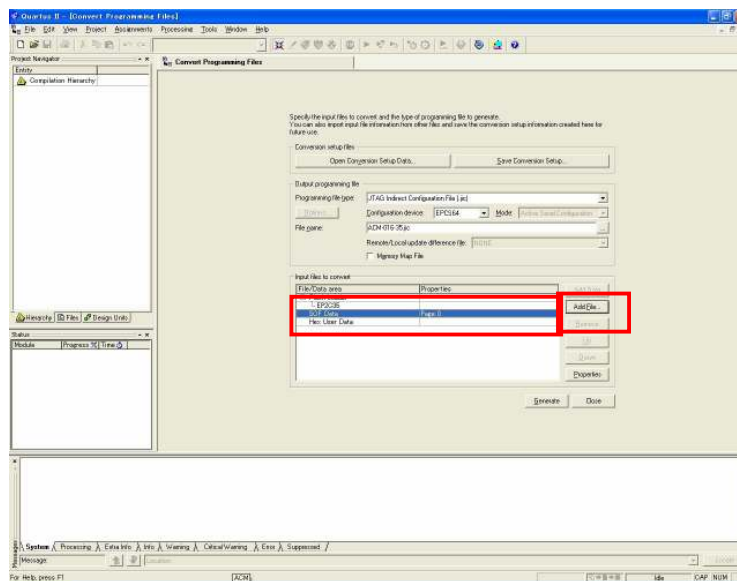


- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。

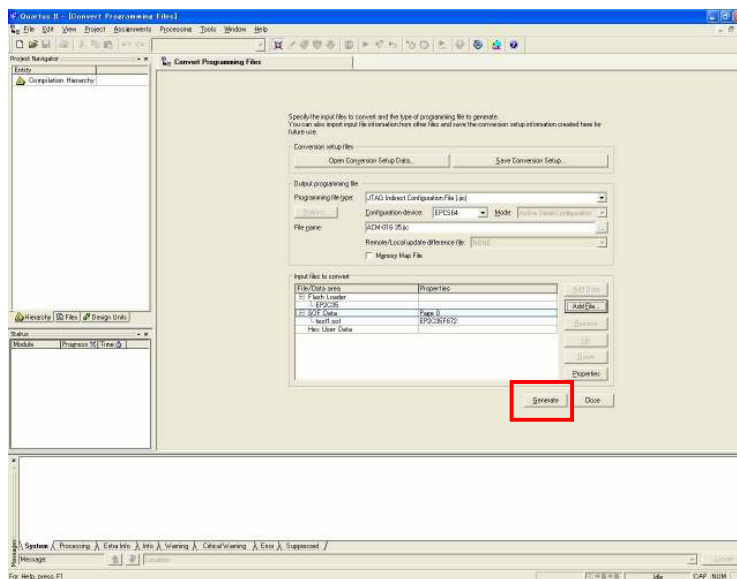


Cyclone III
 EP3C(※)を選択してください。
 (※)はご使用のFPGAの型番(16or40or55)

- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。



これで jic ファイルができました。

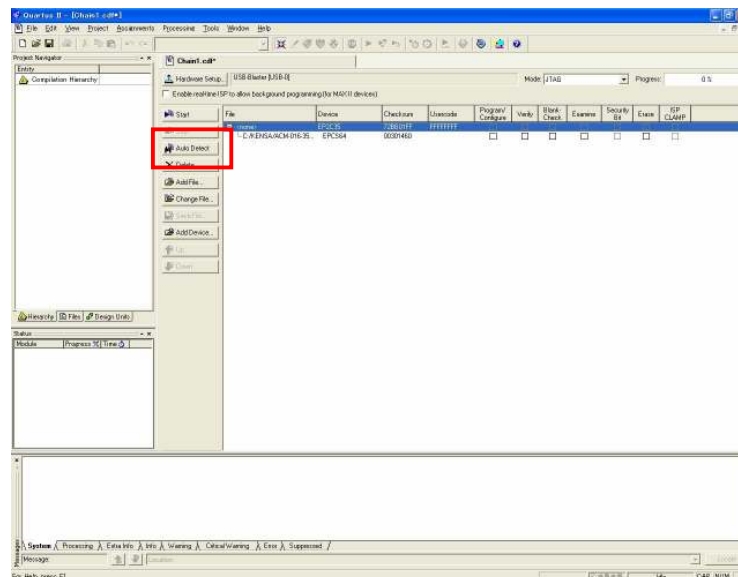
6.2. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。ROM に ISP する際、DIPSW の設定が必要です。

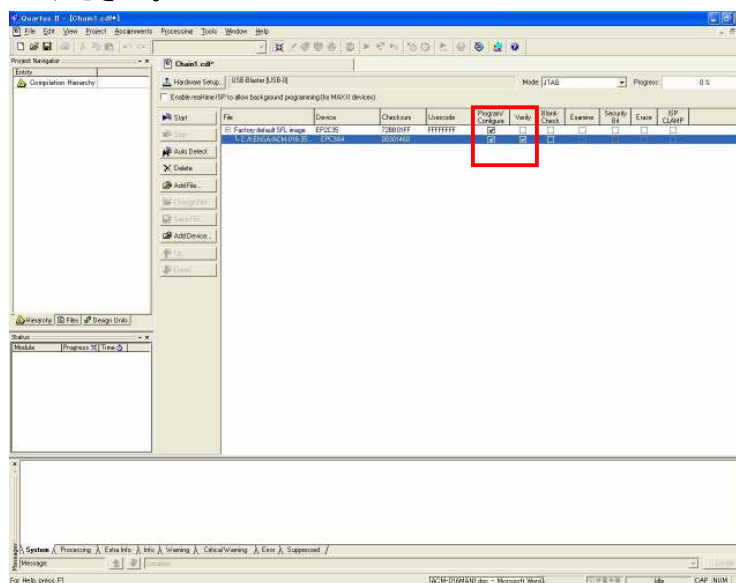
DIPSW (SW1) の設定を下記のように設定してください。

	S1	S2	S3	S4	S5	S6	S7	S8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>				
OFF		<input type="checkbox"/>			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

- ▼ 5.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



6.3. ROM から FPGA へコンフィギュレーション

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。

ROM から FPGA にコンフィギュレーションする際、DIPSW の設定が必要です。

DIPSW (SW1) の設定を下記のように設定してください。

	S1	S2	S3	S4	S5	S6	S7	S8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>				
OFF		<input type="checkbox"/>			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

設定が終了しましたら、電源を入れなおすと ROM から FPGA へコンフィギュレーションされます。

7. ピン割付表

7.1. CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
A	CLK0	B12	11	12	A12	CLK1	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	J1	17	18	J6	IOA32	A
A	IOA1	J2	19	20	H6	IOA33	A
A	IOA2	H1	21	22	J4	IOA34	A
A	IOA3	H2	23	24	H5	IOA35	A
A	IOA4	F1	25	26	G3	IOA36	A
A	IOA5	F2	27	28	G4	IOA37	A
A	IOA6	C1	29	30	G5	IOA38	A
		GND	-	-	GND		
A	IOA7	C2	31	32	E3	IOA39	A
A	IOA8	B1	33	34	J17	IOA40	A
A	IOA9	B2	35	36	H16	IOA41	A
A	IOA10	A13	37	38	F11	IOA42	A
A	IOA11	B13	39	40	E11	IOA43	A
A	IOA12	A14	41	42	G15	IOA44	A
A	IOA13	B14	43	44	F14	IOA45	A
A	IOA14	A15	45	46	F13	IOA46	A
A	IOA15	B15	47	48	E14	IOA47	A
A	IOA16	A16	49	50	D13	IOA48	A
		GND	-	-	GND		
A	IOA17	B16	51	52	C13	IOA49	A
A	IOA18	A17	53	54	E15	IOA50	A
A	IOA19	B17	55	56	D15	IOA51	A
A	IOA20	A18	57	58	F16	IOA52	A
A	IOA21	B18	59	60	E16	IOA53	A
A	IOA22	B21	61	62	K21	IOA54	A
A	IOA23	B22	63	64	K22	IOA55	A
A	IOA24	E21	65	66	J21	IOA56	A
A	IOA25	E22	67	68	J22	IOA57	A
A	IOA26	C21	69	70	H21	IOA58	A
		GND	-	-	GND		
A	IOA27	C22	71	72	H22	IOA59	A
A	IOA28	D21	73	74	D19	IOA60	A
A	IOA29	D22	75	76	C19	IOA61	A
A	IOA30	F21	77	78	D20	IOA62	A
A	IOA31	F22	79	80	C20	IOA63	A

7.2. CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
B	CLK2	AA12	11	12	AB12	CLK3	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	V6	17	18	AA4	IOB32	B
B	IOB1	V5	19	20	AB4	IOB33	B
B	IOB2	V7	21	22	AA5	IOB34	B
B	IOB3	W6	23	24	AB5	IOB35	B
B	IOB4	Y3	25	26	AA7	IOB36	B
B	IOB5	Y6	27	28	AB7	IOB37	B
B	IOB6	W7	29	30	AA8	IOB38	B
		GND	-	-	GND		
B	IOB7	Y7	31	32	AB8	IOB39	B
B	IOB8	U7	33	34	AA9	IOB40	B
B	IOB9	U8	35	36	AB9	IOB41	B
B	IOB10	U9	37	38	R14	IOB42	B
B	IOB11	V8	39	40	R15	IOB43	B
B	IOB12	T10	41	42	AA13	IOB44	B
B	IOB13	U10	43	44	AB13	IOB45	B
B	IOB14	T11	45	46	AA14	IOB46	B
B	IOB15	V10	47	48	AB14	IOB47	B
B	IOB16	W8	49	50	AA15	IOB48	B
		GND	-	-	GND		
B	IOB17	Y8	51	52	AB15	IOB49	B
B	IOB18	V11	53	54	AB16	IOB50	B
B	IOB19	W10	55	56	AA16	IOB51	B
B	IOB20	Y10	57	58	AB17	IOB52	B
B	IOB21	AA10	59	60	AA17	IOB53	B
B	IOB22	AB10	61	62	AB20	IOB54	B
B	IOB23	U11	63	64	AA20	IOB55	B
B	IOB24	T14	65	66	V15	IOB56	B
B	IOB25	T15	67	68	W15	IOB57	B
B	IOB26	U14	69	70	W17	IOB58	B
		GND	-	-	GND		
B	IOB27	U15	71	72	Y17	IOB59	B
B	IOB28	W13	73	74	V14	IOB60	B
B	IOB29	Y13	75	76	U13	IOB61	B
B	IOB30	W14	77	78	V9	IOB62	B
B	IOB31	V16	79	80	Y4	IOB63	B

7.3. CNC

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK6	T22	11	12	A11	CLK8	C
	CLK7	T21	13	14	B11	CLK9	C
		N.C	15	16	N.C		
C	IOC0	N2	17	18	A5	IOC32	C
C	IOC1	N1	19	20	C6	IOC33	C
C	IOC2	M1	21	22	A6	IOC34	C
C	IOC3	M2	23	24	B6	IOC35	C
C	IOC4	M3	25	26	A7	IOC36	C
C	IOC5	M4	27	28	B7	IOC37	C
C	IOC6	M5	29	30	A8	IOC38	C
		GND	-	-	GND		
C	IOC7	M6	31	32	B8	IOC39	C
C	IOC8	L6	33	34	A9	IOC40	C
C	IOC9	G8	35	36	B9	IOC41	C
C	IOC10	F8	37	38	A10	IOC42	C
C	IOC11	G7	39	40	B10	IOC43	C
C	IOC12	F7	41	42	C7	IOC44	C
C	IOC13	E7	43	44	C8	IOC45	C
C	IOC14	D6	45	46	C10	IOC46	C
C	IOC15	C3	47	48	E9	IOC47	C
C	IOC16	C4	49	50	D10	IOC48	C
		GND	-	-	GND		
C	IOC17	B3	51	52	E10	IOC49	C
C	IOC18	A3	53	54	F9	IOC50	C
C	IOC19	B4	55	56	G11	IOC51	C
C	IOC20	A4	57	58	G10	IOC52	C
C	IOC21	B5	59	60	F10	IOC53	C
C	IOC22	N5	61	62	G9	IOC54	C
C	IOC23	N6	63	64	W1	IOC55	C
C	IOC24	N7	65	66	W2	IOC56	C
C	IOC25	P7	67	68	Y1	IOC57	C
C	IOC26	P5	69	70	Y2	IOC58	C
		GND	-	-	GND		
C	IOC27	P6	71	72	AA2	IOC59	C
C	IOC28	R5	73	74	AA1	IOC60	C
C	IOC29	R6	75	76	N16	IOC61	C
C	IOC30	T5	77	78	M16	IOC62	C
C	IOC31	P4	79	80	N17	IOC63	C
C	IOE0	P3	81	82	N18	IOE10	C
C	IOE1	P2	83	84	M19	IOE11	C
C	IOE2	P1	85	86	M20	IOE12	C

C	IOE3	R2	87	88	M21	IOE13	C
C	IOE4	R1	89	90	M22	IOE14	C
		GND	-	-	GND		
C	IOE5	U1	91	92	N19	IOE15	C
C	IOE6	U2	93	94	N20	IOE16	C
C	IOE7	T3	95	96	P21	IOE17	C
C	IOE8	V1	97	98	V3	IOE18	C
C	IOE9	V2	99	100	V4	IOE19	C

7.4. CND

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
C	CLK4	T2	11	12	AB11	CLK10	B
C	CLK5	T1	13	14	AA11	CLK11	B
		N.C	15	16	N.C		
C	IOD0	W19	17	18	K17	IOA64	A
C	IOD1	W20	19	20	K18	IOA65	A
C	IOD2	AA21	21	22	J18	IOA66	A
C	IOD3	AA22	23	24	F15	IOA67	A
C	IOD4	Y21	25	26	G16	IOA68	A
C	IOD5	Y22	27	28	H19	IOA69	A
C	IOD6	W21	29	30	H20	IOA70	A
		GND	-	-	GND		
C	IOD7	W22	31	32	G17	IOA71	A
C	IOD8	V21	33	34	F17	IOA72	A
C	IOD9	V22	35	36	C17	IOA73	A
C	IOD10	T17	37	38	B19	IOA74	A
C	IOD11	T18	39	40	A19	IOA75	A
C	IOD12	U21	41	42	G13	IOA76	A
C	IOD13	U22	43	44	G14	IOA77	A
C	IOD14	U19	45	46	H17	IOA78	A
C	IOD15	U20	47	48	G18	IOA79	A
C	IOD16	R17	49	50	J3	IOA80	A
		GND	-	-	GND		
C	IOD17	R18	51	52	H7	IOA81	A
C	IOD18	R19	53	54		NC	
C	IOD19	R20	55	56		NC	
C	IOD20	R21	57	58		NC	
C	IOD21	R22	59	60		NC	

C	IOD22	P20	61	62		NC	
C	IOD23	P17	63	64		NC	
C	IOD24	P22	65	66		NC	
C	IOD25	N21	67	68		NC	
C	IOD26	N22	69	70		NC	
		GND	-	-	GND	NC	
C	IOD27	V13	71	72		NC	
C	IOD28	U12	73	74		NC	
C	IOD29	V12	75	76		NC	
C	IOD30	AA18	77	78		NC	
C	IOD31	AB18	79	80		NC	
	NC		81	82		NC	
	NC		83	84		NC	
	NC		85	86		NC	
	NC		87	88		NC	
	NC		89	90		NC	
	NC	GND	-	-	GND	NC	
	NC		91	92		NC	
	NC		93	94		NC	
	NC		95	96		NC	
	NC		97	98		NC	
	NC		99	100		NC	

7.5. オンボード CLK

クロック	NET LABEL	FPGA ピン#
オンボード 30M	GCLKA	G1,2
オンボード 50M	GCLKB	G21,22

7.6. 外部入力 CLK

クロック	NET LABEL	FPGA ピン#	備考
任意	CLK0	B12	p
任意	CLK1	A12	n
任意	CLK2	AA12	p
任意	CLK3	AB12	n
任意	CLK4	T2	p
任意	CLK5	T1	n
任意	CLK6	T22	p
任意	CLK7	T21	n
任意	CLK8	A11	n
任意	CLK9	B11	p
任意	CLK10	AB11	n
任意	CLK11	AA11	p

7.7. 汎用 LED

LED	NET LABEL	FPGA ピン#
L3	ULED0	E12
L4	ULED1	E13

7.8. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン#
SW2	PSW0	H18
SW3	PSW1	K19

7.9. 汎用 SW(DIP)

スイッチ	NET LABEL	FPGA ピン#
SW1-5	DSW4	F19
SW1-6	DSW5	F20
SW1-7	DSW6	D17
SW1-8	DSW7	C15

7.10. その他

NET LABEL	FPGA ピン#
D_RXD	J7
D_TXD	K7

8. 固定ピンについて **【重要】**

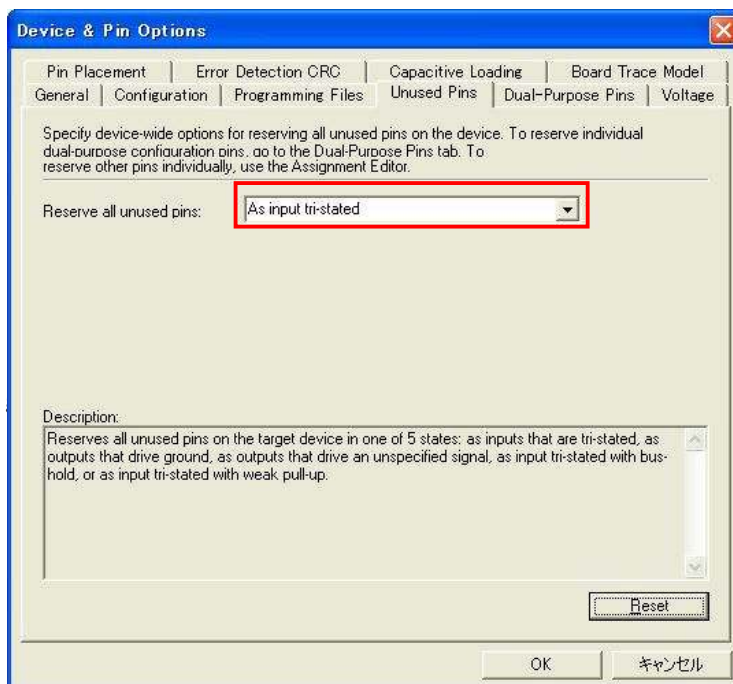
本ボードでは、下記のピンがGNDまたはVCCINT (1.2V)に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP3C55 では GND や VCCINT になっているものの、より小さなデバイスでは
 I/O として割り付けられています。

固定ピン一覧

GND		VCCINT		VCCIO	
NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#
GND	AB6	V12	G12	VCCIO1	H4
GND	C18	V12	H11	VCCIO2	R4
GND	D7	V12	H15	VCCIO3	AA6
GND	D8	V12	H9	VCCIO4	Y14
GND	F12	V12	J16	VCCIO5	T19
GND	H10	V12	J8	VCCIO6	J20
GND	H12	V12	K15	VCCIO7	D18
GND	H13	V12	K8	VCCIO8	E8
GND	H14	V12	L16		
GND	H3	V12	L7		
GND	H8	V12	M15		
GND	J15	V12	M8		
GND	J19	V12	N14		
GND	J5	V12	P14		
GND	K16	V12	P15		
GND	L15	V12	R10		
GND	L8	V12	R12		
GND	M7	V12	R8		
GND	N15	V12	T13		
GND	N8	V12	T7		
GND	P16	V12	T9		
GND	P8	V12	U16		
GND	R11	V12	U17		
GND	R13				
GND	R3				
GND	R7				
GND	R9				
GND	T12				
GND	T20				
GND	T8				
GND	Y15				

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
Reserve all unused pins の設定を【As inputs tri-stated】にします。



9. ACM-203 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

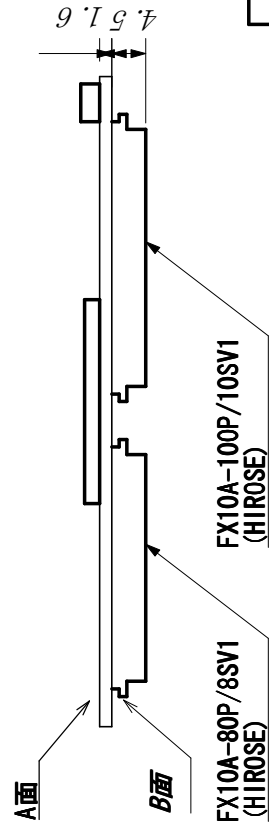
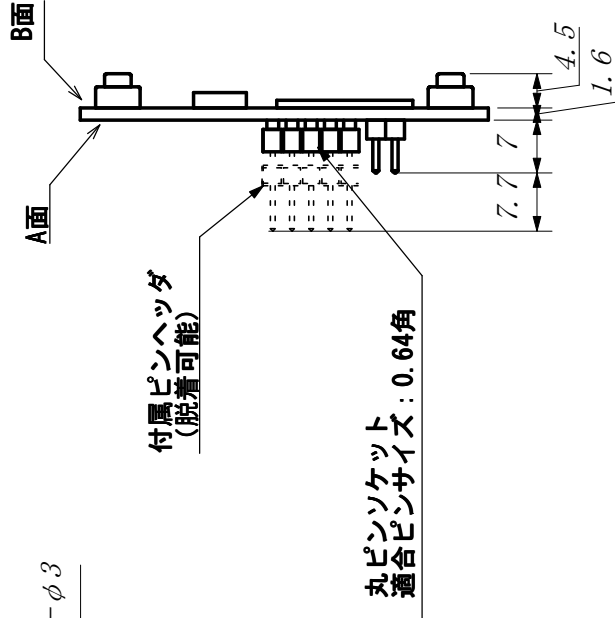
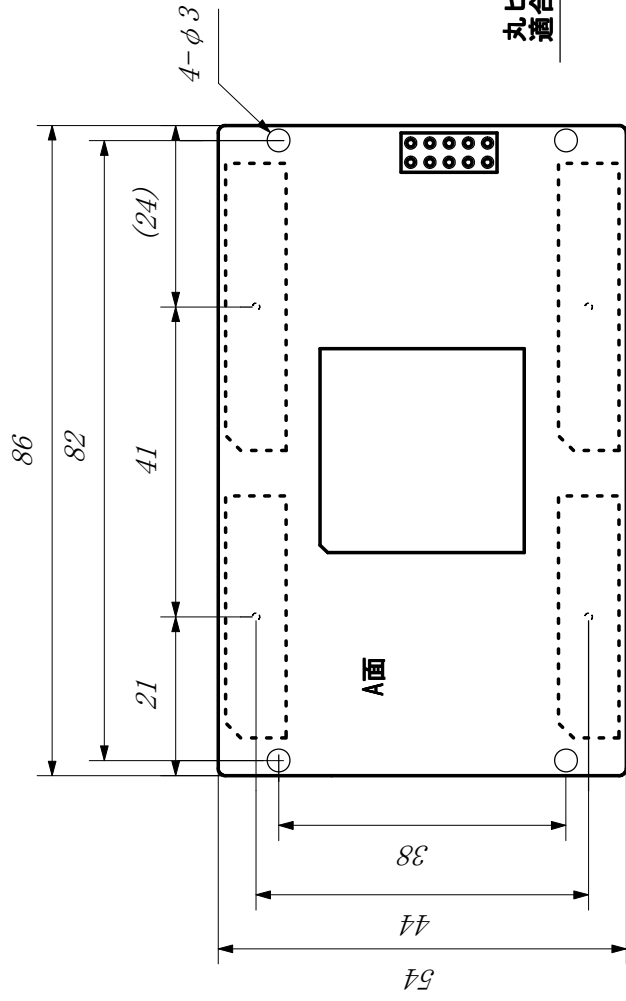
http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

10. 付属資料

1. 回路図(この回路図は EP3C16 を基本にしています。)



HUMANDATA		UNIT	TITLE
		CHK	ACM-203シリーズ 外形寸法図
DWG	SIZE	DWG NO	REV
		G-ACM-203	A

CycloneⅢブレードボード
ACM-203 シリーズ
ユーザーズマニュアル

2008/08/05 初版

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
