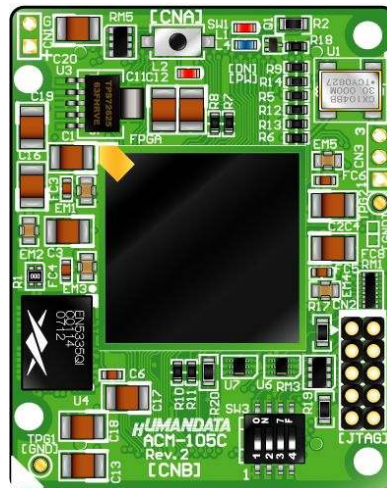


CycloneⅢ ブレッドボード
(ハーフカードサイズ)
ACM-105 シリーズ
ユーザズマニュアル
Ver.2.0



ヒューマンデータ

目次



● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 仕様	2
3. 固定ピンについて 【重要】	3
4. 製品概要	5
4.1. 各部の名称	5
4.2. ブロック図	6
4.3. 電源入力	6
4.4. JTAG コネクタ	7
5. DIPSW の説明	8
6. FPGA のコンフィギュレーション	9
7. コンフィギュレーション ROM への書込み	11
7.1. jic ファイルの作成	11
7.2. コンフィギュレーション ROM に ISP (書込み)	14
7.3. ROM から FPGA へコンフィギュレーション	15
8. ピン割付表	16
8.1. ユーザ I/O (CNA)	16
8.2. ユーザ I/O (CNB)	17
8.3. オンボード CLK	18
8.4. 外部 CLK	18
8.5. 汎用 LED	18
8.6. 汎用スイッチ	18
8.7. その他	18
9. サポートページ	19
10. 付属資料	19

● はじめに

この度は、CycloneⅢブレッドボード／ACM-105 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-105 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 破損する可能性がありますので、静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2012/02/28	2.0	コンフィグ ROM の変更

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-105 シリーズ	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます。）

2. 仕様

製品型番	ACM-105-16C8	ACM-105-40C8	ACM-105-55C8
搭載 FPGA	EP3C16Q484C8N	EP3C40Q484C8N	EP3C55Q484C8N
電源	DC 3.3V（内部電源はオンボードレギュレータにより生成）		
消費電流	N/A（詳細はFPGA データシートご参照）		
基板寸法	54×43 [mm]		
質量	約 20[g]		
ユーザ I/O	128 本		
I/O コネクタ	メーカ型番:FX10A-80P/8-SV1(71) (ヒロセ電機)		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
コンフィグ ROM	EPCS16S18N (ALTERA, 16Mbit)		
オンボードクロック	30MHz（外部供給可能）		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	1 個		
汎用スイッチ	押しボタン SW 1 個		
付属品	DIP10 ピンヘッダ(本体に取付け済み) 1 個		
	コネクタ:FX10A-80S/8-SV(71) (ヒロセ電機) 2 個		

* これらの部品や仕様は変更となる場合がございます

3. 固定ピンについて【重要】

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP3C55 では GND や VCCINT になっているものの、より小さなデバイスでは I/O とし
 て割り付けられています。

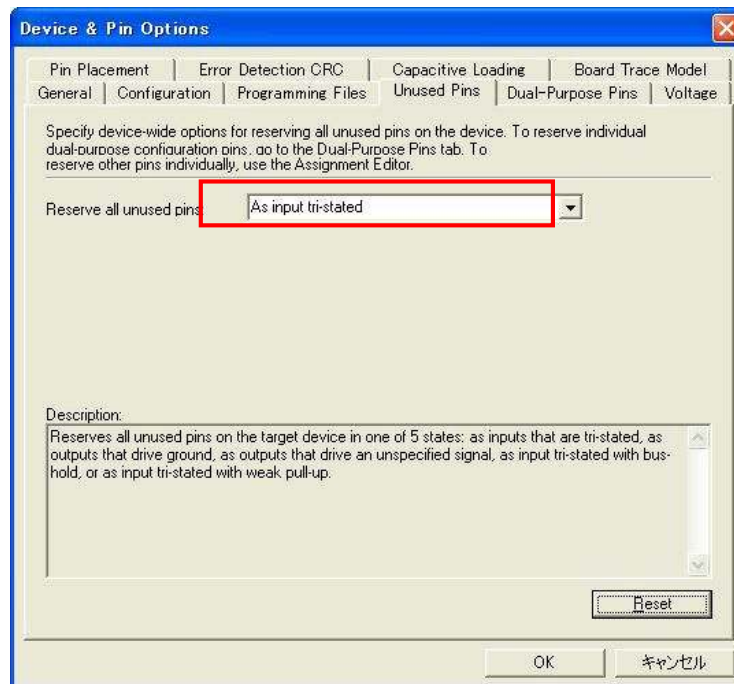
固定ピン一覧

GND		VCCINT		VCCIO	
NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#
GND	AB6	V12	G12	VCCIO1	H4
GND	C18	V12	H11	VCCIO2	R4
GND	D7	V12	H15	VCCIO3	AA6
GND	D8	V12	H9	VCCIO4	Y14
GND	F12	V12	J16	VCCIO5	T19
GND	H10	V12	J8	VCCIO6	J20
GND	H12	V12	K15	VCCIO7	D18
GND	H13	V12	K8	VCCIO8	E8
GND	H14	V12	L16		
GND	H3	V12	L7		
GND	H8	V12	M15		
GND	J15	V12	M8		
GND	J19	V12	N14		
GND	J5	V12	P14		
GND	K16	V12	P15		
GND	L15	V12	R10		
GND	L8	V12	R12		
GND	M7	V12	R8		
GND	N15	V12	T13		
GND	N8	V12	T7		
GND	P16	V12	T9		
GND	P8	V12	U16		
GND	R11	V12	U17		
GND	R13				
GND	R3				
GND	R7				
GND	R9				
GND	T12				
GND	T20				
GND	T8				
GND	Y15				

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

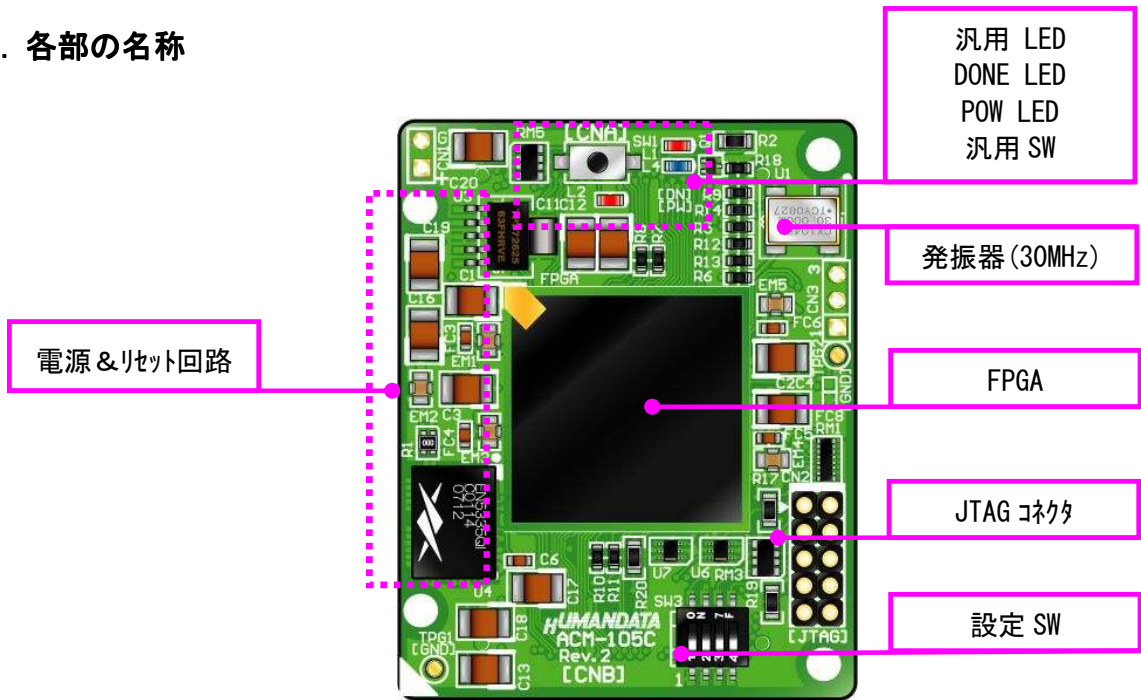
- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
- 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
- Reserve all unused pins の設定を【As input tri-stated】にします。

08

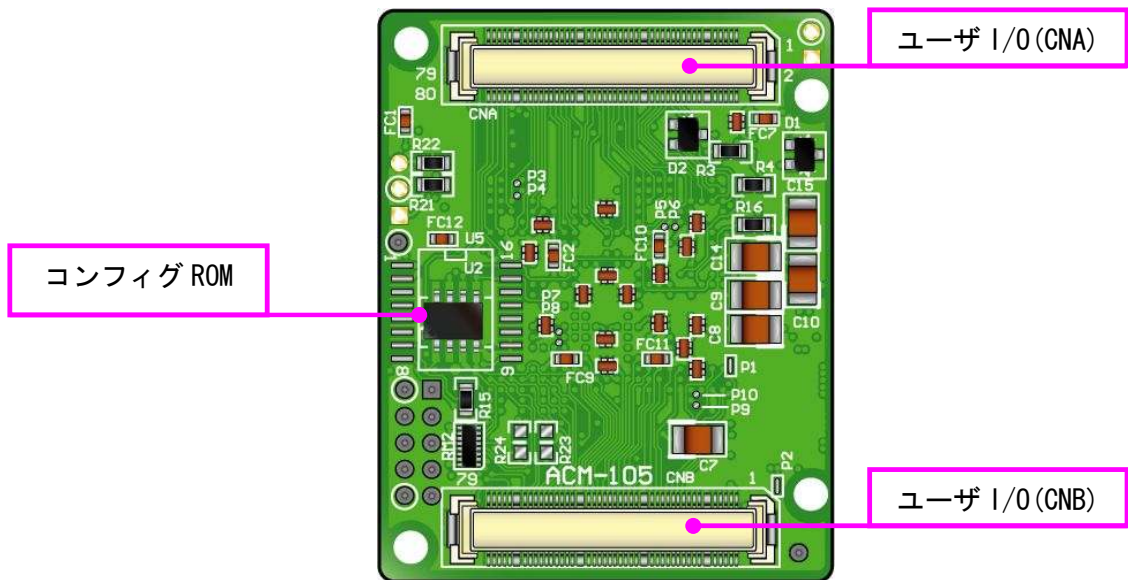


4. 製品概要

4.1. 各部の名称

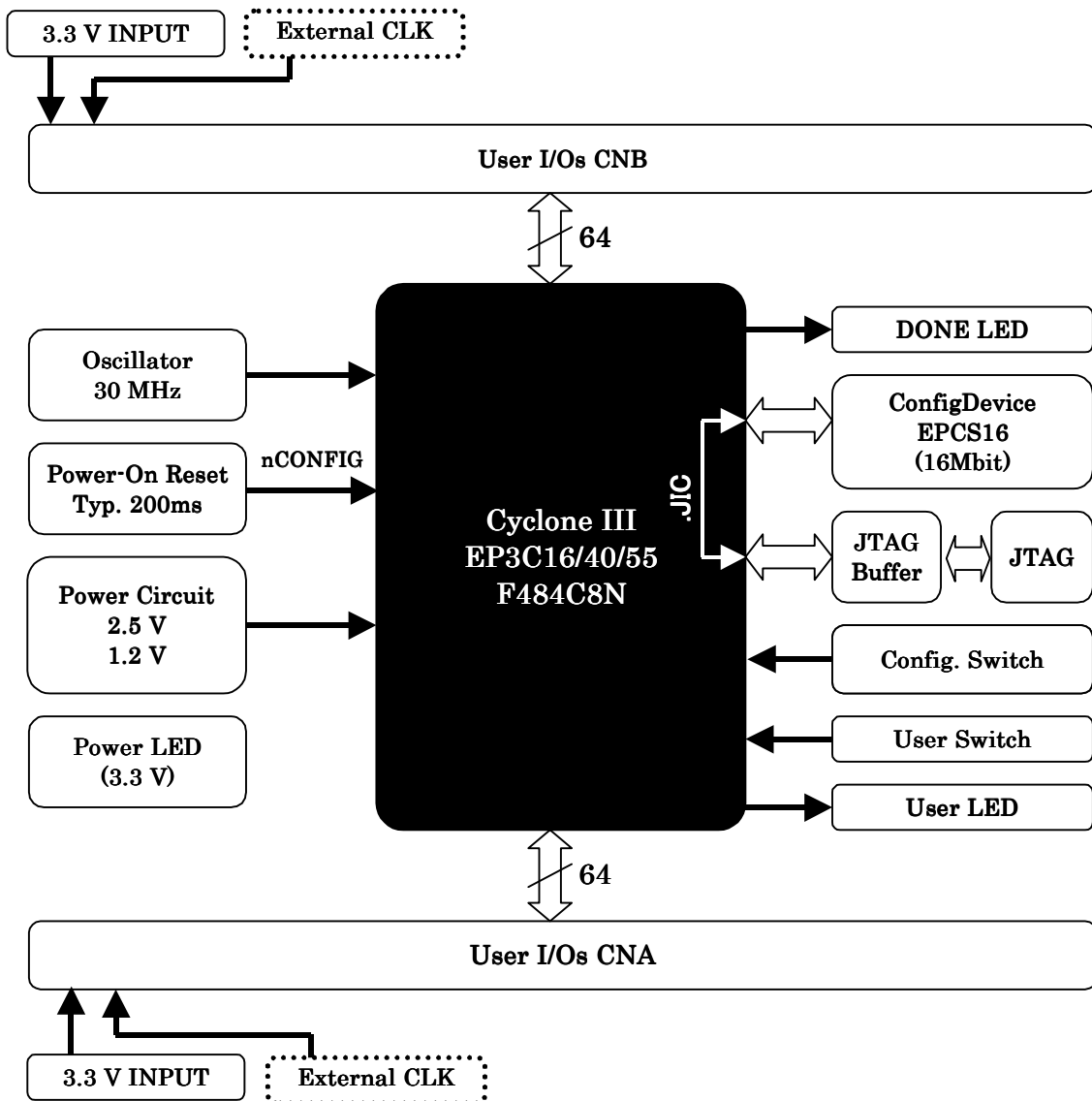


部品面



はんだ面

4.2. ブロック図



4.3. 電源入力

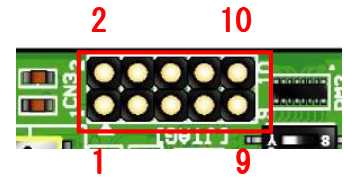
本ボードは、DC 3.3V単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

電源は CNA、CNB、CNC、CND から**太い配線**で供給してください。
電源、GND はすべてのピンに接続することをお勧めします

4.4. JTAG コネクタ

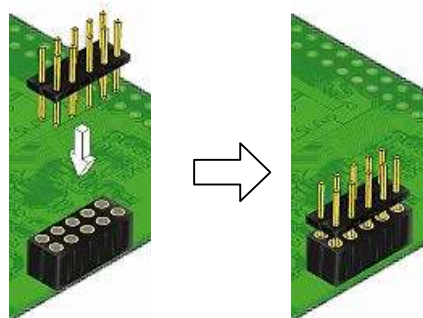
FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP に使用します。
ピン配置は次表のとおりです。



CN2

回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

ダウンロードケーブルの接続には、付属のロングピンヘッダをご利用ください。



使用例

5. 設定 SW の説明

SW3 は FPGA の MSEL0、MSEL1、MSEL2、MSEL3 を設定します。
SW-ON で Low に固定されます。

	1	2	3	4
NET LABEL	MSEL3	MSEL2	MSEL1	MSEL0
出荷時	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード			

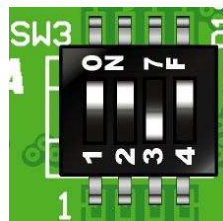
コンフィギュレーション・モード	MSEL3	MSEL2	MSEL1	MSEL0
PS モード	ON	ON	ON	ON
AS モード	ON	ON	OFF	ON
JTAG	OFF	OFF	OFF	OFF

メモ

詳しくは ALTERA 社の最新データシートをご覧ください。

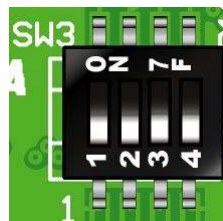
ROM 使用時 : SW3 (1、2、4 ON 3 OFF)

MSEL3 = ON
MSEL2 = ON
MSEL1 = OFF
MSEL0 = ON



JTAG 使用時 : SW3 (SW1 の状態に影響されません)

MSEL3 = OFF
MSEL2 = OFF
MSEL1 = OFF
MSEL0 = OFF



(出荷時)

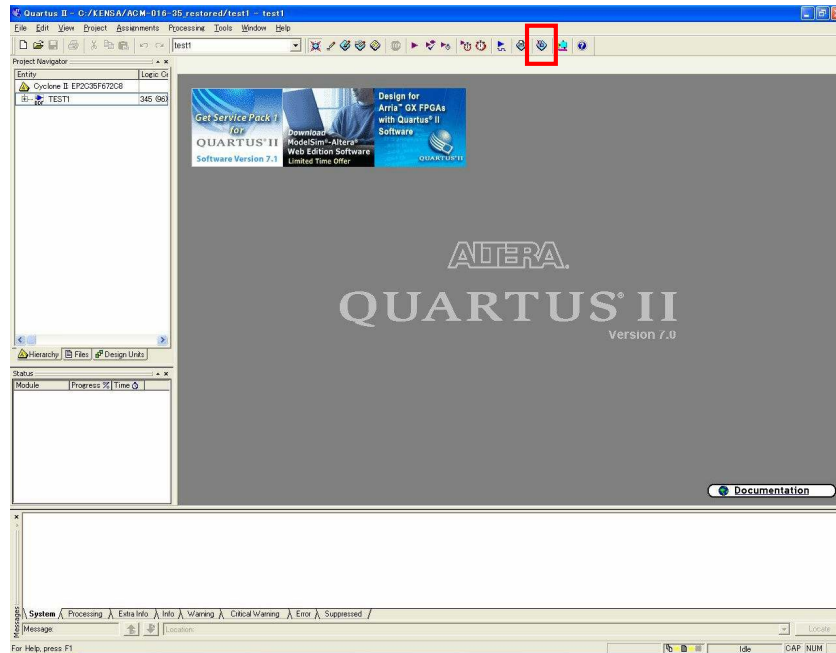
メモ

出荷時はすべて OFF の設定になっています。

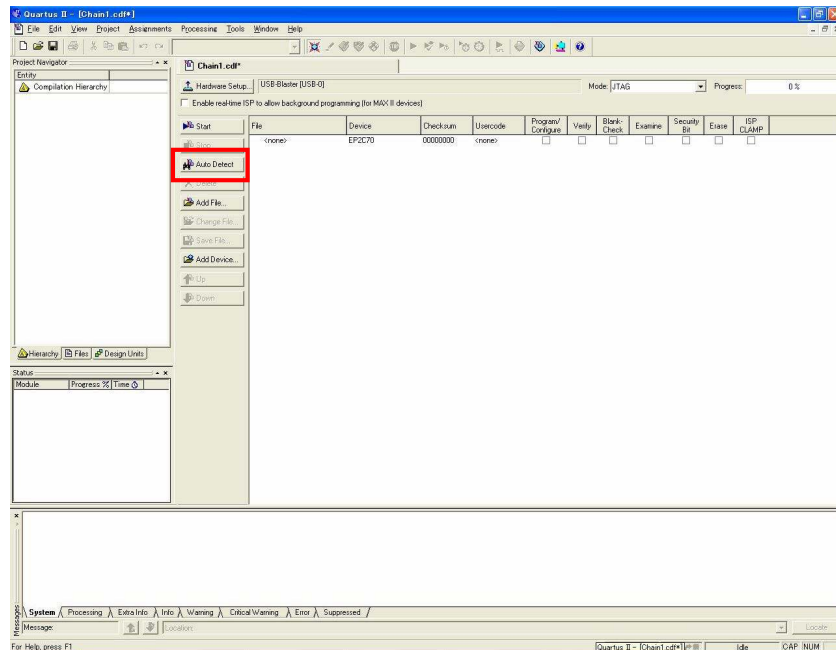
6. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

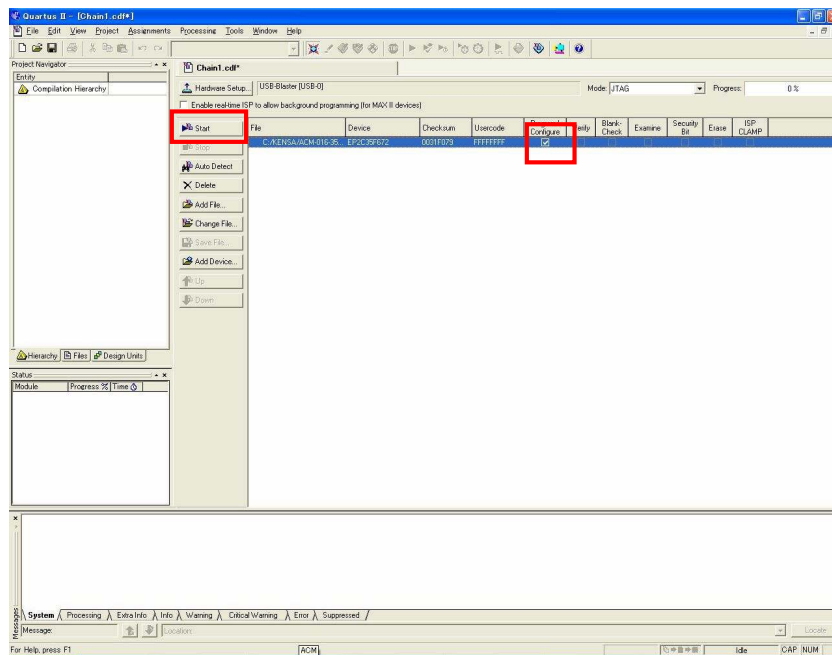
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



正常にコンフィギュレーションが出来れば ACM-105 のボード上の L4 が点灯します。

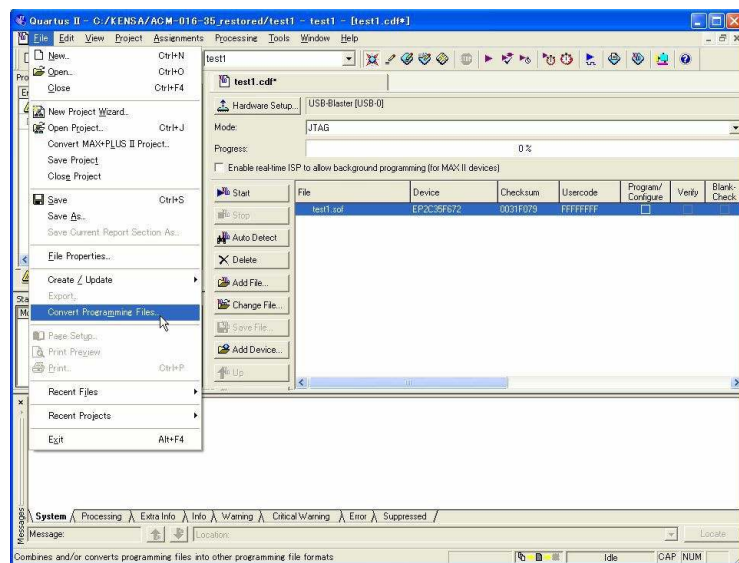
7. コンフィギュレーション ROM への書込み

ACM-105 にはコンフィギュレーション ROM (EPCS16) が実装されています。コンフィギュレーション ROM に ISP するためには QuartusII により jic ファイルを作成します。

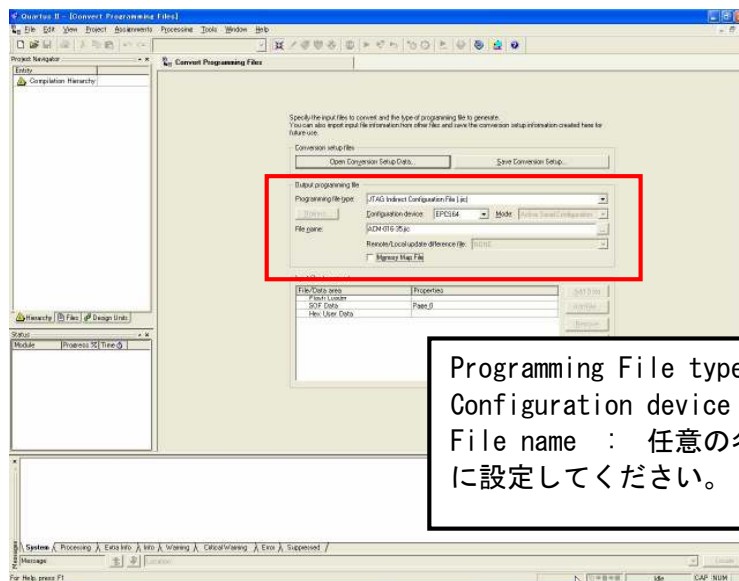
7.1. jic ファイルの作成

jic ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

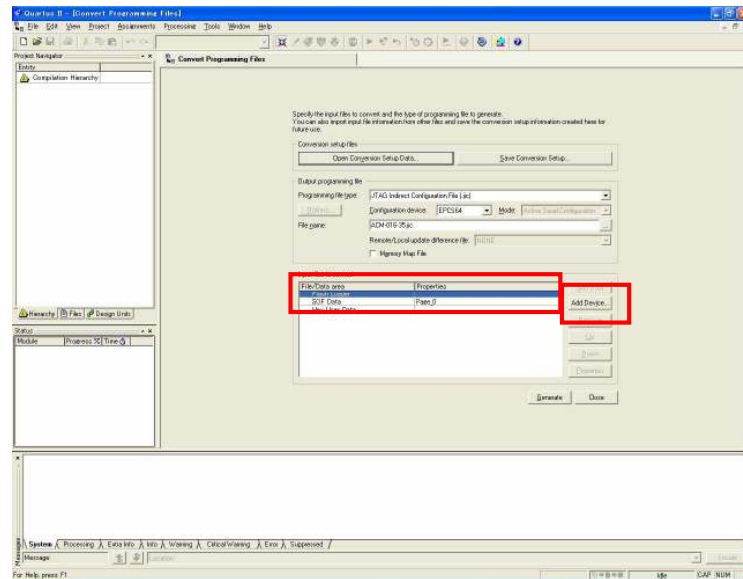
- ▼ QuartusII を起動し【FILE/Convert Programming Files】をクリックします。



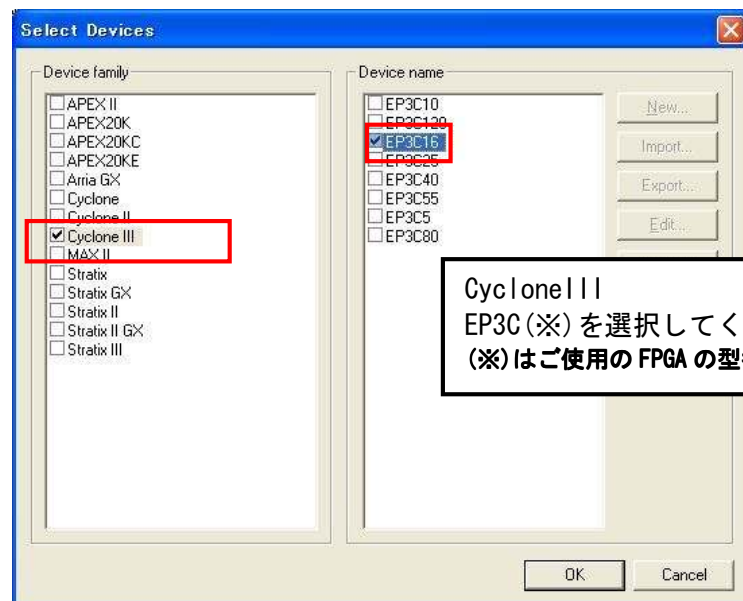
- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。



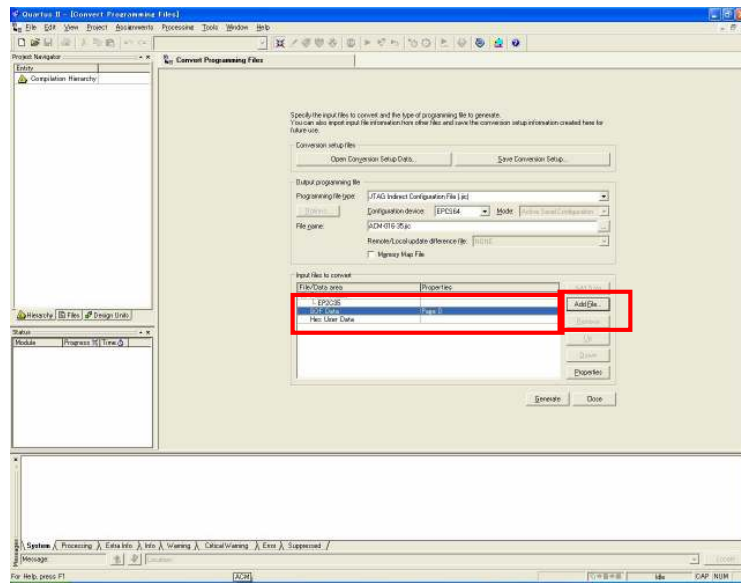
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



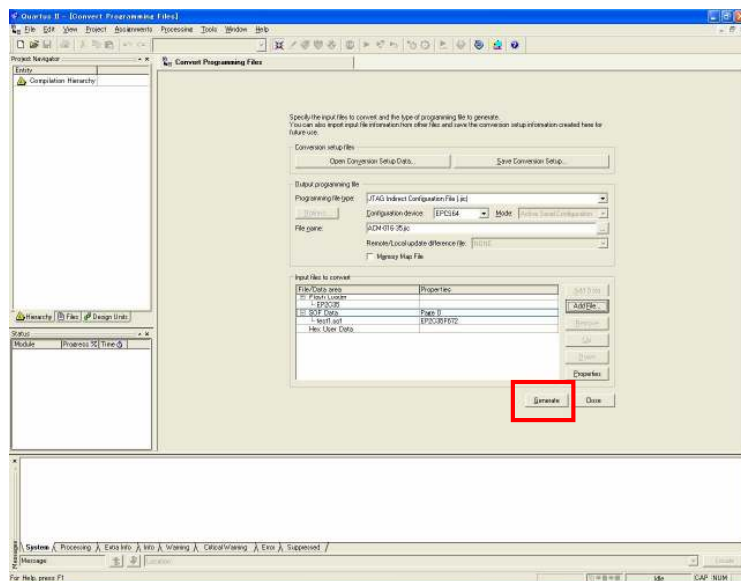
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。



これで jic ファイルができました。

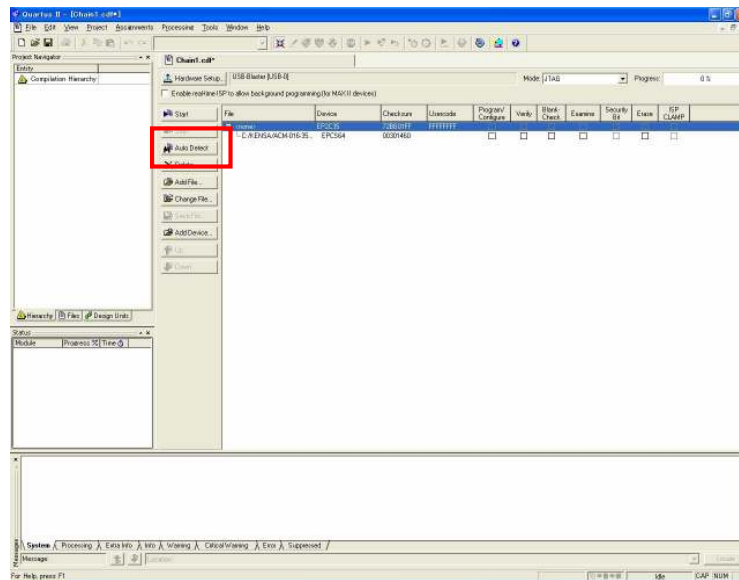
7.2. コンフィギュレーション ROM に ISP (書込み)

FPGA にコンフィギュレーションし、十分に動作の確認をしてから ROM に ISP するよう
 にご覧ください。ROM に ISP する際、コンフィグレーションモードの設定が必要で
 ず。

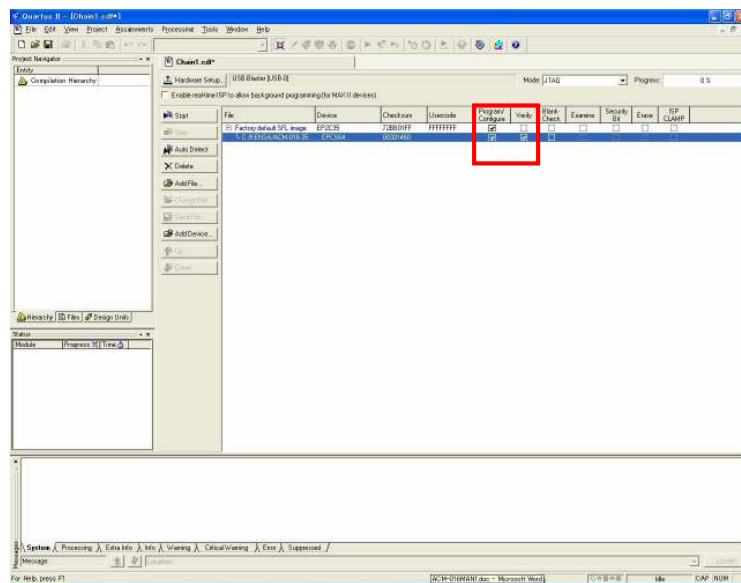
設定 SW (SW3) の設定を下記のように設定してください。

	1	2	3	4
ON	<input type="checkbox"/>	<input type="checkbox"/>		<input type="checkbox"/>
OFF			<input type="checkbox"/>	

- ▼ 7.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし
 .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



7.3. ROM から FPGA へコンフィギュレーション

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するようにしてください。

ROM から FPGA にコンフィギュレーションする際、コンフィギュレーションモードの設定が必要です。

設定 SW (SW3) の設定を下記のように設定してください。

	1	2	3	4
ON	<input type="checkbox"/>	<input type="checkbox"/>		<input type="checkbox"/>
OFF			<input type="checkbox"/>	

設定が終了しましたら、電源を入れなおすと ROM から FPGA へコンフィギュレーションされます。

8. ピン割付表

8.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	V33A	3.3V	1	2	3.3V	V33A	
	V33A	3.3V	3	4	3.3V	V33A	
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
		N.C	9	10	N.C		
A	CLK0	B12	11	12	A12	CLK1	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	A3	17	18	C1	IOA32	A
A	IOA1	B3	19	20	C2	IOA33	A
A	IOA2	A4	21	22	B1	IOA34	A
A	IOA3	B4	23	24	B2	IOA35	A
A	IOA4	A6	25	26	C3	IOA36	A
A	IOA5	B6	27	28	C4	IOA37	A
A	IOA6	A7	29	30	F7	IOA38	A
A	IOA7	B7	31	32	G7	IOA39	A
A	IOA8	A8	33	34	C7	IOA40	A
A	IOA9	B8	35	36	C8	IOA41	A
A	IOA10	A9	37	38	F8	IOA42	A
A	IOA11	B9	39	40	G8	IOA43	A
A	IOA12	B10	41	42	F9	IOA44	A
A	IOA13	A10	43	44	F10	IOA45	A
A	IOA14	A13	45	46	F11	IOA46	A
A	IOA15	B13	47	48	E11	IOA47	A
A	IOA16	A14	49	50	C13	IOA48	A
A	IOA17	B14	51	52	D13	IOA49	A
A	IOA18	A15	53	54	D15	IOA50	A
A	IOA19	B15	55	56	E15	IOA51	A
A	IOA20	A16	57	58	E16	IOA52	A
A	IOA21	B16	59	60	F16	IOA53	A
A	IOA22	A17	61	62	D19	IOA54	A
A	IOA23	B17	63	64	C19	IOA55	A
A	IOA24	A18	65	66	F19	IOA56	A
A	IOA25	B18	67	68	F20	IOA57	A
A	IOA26	B21	69	70	C20	IOA58	A
A	IOA27	B22	71	72	D20	IOA59	A
A	IOA28	C21	73	74	F21	IOA60	A
A	IOA29	C22	75	76	F22	IOA61	A
A	IOA30	D21	77	78	H21	IOA62	A
A	IOA31	D22	79	80	H22	IOA63	A

8.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	VIO(B)	3.3V	1	2	3.3V	VIO(B)	
	VIO(B)	3.3V	3	4	3.3V	VIO(B)	
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
		N.C	9	10	N.C		
B	CLK2	AB12	11	12	AA12	CLK3	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	Y1	17	18	AA1	IOB32	B
B	IOB1	Y2	19	20	AA2	IOB33	B
B	IOB2	W1	21	22	AB4	IOB34	B
B	IOB3	W2	23	24	AA4	IOB35	B
B	IOB4	V5	25	26	AB5	IOB36	B
B	IOB5	V6	27	28	AA5	IOB37	B
B	IOB6	W6	29	30	AB7	IOB38	B
B	IOB7	V7	31	32	AA7	IOB39	B
B	IOB8	Y7	33	34	AB8	IOB40	B
B	IOB9	W7	35	36	AA8	IOB41	B
B	IOB10	V8	37	38	AB9	IOB42	B
B	IOB11	U9	39	40	AA9	IOB43	B
B	IOB12	W10	41	42	AB13	IOB44	B
B	IOB13	V11	43	44	AA13	IOB45	B
B	IOB14	W13	45	46	AB14	IOB46	B
B	IOB15	Y13	47	48	AA14	IOB47	B
B	IOB16	U13	49	50	T10	IOB48	B
B	IOB17	V14	51	52	U10	IOB49	B
B	IOB18	W15	53	54	R14	IOB50	B
B	IOB19	V15	55	56	R15	IOB51	B
B	IOB20	W17	57	58	T14	IOB52	B
B	IOB21	Y17	59	60	T15	IOB53	B
B	IOB22	W19	61	62	AA15	IOB54	B
B	IOB23	W20	63	64	AB15	IOB55	B
B	IOB24	W21	65	66	AA16	IOB56	B
B	IOB25	W22	67	68	AB16	IOB57	B
B	IOB26	AA22	69	70	AA17	IOB58	B
B	IOB27	AA21	71	72	AB17	IOB59	B
B	IOB28	Y21	73	74	AA20	IOB60	B
B	IOB29	Y22	75	76	AB20	IOB61	B
B	IOB30	V16	77	78	V9	IOB62	B
B	IOB31	W14	79	80	Y4	IOB63	B

8.3. オンボードクロック

周波数	抵抗	NET LABEL	FPGA ピン#
30MHz	R5	CLKA	G1,G2
	R6		G22,G21
	R9		A11,B11
	R12		AB11,AA11
	R13		T22,T21
	R14		T1,T2

8.4. 外部クロック

周波数	抵抗	NET LABEL	FPGA ピン#
外部	R8	CLK0	A12
	R7	CLK1	B12
	R11	CLK2	AB12
	R10	CLK3	AA12

8.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
L2	ULED0	G16

8.6. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン#
SW1	PSW0	G15

8.7. その他

NET LABEL	FPGA ピン#
D_RXD	E22
D_TXD	E21

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-105/index.html>

http://www.hdl.co.jp/support_c.html

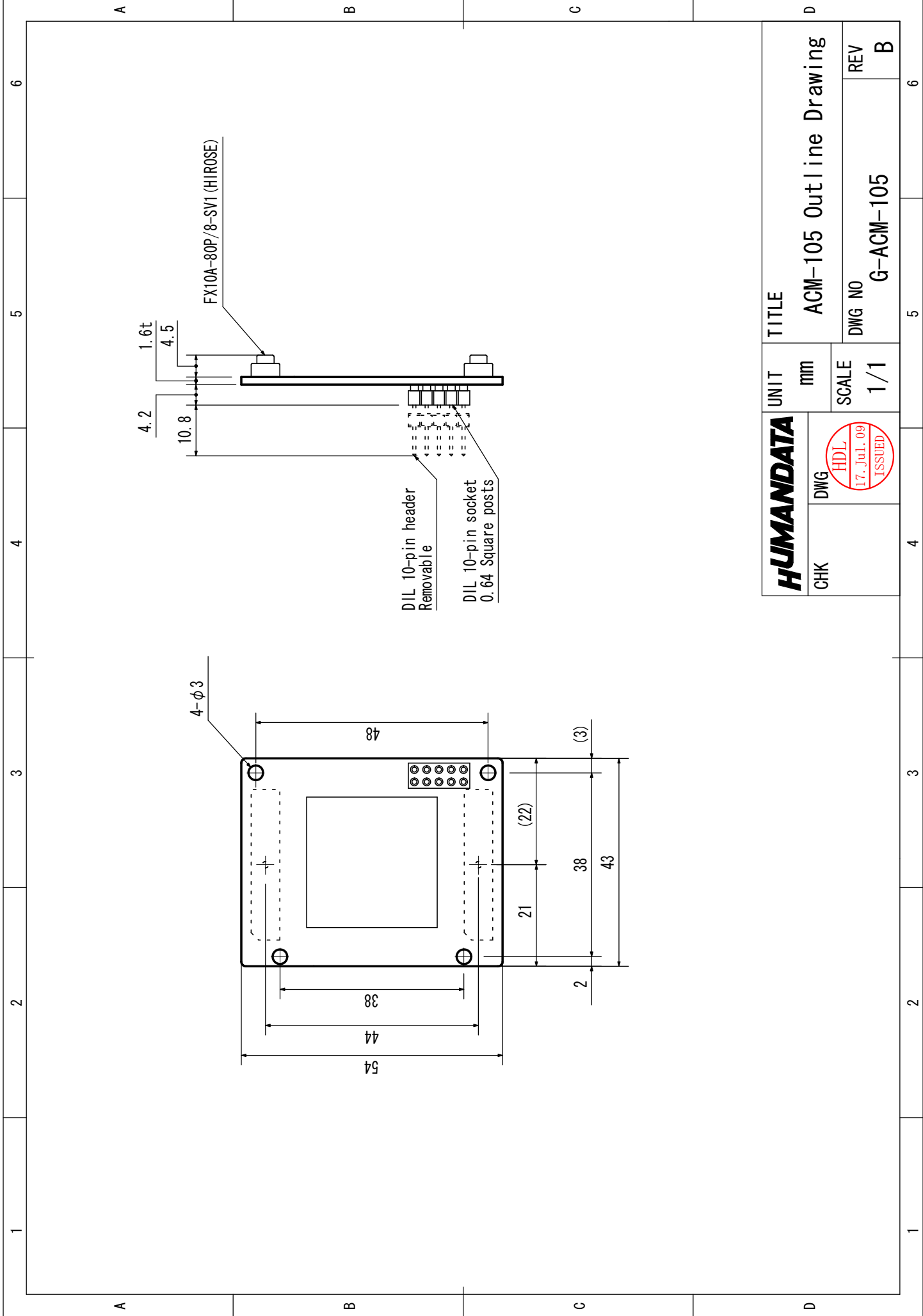
- 回路図
- ピン割付表
- 外形図
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

10. 付属資料

1. 回路図(この回路図は EP3C16 を基本にしています)



HUMANDATA	UNIT	TITLE	
	mm	ACM-105 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	G-ACM-105
			REV
			B



1 2 3 4 5 6

A B C D

1 2 3 4 5 6

CycloneⅢブレッドボード
ACM-105 シリーズ
ユーザーズマニュアル

2008/09/11 初版
2009/07/01 第2版

2012/02/28 Ver. 2.0 (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
