



Cyclone II ブレッドボード  
ACM-102 シリーズ  
ユーザーズマニュアル  
第 4 版 (Rev2)





## 目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品概要	3
3.1. 各部の名称	3
3.2. 電源入力	4
3.3. JTAG コネクタ	4
3.4. AS コネクタ	5
3.5. ジャンプスイッチの説明	6
4. ピン割付表	7
4.1. CAN	7
4.2. CNB	8
4.3. CLK	9
4.4. 汎用 LED	9
4.5. 汎用スイッチ	9
5. 固定ピンについて <b>【重要】</b>	10
6. ACM-102 シリーズ 参考資料について	11
7. 付属資料	11

---

## はじめに

この度は、Cyclone II ブレッドボード／ACM-102 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-102 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

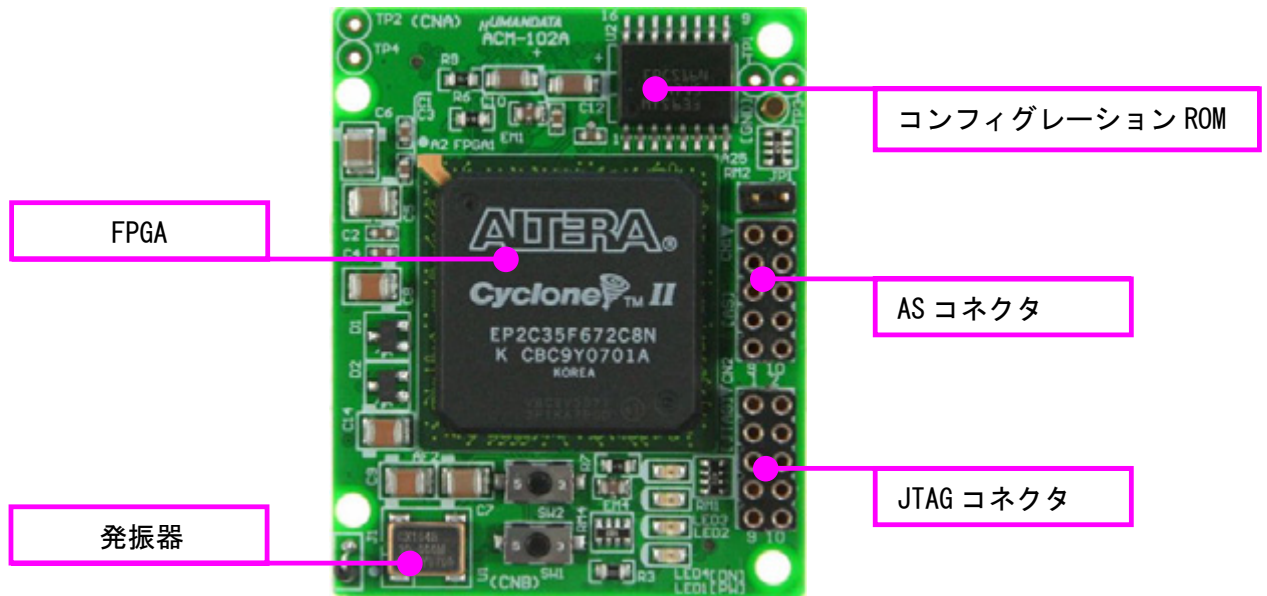
FPGA ブレッドボード ACM-102 シリーズ	1
付属品	1
マニュアル (本書)	1
ユーザー登録はがき	1

## 2. 仕様

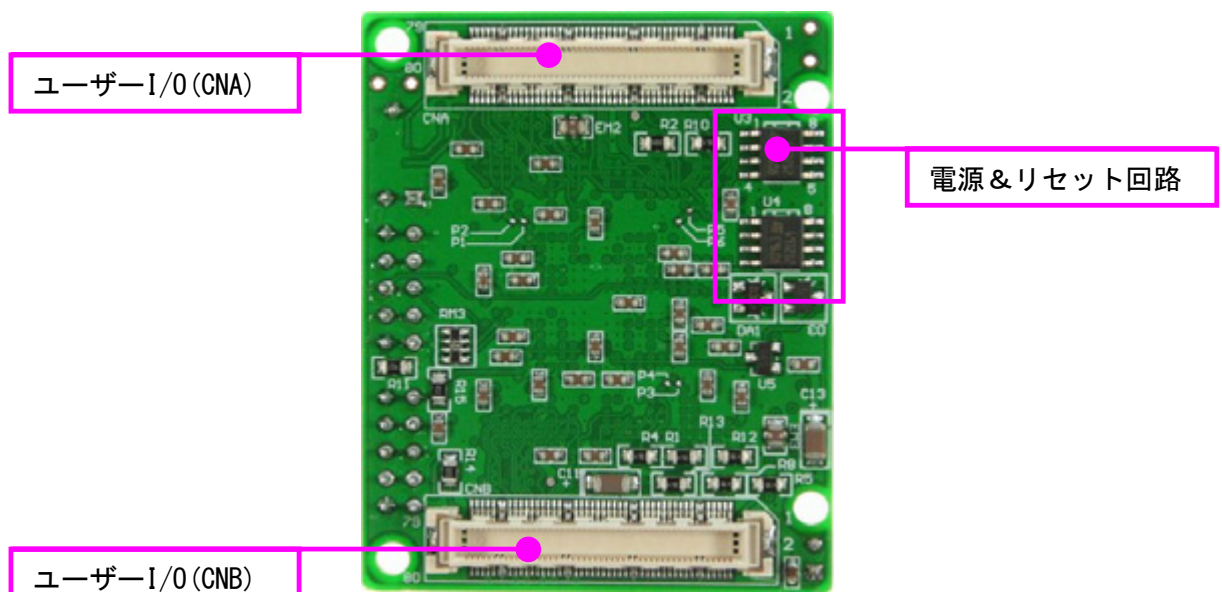
製品型番	ACM-102-35C8	ACM-102-50C8	ACM-102-70C8
搭載 FPGA	EP2C35F672C8N	EP2C50F672C8N	EP2C70F672C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	43×55 [mm]		
重量	約 32 [g]		
ユーザー I/O	128 本 (64 本×2)		
I/O コネクタ	メーカー型番 : FX10A-80P/8-SV1 (71) (ヒロセ電機)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
コンフィグレーション ROM	EPCS16S116N (ALTERA)		
クロック	オンボード 30MHz 外部供給可能		
リセット回路	内蔵 (240ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
AS コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED , DONE-LED)		
汎用 LED	2 個		
汎用タクトスイッチ	2 個		
付属品	DIP10 ピンヘッダ (本体に取付け済み) 1 個 コネクタ : FX10A-80S/8-SV (71) (ヒロセ電機) 2 個		

### 3. 製品概要

#### 3.1. 各部の名称



<A面>



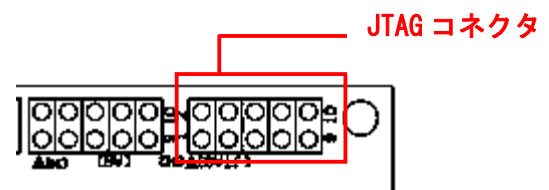
<B面>

### 3.2. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。  
 外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。  
 電源は CNA、CNB から供給してください。

### 3.3. JTAG コネクタ

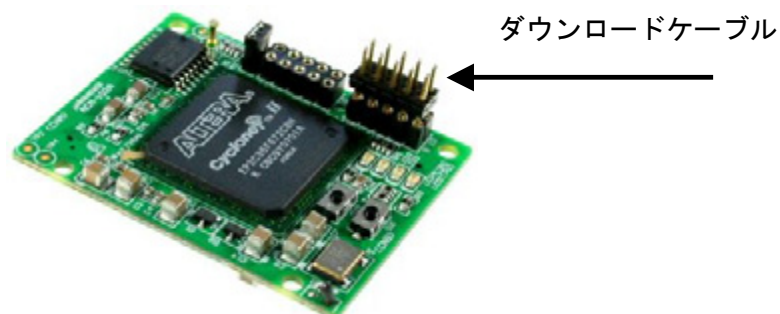
FPGA へのコンフィグレーション時に使用します。  
 ピン配置は次表のとおりです。



CN1

回路図上信号名	ダウンロードケーブル 信号名	ピン番 号	ピン番 号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	VCC (3.3V)
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1  
 に対応しています。  
 ALTERA 社の純正ケーブルを用いることもできます。  
 また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッ  
 ダをご利用できます

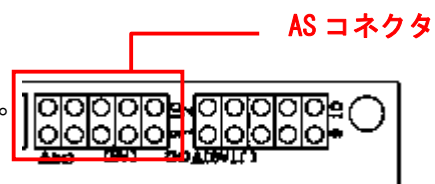


**注意**

ダウンロードケーブルを接続する場合、逆差しにご注意ください

### 3.4. AS コネクタ

コンフィグレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。ピン配置は次表のとおりです。



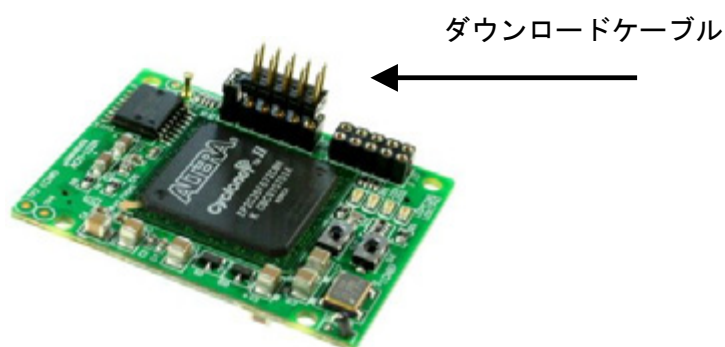
CN2

回路図上信号名	ダウンロードケーブル 信号名	ピン 番号	ピン 番号	ダウンロードケーブル 信号名	回路頭上信号名
XDCLK	DCLK	1	2	GND	GND
XCONF_DONE	CONF_DONE	3	4	VCC (3.3V)	VCC (3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッダをご利用できます



**注意**

ダウンロードケーブルを接続する場合、逆差しにご注意ください



### 3.5. ジャンパスイッチの説明

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V<sub>CCIO</sub> or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP1 ——— MSEL0, MSEL1 信号 設定用

JP1	MSEL1	MSEL0
Short	0	0 に固定
Open	1	0 に固定

**メモ**

出荷時は Short しています。

## 4. ピン割付表

### 4.1. CNA

NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL
	3.3V	1	2	3.3V	
	3.3V	3	4	3.3V	
	N.C	5	6	N.C	
	N.C	7	8	N.C	
	N.C	9	10	N.C	
CLK0	注 1	11	12	注 2	CLK1
	N.C	13	14	N.C	
	N.C	15	16	N.C	
IOA0	B4	17	18	C2	IOA32
IOA1	A4	19	20	B2	IOA33
IOA2	B5	21	22	C3	IOA34
IOA3	A5	23	24	C4	IOA35
IOA4	B6	25	26	C5	IOA36
IOA5	A6	27	28	F4	IOA37
IOA6	B7	29	30	C6	IOA38
IOA7	A7	31	32	D6	IOA39
IOA8	A8	33	34	C7	IOA40
IOA9	B8	35	36	D7	IOA41
IOA10	B9	37	38	C8	IOA42
IOA11	A9	39	40	D8	IOA43
IOA12	A10	41	42	C9	IOA44
IOA13	C11	43	44	D9	IOA45
IOA14	B11	45	46	C10	IOA46
IOA15	B12	47	48	D10	IOA47
IOA16	A14	49	50	B10	IOA48
IOA17	B14	51	52	B15	IOA49
IOA18	A17	53	54	B16	IOA50
IOA19	B17	55	56	D12	IOA51
IOA20	A18	57	58	D15	IOA52
IOA21	B18	59	60	C15	IOA53
IOA22	A19	61	62	E15	IOA54
IOA23	B19	63	64	C16	IOA55
IOA24	A20	65	66	D17	IOA56
IOA25	B20	67	68	C17	IOA57
IOA26	A21	69	70	C19	IOA58
IOA27	B21	71	72	D18	IOA59
IOA28	A22	73	74	C21	IOA60
IOA29	B22	75	76	D21	IOA61
IOA30	A23	77	78	C22	IOA62
IOA31	B23	79	80	C23	IOA63

**メモ**

(注 1,2)は 4.3. CLK の表をご参照ください。

## 4.2. CNB

NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL
	3.3V	1	2	3.3V	
	3.3V	3	4	3.3V	
	N.C	5	6	N.C	
	N.C	7	8	N.C	
	N.C	9	10	N.C	
CLK2	注 1	11	12	注 2	CLK3
	N.C	13	14	N.C	
	N.C	15	16	N.C	
IOB0	AE2	17	18	AE4	IOB32
IOB1	AD2	19	20	AF4	IOB33
IOB2	AE3	21	22	AE5	IOB34
IOB3	AD3	23	24	AF5	IOB35
IOB4	AD4	25	26	AE6	IOB36
IOB5	AD5	27	28	AF6	IOB37
IOB6	AC5	29	30	AE7	IOB38
IOB7	AD6	31	32	AF7	IOB39
IOB8	AD8	33	34	AE8	IOB40
IOB9	AC6	35	36	AF8	IOB41
IOB10	AB8	37	38	AE9	IOB42
IOB11	AC8	39	40	AF9	IOB43
IOB12	AC9	41	42	AF10	IOB44
IOB13	AD10	43	44	AE10	IOB45
IOB14	AB10	45	46	AE11	IOB46
IOB15	AD11	47	48	AE12	IOB47
IOB16	AC11	49	50	AF13	IOB48
IOB17	AD12	51	52	AE13	IOB49
IOB18	AB12	53	54	AE15	IOB50
IOB19	AD15	55	56	AE16	IOB51
IOB20	AC15	57	58	AE17	IOB52
IOB21	AD16	59	60	AF17	IOB53
IOB22	AC17	61	62	AE18	IOB54
IOB23	AD17	63	64	AF18	IOB55
IOB24	AC18	65	66	AE19	IOB56
IOB25	AD19	67	68	AF19	IOB57
IOB26	AC19	69	70	AE20	IOB58
IOB27	AD21	71	72	AF20	IOB59
IOB28	AC21	73	74	AE21	IOB60
IOB29	AD22	75	76	AF21	IOB61
IOB30	AC22	77	78	AF22	IOB62
IOB31	AD23	79	80	AE22	IOB63

### メモ

(注 1,2)は 4.3. CLK の表をご参照ください。

### 4.3. CLK

	抵抗	NET LABEL	FPGA PIN#
CLK0	R9	CKLL5	A13
CLK1	R6	CKLL8	C13,D13
CLK1	R10	CKLL6	B13
CLK2	R1	CKLL0	AC13
CLK2	R12	CKLL2	P1,2
CLK3	R8	CKLL1	AD13

**メモ**

CLK0-4 は各抵抗を介して FPGA に接続されています。

### 4.4. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED2	UIO3	K3
LED3	UIO2	K4

**メモ**

「L」で点灯します。

### 4.5. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン#
SW1	UIO0	K1
SW2	UIO1	K2

**メモ**

ON 時に「L」になります。

## 5. 固定ピンについて **【重要】**

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。  
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。  
 EP2C70 では GND や VCCINT になっているものの、より小さなデバイスでは I/O  
 として割り付けられています。

### 固定ピン一覧

#### GND

J10 J11 J13 J14 J16 J17 K16 K17 L10 N18 N9 P9  
 P18 T10 V13 V11 U17 U12 U10 T17 V14 V17 W12  
 W19 W8 R17 H8

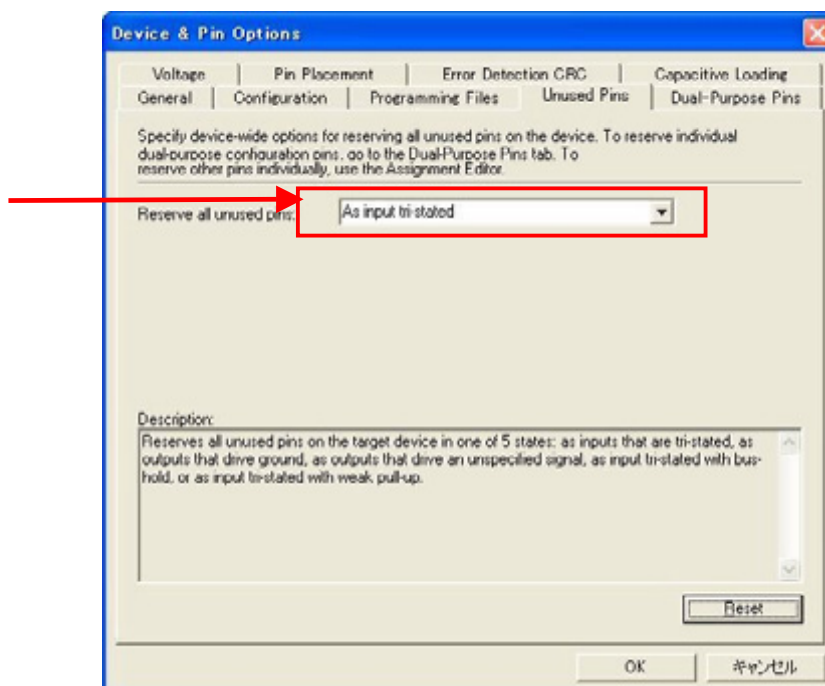
#### VCCINT

H10 H11 H15 H16 H17 H19 J18 J9 K18 K9 L9 P17 R19  
 R8 T18 T19 T8 T9 U18 U9 V10 V18 V9 W10 W11 W15  
 W16 W17

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

**Quartus II の Device Option により設定できます。**

[Assignments] → [Device] → [Device & Pin Options] → [Unused Pins] →  
 [As inputs tri-stated] に設定してください。



## 6. ACM-102 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は  
製品サポートページ

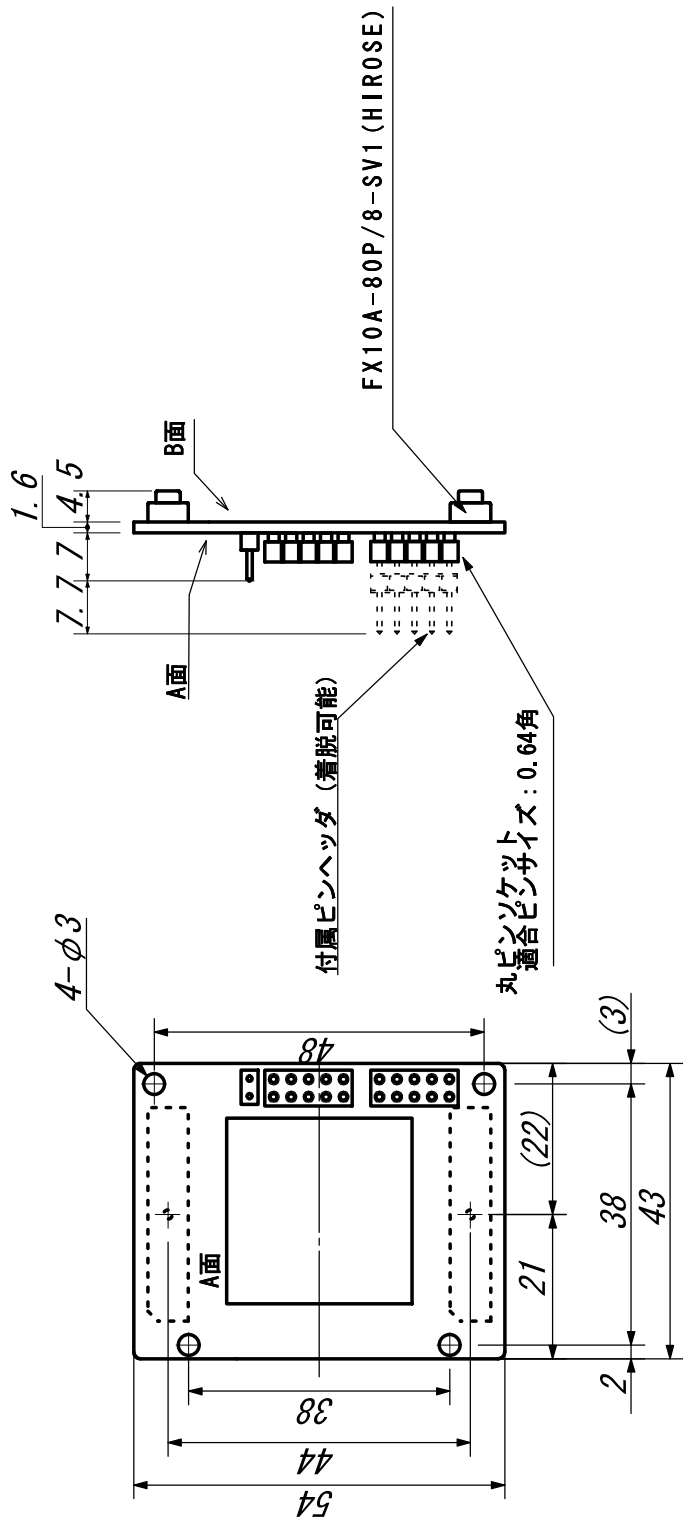
[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

## 7. 付属資料

1. 回路図
2. 外形寸法図



材質		個数	
仕上			

**HUMANDATA**

CHK

DWG

UNIT

SIZE

TITLE

ACM-102シリーズ 外形寸法図

DWG NO

G-ACM-102

REV

A

---

Cyclone II ブレッドボード  
ACM-102 シリーズ  
ユーザーズマニュアル

2006/09/21 初版  
2006/11/06 第 2 版  
2006/11/07 第 3 版  
2007/08/17 第 4 版 (Rev2)

---

**有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積 1-2-10  
ジブラルタ生命茨木ビル  
TEL 072-620-2002  
FAX 072-620-2003  
URL <http://www.hdl.co.jp/>

---