

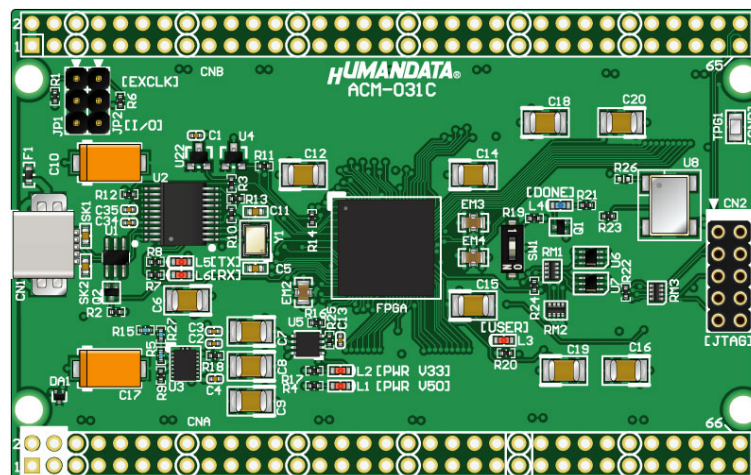


MAX 10 U169 FPGA ボード

ACM-031 シリーズ Rev2

ユーザーズマニュアル

Ver. 2.0



ヒューマンデータ

目 次



● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 開発環境	2
2. 製品の内容について.....	2
3. 仕様	3
4. 製品説明	4
4.1. 各部の名称.....	4
4.2. ブロック図.....	5
4.3. 電源.....	5
4.4. ユーザI/O, レベルコンバータ.....	6
4.5. CNB設定ジャンパ.....	6
4.6. 発振器.....	6
4.7. 汎用LED.....	7
4.8. USB-UART I/F.....	7
4.9. 設定スイッチ.....	7
4.10. JTAGコネクタ.....	8
5. FPGA コンフィギュレーション	9
5.1. FPGA内蔵コンフィグROM用ファイル（pofファイル）の作成.....	9
5.2. FPGA内蔵コンフィグROMアクセス.....	10
6. サポートページ	11
7. お問い合わせについて.....	11

● はじめに

この度は MAX 10 搭載 FPGA ボード ACM-031 シリーズをお買い上げ頂き、ありがとうございます。

ACM-031 シリーズは、Intel (ALTERA) の高性能 FPGA である MAX 10 を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。
どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電圧を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2022/03/25	2.0	製品リビジョン更新

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード ACM-031 シリーズ	1
付属品	1
ユーザ登録はがき	1

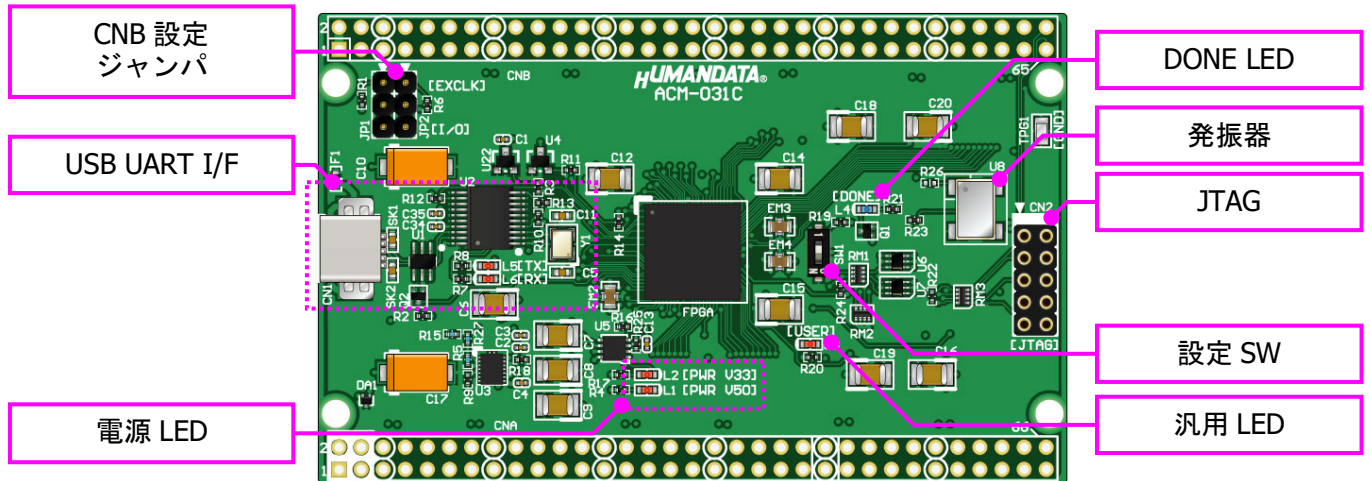
3. 仕様

製品型番	ACM-031-08	ACM-031-16
搭載 FPGA	10M08SAU169C8G	10M16SAU169C8G
電源入力	DC 5.0V (内部電源はオンボードレギュレータにより生成)	
ユーザ I/O	100 本 (CNA:50, CNB:50)	
コンフィグ ROM	FPGA 内蔵	
レベルコンバータ	74LVCC3245A (Texas Instruments)	
USB-UART I/F	MCP2200 (Microchip)	
オンボードクロック	30MHz (外部供給可能)	
汎用 LED	1 個	
ステータス LED	2 個 (POWER, DONE)	
リセット回路	搭載 (240ms typ.)	
I/O コネクタ	66 ピンスルーホール 0.9 (typ.) [mmφ]x2 組 (2.54mm ピッチ)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
基板寸法	54 x 86 [mm]	
質量	約 32 [g]	
付属品	DIL10 ロングピンヘッダ 1 個	
	DIL80 ピンヘッダ 2 個 (任意にカット可能)	

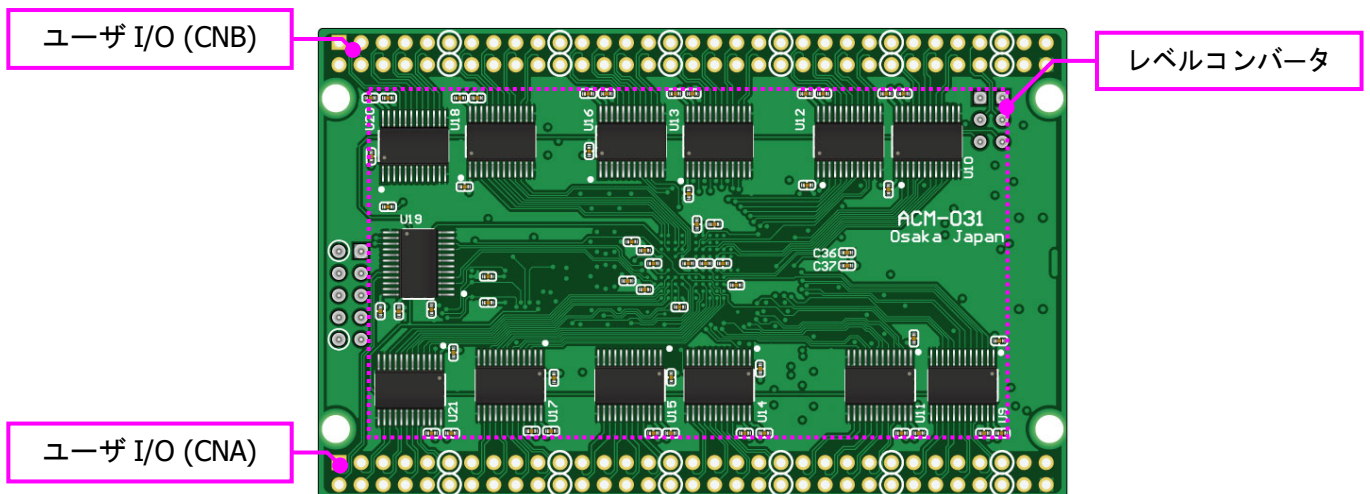
* これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部の名称

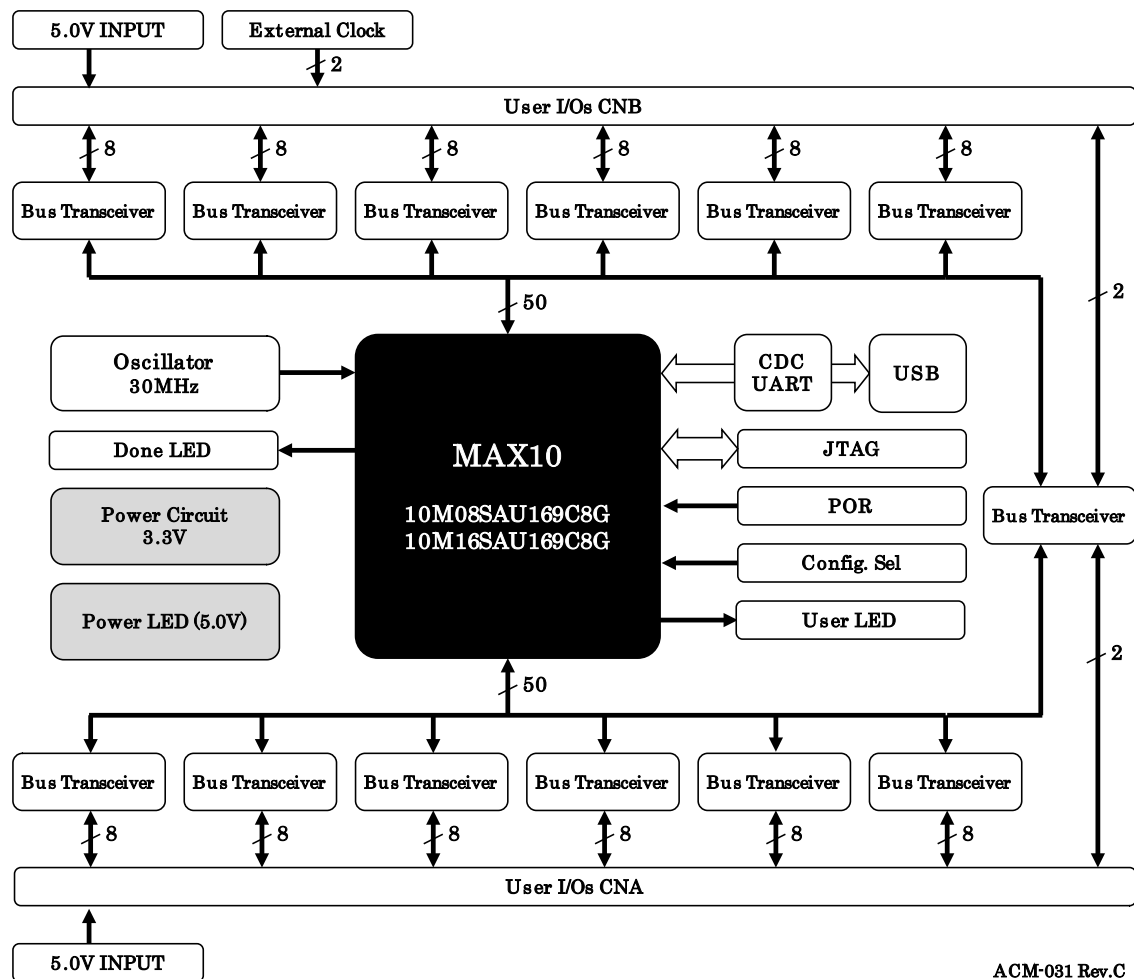


部品面



はんだ面

4.2. ブロック図



ACM-031 Rev.C

4.3. 電源

DC 5.0V 単一電源で動作します。外部から供給する 5.0V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB から供給してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

電源投入により LED L1 が点灯します。L2 は点灯しません。



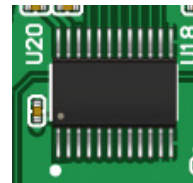
4.4. ユーザ I/O, レベルコンバータ

すべての I/O にレベルコンバータを搭載しています。
レベルコンバータ毎に FPGA の I/O ピン 8 本(または 4 本)が
接続されています。

レベルコンバータは下記の制御ピンを有しています。

- ・ 出力制御ピン(OE) : Low で IC を有効とします。ボード上で
プルアップされています。
すべての IC の OE が 1 本にまとめられ
FPGA に接続されています。
- ・ 方向制御ピン(DIR) : High で出力設定 (FPGA→コネクタ) となります。
Low で入力設定 (コネクタ→FPGA) となります。

詳しくはレベルコンバータのデータシートを参照してください。



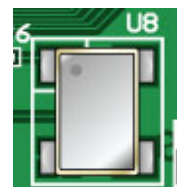
4.5. CNB 設定ジャンパ

JP1, JP2 により、CNB コネクタ 7, 8 番ピンの接続を設定できます。
外部クロック入力はレベルコンバータを介していません。詳しくは回路図を参照してくだ
さい。

JP1	CNB (7) 設定	JP2	CNB (8) 設定
 1-2 をショート	外部クロック入力 (EXCLK0)	 1-2 をショート	外部クロック入力 (EXCLK1)
 2-3 をショート	I/O として使用 (E0B0)	 2-3 をショート	I/O として使用 (E0B1)

4.6. 発振器

オンボードクロックとして 30MHz を搭載しています。



4. 7. 汎用 LED

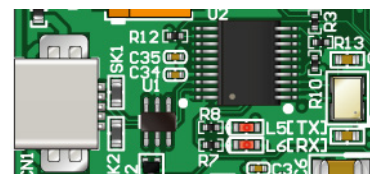
FPGA に直接接続されています。
プルアップされていますので FPGA の Low 出力で点灯します。



4. 8. USB-UART I/F

Microchip 社の MCP2200 を介して FPGA に接続されています。USB の CDC クラス (Communication Device Class) で動作するため、自動的にデバイスドライバがインストールされ、簡単に使用可能な状態となります。

L5 は送信、L6 は受信を表示するステータス LED です。



4. 9. 設定スイッチ

MAX10 には最大 2 つのコンフィギュレーションイメージを格納でき、電源投入時にどちらから起動するかを選択できます。詳しくは ALTERA 社のコンフィギュレーションユーザーガイド等をご参照ください。

SW1

設定	選択イメージ
ON (Low)	イメージ 0
OFF (High)	イメージ 1



4. 10. JTAG コネクタ

JTAG コネクタよりバウンダリスキャンを行い、FPGA のコンフィギュレーションや FPGA 内蔵コンフィグ ROM のアクセスを行います。

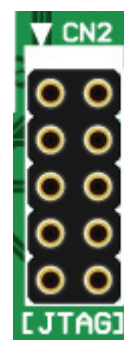
FPGA 内蔵コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

ケーブル接続時は誤接続に注意してください。

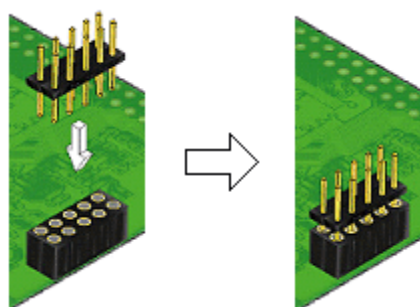
JTAG コネクタのピン配置は次表のとおりです。

CN2

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	—
—	7	8	—
TDI	9	10	GND



ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



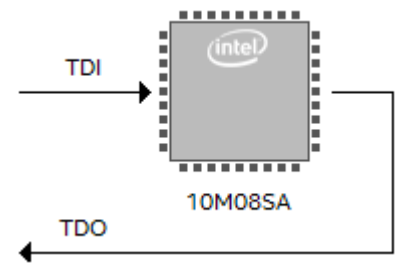
使用例

注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

5. FPGA コンフィギュレーション

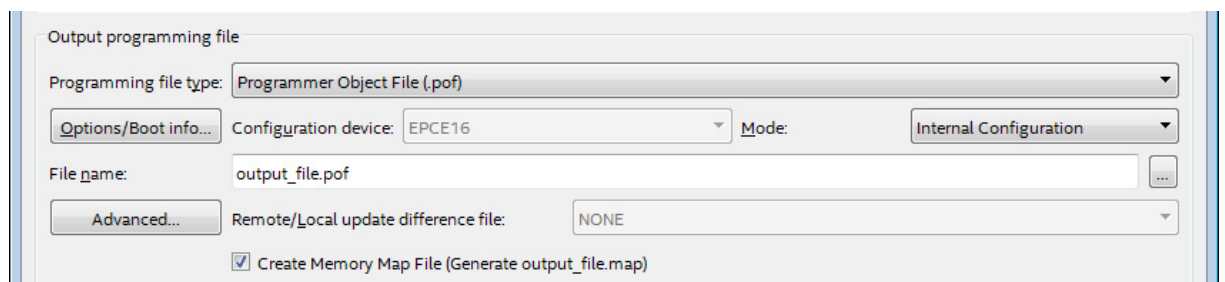
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。FPGA 内蔵コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



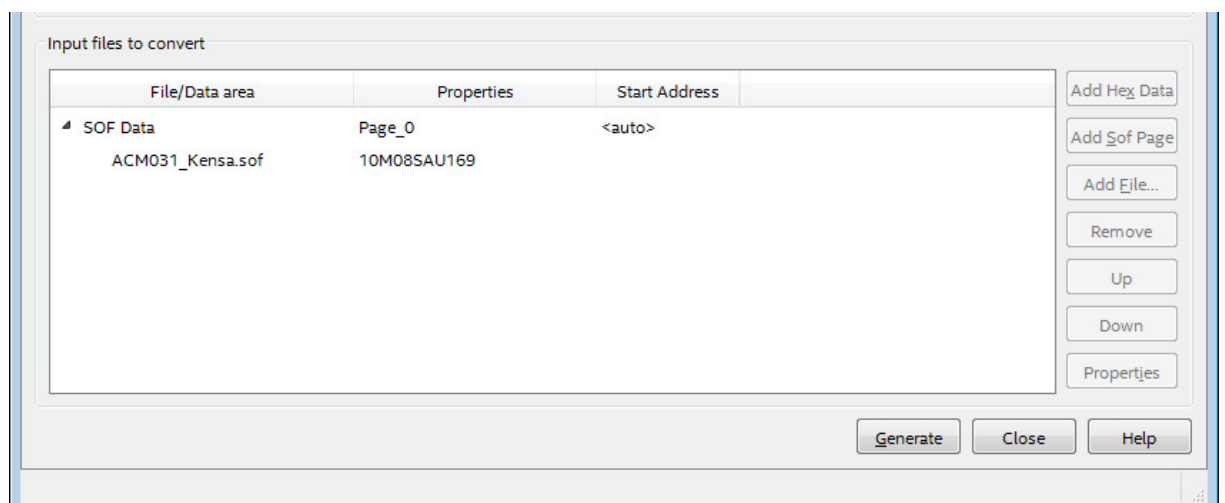
5.1. FPGA 内蔵コンフィグ ROM 用ファイル（pof ファイル）の作成

FPGA 内蔵コンフィギュレーション ROM へ書き込むためには pof ファイルが必要となります。作成手順を以下に示します。

- (1) Quartus の【File】から、【Convert Programming Files..】をクリックします
- (2) 設定画面にて必要な項目を設定します
 - 【Programming File type】 : Programmer Object File (.pof)
 - 【File name】 : 任意
 - 【Mode】 : Internal Configuration



- (3) 【SOF Data】を選択し【Add File...】をクリックします
- (4) 変換する sof データを選択し【OK】をクリックします

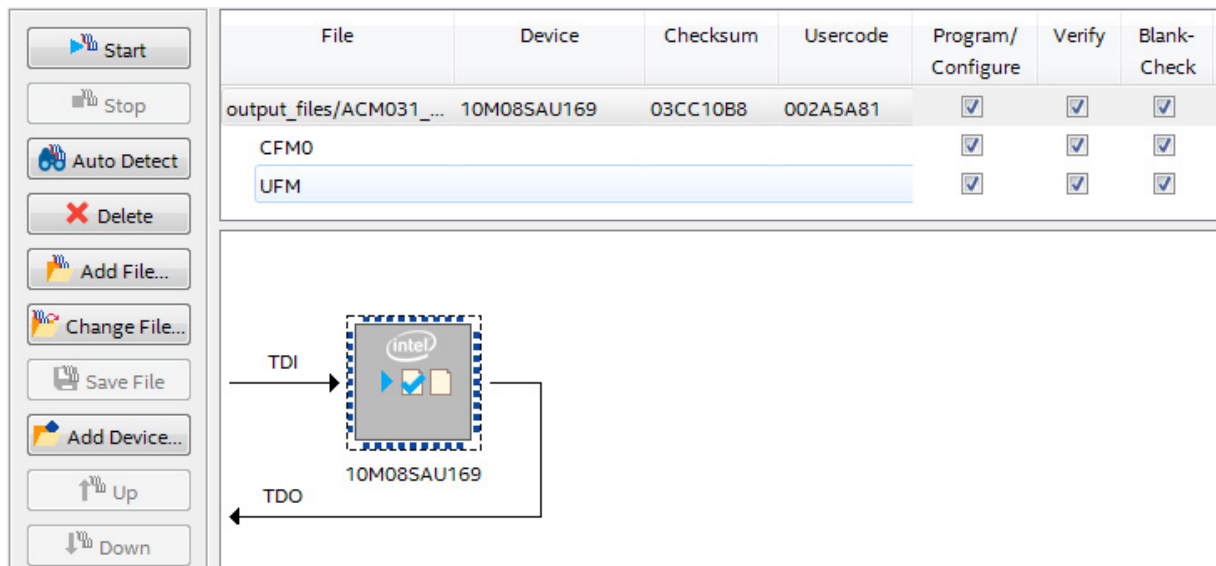


- (5) 【Generate】をクリックします

5. 2. FPGA 内蔵コンフィグ ROM アクセス

作成した pof ファイルで FPGA 内蔵コンフィギュレーション ROM にデータを書き込みます。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし pof ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-031/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
 - ピン割付表
 - 外形図
 - ネットリスト
- ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

MAX 10 U169 FPGA ボード

ACM-031 シリーズ Rev2
ユーザーズマニュアル

2022/03/25 Ver. 2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
