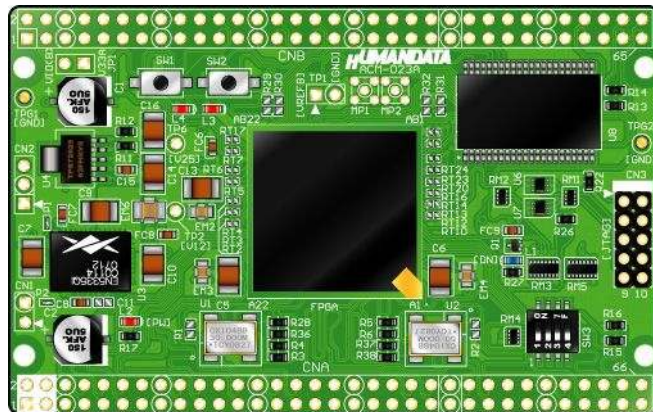


Cyclone IV E FPGA ボード



ACM-023 シリーズ  
ユーザーズマニュアル

Ver. 1.0



ヒューマンデータ



## 目次

● はじめに .....	1
● ご注意 .....	1
● 改訂記録 .....	2
1. 製品の内容について .....	2
2. 仕様 .....	2
3. 固定ピンについて <b>【重要】</b> .....	3
4. 製品説明 .....	4
4.1. 各部の名称 .....	4
4.2. ブロック図 .....	5
4.3. 電源入力 .....	6
4.4. JTAGコネクタ (CN3) .....	6
4.5. 設定スイッチ (SW3) .....	6
5. FPGA のコンフィギュレーション .....	7
6. コンフィギュレーション ROM .....	8
6.1. JICファイルの作成 .....	8
6.2. 書き込み .....	9
7. FPGA ピン割付表 .....	10
7.1. ユーザI/O (CNA) .....	10
7.2. ユーザI/O (CNB) .....	11
7.3. オンボードクロック .....	12
7.4. 外部クロック入力 .....	12
7.5. 汎用LED .....	12
7.6. 汎用スイッチ .....	12
7.7. シリアルI/F (CN2) .....	12
8. 参考資料について .....	13
9. 付属資料 .....	13


## ● はじめに


この度は、Cyclone IV E FPGA ボード/ACM-023 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-023 シリーズは、アルテラ社の高性能 FPGA である Cyclone IV E を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した使いやすいボードになっています。どうぞご活用ください。

(\*) 本マニュアルは Quartus II Version 10.0 を元に作成しています。

## ● ご注意

 <b>禁止</b>	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。

 <b>注意</b>	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承願います。
13	静電気にご注意ください。	

## ● 改訂記録

日付	バージョン	改訂内容
2009/10/27	1.0	初版発行

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-023 シリーズ	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

## 2. 仕様

製品型番	ACM-023-55C8	ACM-023-75C8	ACM-023-115C8
搭載 FPGA	EP4CE55F23C8N	EP4CE75F23C8N	EP4CE115F23C8N
コンフィグ ROM	EPCS16S18N (16Mbit)	EPCS64S116N (ALTERA, 64Mbit)	
電源入力	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
コア電源	1.2V		
外形寸法	86 x 54 [mm]		
質量	約 32 [g]		
ユーザ I/O	100 本		
I/O コネクタ	80 ピンスルーホール 0.9 [mmΦ] × 2 組 (2.54mm ピッチ)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
MRAM	MR2A16AYS35 (Everspin, 4Mbit)		
オンボードクロック	50MHz, 30MHz (外部供給可能)		
リセット回路	電源 IC 内蔵 (200ms typ.)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER, DONE)		
汎用 LED	2 個		
汎用スイッチ	2 個 (押しボタン)		
付属品	DIL10 ピンヘッダ 1 個 (本体に取付け済み) DIL80 ピンヘッダ 2 個 (任意にカット可能)		

\* これらの部品や仕様は変更となる場合がございます

## 3. 固定ピンについて【重要】

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。VREFB ピンには互いに導通しているものがあります。これらは汎用 I/O 用途に使用しないようにする必要があります。詳細は回路図をご参照ください。下表に該当ピンを示します。

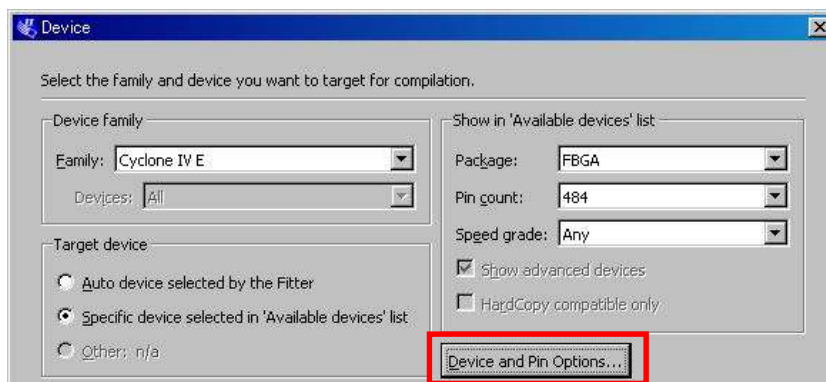
GND	
E10	K7
F16	N17
G11	P6
G13	R18
G15	T10
G17	T14
G7	U13
G9	U19
H16	U7
J19	V6
J5	Y21

VCCINT(1.2V)	
G10	P17
G14	P7
G16	R14
G4	R15
G8	R6
H17	T11
J17	U15
J7	U16
K17	U17
N16	U8
N7	V7

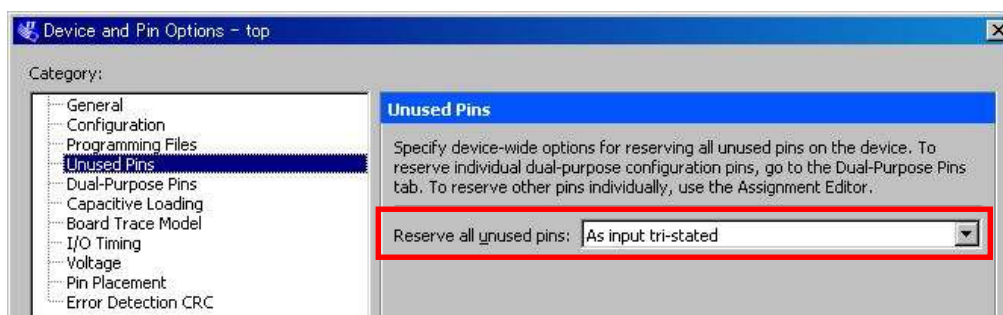
VREFB	
G10	P17
G14	P7
G16	R14

未使用ピンを全て入力とするように Quartus を設定出来ます。以下に設定方法を示します。

1. 【Assignments -> Device】 → 【Device and Pin Options..】 をクリックします

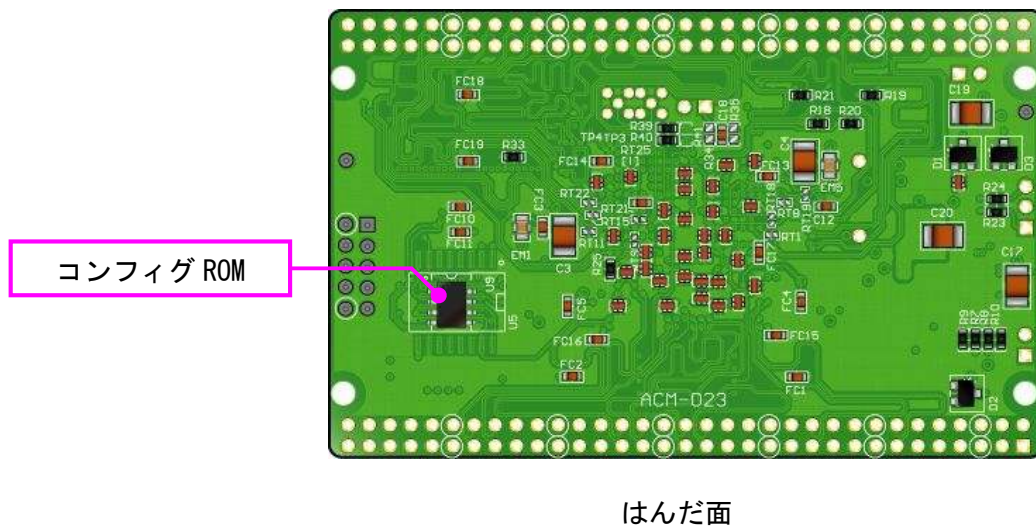
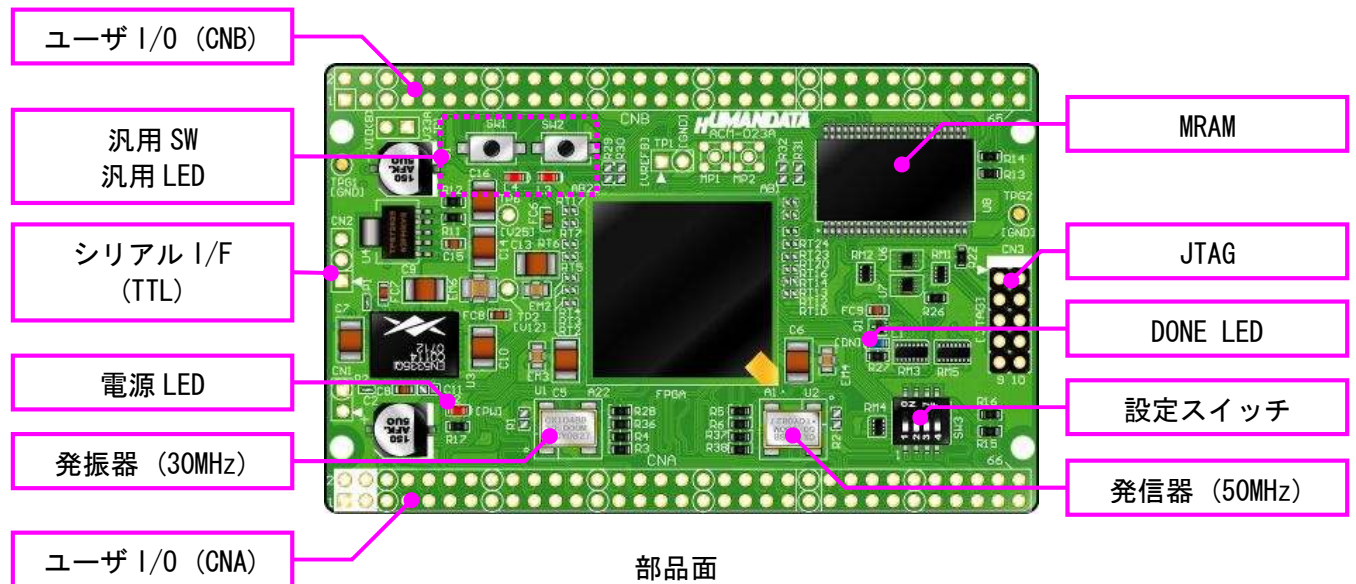


2. 【Reserve all unused pins】 を 【As input tri-stated】 に設定します

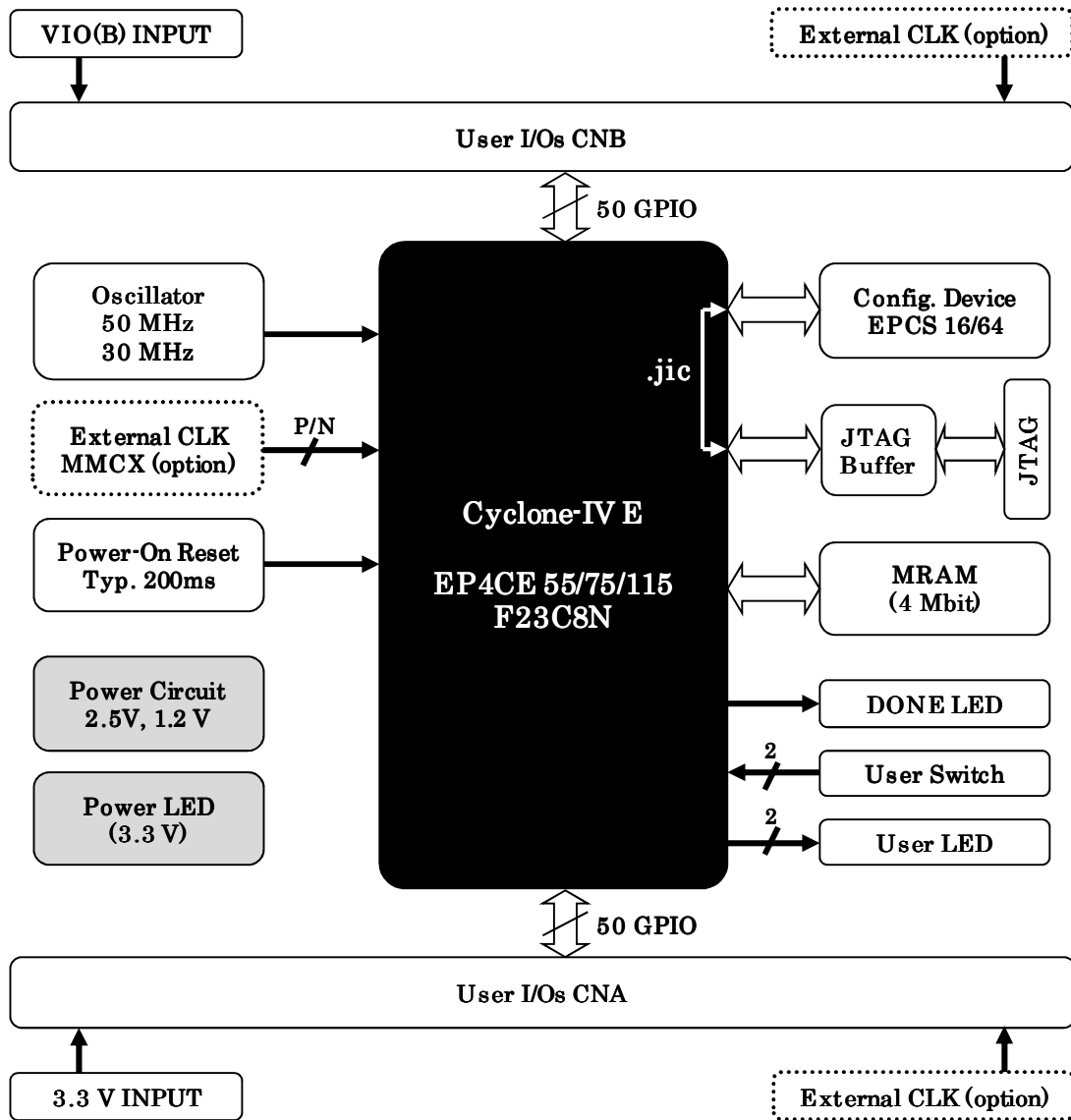


## 4. 製品説明

### 4.1. 各部の名称



## 4.2. ブロック図





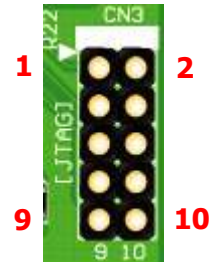
## 4.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。ユーザ I/O (CNA, CNB) より、十分な余裕のあるものを供給してください。

CNB 側から供給する電圧は I/O 電源として、任意の電圧を供給することができます。CNA 側から供給する電圧は 3.3V に限られます。詳しくは回路図をご参照ください。

## 4.4. JTAG コネクタ (CN3)

FPGA へのコンフィギュレーション及びコンフィグ ROM の ISP に使用します。ピン配置を下表に示します。



CN3

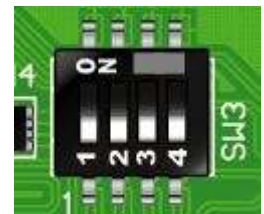
ネットラベル	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

ダウンロードケーブルとの接続には付属品 DIL10 ピンヘッダをご利用できます。弊社製ダウンロードケーブル BL3 の 10 ピンコネクタと 1:1 で対応しています。ALTERA 社の純正ケーブルを用いることもできます。

## 4.5. 設定スイッチ (SW3)

設定スイッチ (SW3) により、コンフィギュレーションモードを設定できます。

ON によりゼロ設定となります。出荷時は全て OFF 設定です。



SW3	1	2	3	4	動作
モード	MSEL 0	MSEL 1	MSEL 2	MSEL 3	動作
AS	<b>内容に誤りがありますので、より新しい版をご参照ください。</b>				
JTAG	X	X	X	X	FPGA アクセス
X : Don't Care					

コンフィグ ROM への書込み、コンフィグ ROM からの FPGA へのコンフィギュレーション (リセット時) 共に AS モードに設定してください。書込みには JIC ファイルをご使用ください。その他の動作モードは通常使用しません。

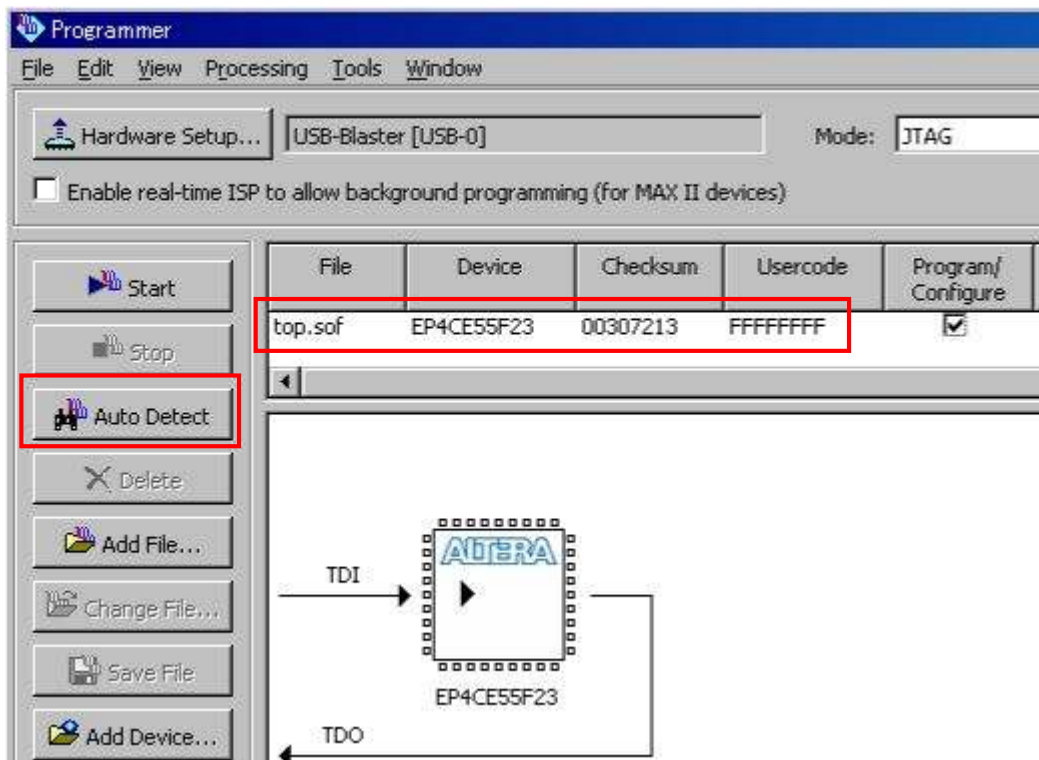
詳細については Cyclone IV のデータシートをご参照ください。

## 5. FPGA のコンフィギュレーション

1. Quartus II を起動し【Programmer】をクリックします。



2. 【Auto Detect】をクリックしデバイスを認識させます。  
【none】部分をダブルクリックし、sof ファイルを選択します。



3. 【Program/Configure】にチェックを入れ【Start】をクリックします。  
正常にコンフィギュレーションが完了すると DONE LED が点灯します。

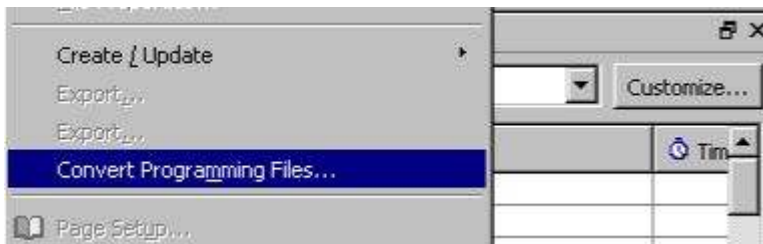
## 6. コンフィギュレーション ROM

ACM-023 にはコンフィギュレーション ROM が搭載されています。データの書き込みには JIC ファイルを作成する必要があります。

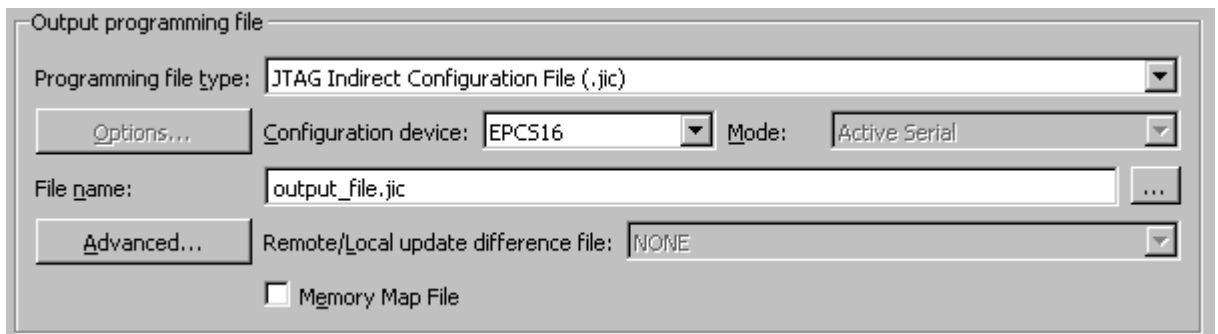
ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。書き込むデータは十分に検査され、安全性のあるものをご使用ください。

### 6.1. JIC ファイルの作成

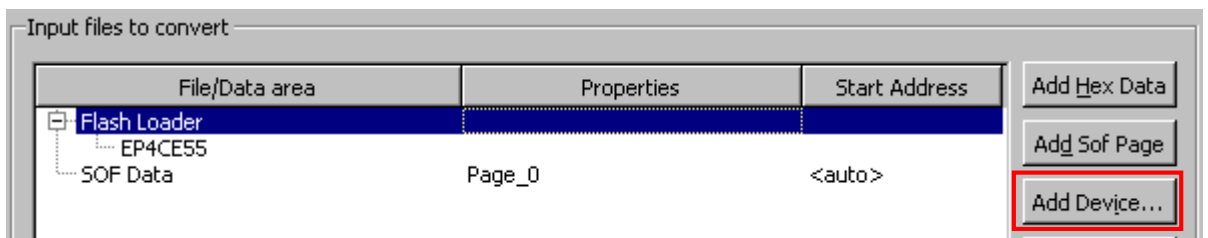
1. 【File -> Convert Programming Files..】をクリックします。



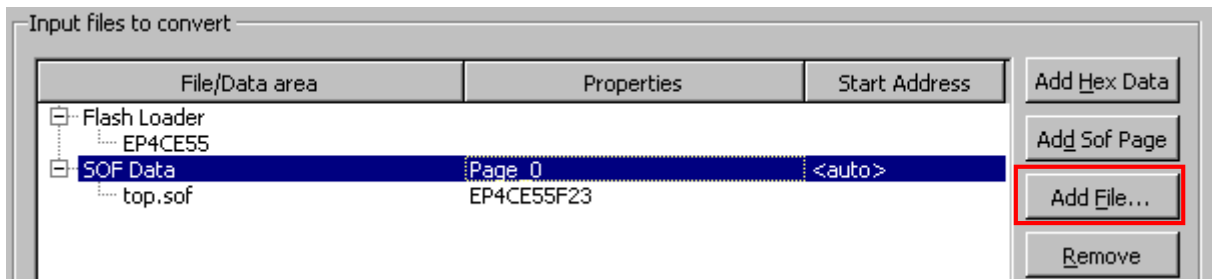
2. 【Programming File type】 : JTAG Indirect Configuration File (.jic)  
 【Configuration device】 : EPCS16 or EPCS64  
 【File name】 : 任意  
 を指定し 【Memory Map File】 のチェックを外します。



3. 【Flash Loader】を選択し【Add Device..】をクリックします。
4. 搭載デバイスを選択し【OK】をクリックします。(EP4CE55, EP4CE75, EP4CE115)



5. 【SOF Data】を選択し【Add File...】をクリックします。
6. 変換する sof データを選択し【OK】をクリックします。



7. 【Generate】をクリックします。

## 6.2. 書き込み

書き込みには設定スイッチ (SW3) を AS モードとする必要があります。詳しくは4.5章を参照してください。

1. 【Add File...】をクリックし JIC ファイルを選択します。
2. 【Program/Configure】にチェックをいれ【Start】をクリックします。

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check
Factory default enhanced... output_file.jic	EP4CE55 EPC516	002F4AFE 03D2921F	FFFFFFFF	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/>	<input type="checkbox"/> <input checked="" type="checkbox"/>	<input type="checkbox"/> <input checked="" type="checkbox"/>

## 7. FPGA ピン割付表

### 7.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	J22	7	8	J21	IOA1	A
A	IOA2	H22	9	10	H21	IOA3	A
A	IOA4	E22	11	12	E21	IOA5	A
A	IOA6	A20	13	14	B20	IOA7	A
		GND	15	16	GND		
A	IOA8	C22	17	18	C21	IOA9	A
A	IOA10	B22	19	20	B21	IOA11	A
A	IOA12	D22	21	22	D21	IOA13	A
A	IOA14	A18	23	24	B18	IOA15	A
		GND	25	26	GND		
A	IOA16	A17	27	28	B17	IOA17	A
A	IOA18	A16	29	30	B16	IOA19	A
A	IOA20	A15	31	32	B15	IOA21	A
A	IOA22	A14	33	34	B14	IOA23	A
		GND	35	36	GND		
A	IOA24	A13	37	38	B13	IOA25	A
A	IOA26	A10	39	40	B10	IOA27	A
A	IOA28	A9	41	42	B9	IOA29	A
A	IOA30	A8	43	44	B8	IOA31	A
		GND	45	46	GND		
A	IOA32	A7	47	48	B7	IOA33	A
A	IOA34	A6	49	50	B6	IOA35	A
A	IOA36	E5	51	52	E6	IOA37	A
A	IOA38	B3	53	54	A3	IOA39	A
		GND	55	56	GND		A
A	IOA40	B2	57	58	B1	IOA41	A
A	IOA42	C2	59	60	C1	IOA43	A
A	IOA44	F2	61	62	F1	IOA45	A
A	IOA46	H2	63	64	H1	IOA47	A
A	IOA48 *1	J2	65	66	J1	IOA49 *2	A

(\*1) 抵抗 (R15) を介して CLK\_EXAP (B11) に接続されています

(\*2) 抵抗 (R16) を介して CLK\_EXAN (A11) に接続されています

## 7.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK
	VIO(B)	VCCIO_x	1	2	VCCIO_x	VIO(B)	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	Y22	7	8	R17	IOB1	B
B	IOB2	U20	9	10	M16	IOB3	B
B	IOB4	M20	11	12	M19	IOB5	B
B	IOB6	M22	13	14	M21	IOB7	B
		GND	15	16	GND		
B	IOB8	N22	17	18	N21	IOB9	B
B	IOB10	U22	19	20	U21	IOB11	B
B	IOB12	R22	21	22	R21	IOB13	B
B	IOB14	P22	23	24	P21	IOB15	B
		GND	25	26	GND		
B	IOB16	V22	27	28	V21	IOB17	B
B	IOB18	T20	29	30	T19	IOB19	B
B	IOB20	W22	31	32	W21	IOB21	B
B	IOB22	N6	33	34	P5	IOB23	B
		GND	35	36	GND		
B	IOB24	T5	37	38	T4	IOB25	B
B	IOB26	Y2	39	40	Y1	IOB27	B
B	IOB28	W2	41	42	W1	IOB29	B
B	IOB30	V2	43	44	V1	IOB31	B
		GND	45	46	GND		
B	IOB32	U2	47	48	U1	IOB33	B
B	IOB34	R2	49	50	R1	IOB35	B
B	IOB36	R4	51	52	R3	IOB37	B
B	IOB38	P3	53	54	P4	IOB39	B
		GND	55	56	GND		
B	IOB40	M4	57	58	M3	IOB41	B
B	IOB42	N1	59	60	N2	IOB43	B
B	IOB44	P1	61	62	P2	IOB45	B
B	IOB46	M1	63	64	M2	IOB47	B
B	IOB48 *1	M6	65	66	L6	IOB49 *2	B

(\*1) 抵抗 (R13) を介して CLK\_EXBP (T21) に接続されています

(\*2) 抵抗 (R14) を介して CLK\_EXBN (T22) に接続されています

### 7.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
30MHz	30M_CLK1	T2
	30M_CLK2	AA11
	30M_CLK3	G21
	30M_CLK4	A12
50MHz	50M_CLK1	T1
	50M_CLK2	AB11
	50M_CLK3	G22
	50M_CLK4	B12

### 7.4. 外部クロック入力

コネクタ	NET LABEL	FPGA Pin
CNA_65	CLK_EXAP	B11
CNA_66	CLK_EXAN	A11
CNB_65	CLK_EXBP	T21
CNB_66	CLK_EXBN	T22

### 7.5. 汎用LED

LED	NET LABEL	FPGA Pin
L3	ULED1	Y13
L4	ULED0	Y14

### 7.6. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW1	PSW1	Y15
SW2	PSW0	W15

### 7.7. シリアル I/F (CN2)

コネクタ番号	NET LABEL	FPGA Pin
1	D_TXD	R16
2	GND	-
3	D_RXD	T16

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したインターフェースです。汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

## 8. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-023/index.html>

- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

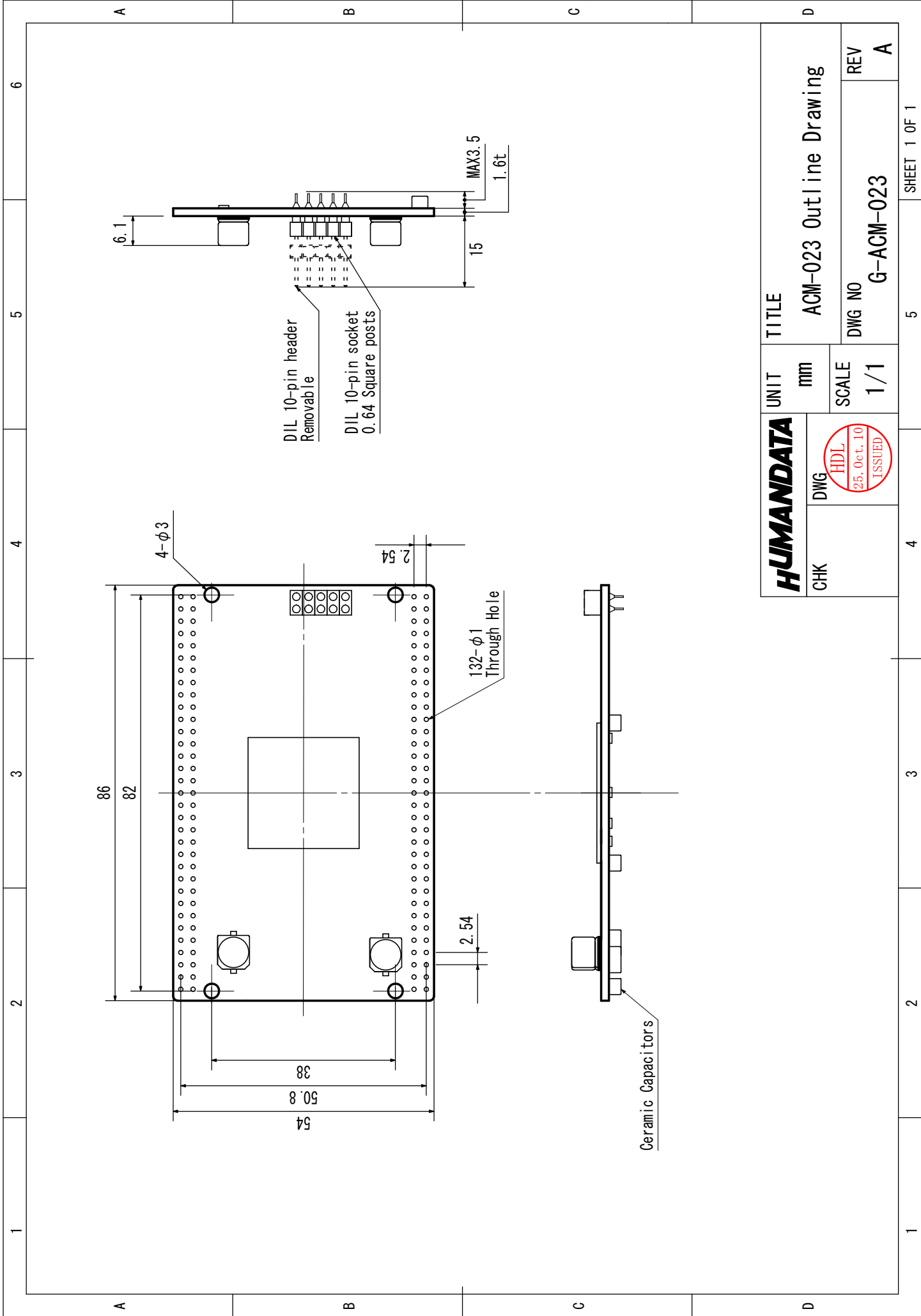
[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)


## 9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）







<b>HUMANDATA</b>		UNIT		TITLE	
CHK	DWG	mm	ACM-023 Outline Drawing		
		SCALE	DWG NO		REV
		1/1	G-ACM-023		A

---

Cyclone IV E FPGA ボード

ACM-023 シリーズ  
ユーザーズマニュアル

---

2010/10/27 Ver. 1.0 (初版)

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---