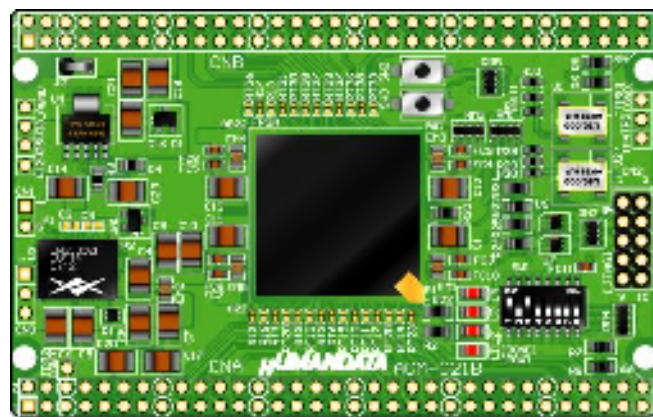


CycloneIII ブレッドボード
ACM-021 シリーズ
ユーザーズマニュアル
Ver. 1.4



ヒューマンデータ

目次

● はじめに.....	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について.....	2
2. 仕様	2
3. 固定ピンについて [重要]	3
4. 製品概要.....	4
4.1. 各部の名称	4
4.2. ブロック図.....	5
4.3. 電源入力	5
4.4. JTAG コネクタ.....	6
4.5. 設定スイッチ.....	7
5. FPGA のコンフィギュレーション	8
6. コンフィギュレーション ROM への書込み	9
6.1. jic ファイルの作成.....	9
6.2. コンフィギュレーション ROM に ISP(書込み).....	11
6.3. ROM から FPGA へコンフィギュレーション	11
7. FPGA ピン割付け表	12
7.1. ユーザ I/O (CNA)	12
7.2. ユーザ I/O (CNB)	13
7.3. オンボードクロック.....	14
7.4. 外部クロック入力.....	14
7.5. 汎用 LED	14
7.6. 汎用スイッチ.....	14
7.7. その他.....	15
8. 参考資料について.....	15
9. 付属資料.....	15
10. お問い合わせについて	15


● はじめに


この度は、CycloneⅢブレッドボード／ACM-021 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-021 シリーズは、ALTERA 社の高性能 FPGA である CycloneⅢ を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM などを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途での使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2009/09/10	第3版	基板変更（シルクのみ変更）
2012/08/09	1.4	ダウンロードケーブル接続参考図の更新など

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-021 シリーズ	1
付属品		1
マニュアル（本書）		1*
ユーザー登録はがき		1*

* オーダー毎に各1部の場合があります。（ご要望により追加請求できます）

2. 仕様

製品型番	ACM-021-16C8	ACM-021-40C8	ACM-021-55C8
搭載 FPGA	EP3C16F484C8N	EP3C40F484C8N	EP3C55F484C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
基板寸法	86×54 [mm]		
質量	約 27 [g]		
ユーザ I/O	100 本		
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
コンフィグ ROM	EPCS16S116N (ALTERA, 16Mbit)		
オンボードクロック	30MHz、50MHz (外部供給可能)		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	2 個		
汎用スイッチ	2 個		
付属品	DIL10 ロングピンヘッダ 1 個 (本体に取付け済み) DIP80 ピンヘッダ 2 個 (任意にカット可能)		

* これらの部品や仕様は変更となる場合がございます。

3. 固定ピンについて **[重要]**

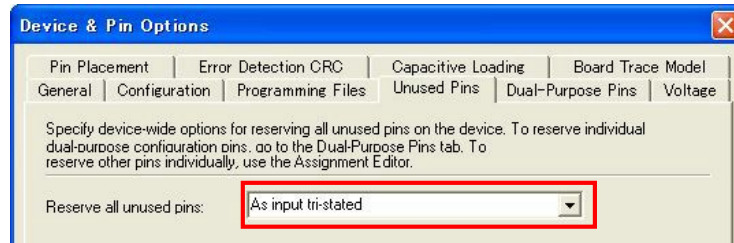
本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP2C40 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

固定ピン一覧

GND		VCCINT		VCCIO	
NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#
GND	AB6	V12	G12	VCCIO1	H4
GND	C18	V12	H11	VCCIO2	R4
GND	D7	V12	H15	VCCIO3	AA6
GND	D8	V12	H9	VCCIO4	Y14
GND	F12	V12	J16	VCCIO5	T19
GND	H10	V12	J8	VCCIO6	J20
GND	H12	V12	K15	VCCIO7	D18
GND	H13	V12	K8	VCCIO8	E8
GND	H14	V12	L16		
GND	H3	V12	L7		
GND	H8	V12	M15		
GND	J15	V12	M8		
GND	J19	V12	N14		
GND	J5	V12	P14		
GND	K16	V12	P15		
GND	L15	V12	R10		
GND	L8	V12	R12		
GND	M7	V12	R8		
GND	N15	V12	T13		
GND	N8	V12	T7		
GND	P16	V12	T9		
GND	P8	V12	U16		
GND	R11	V12	U17		
GND	R13				
GND	R3				
GND	R7				
GND	R9				
GND	T12				
GND	T20				
GND	T8				
GND	Y15				

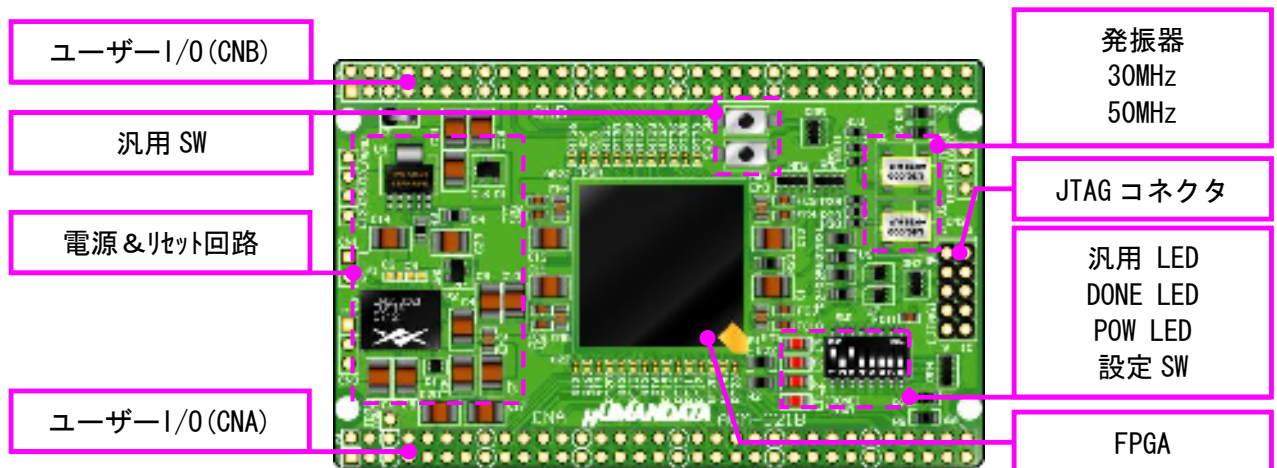
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます
 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます
 Reserve all unused pins の設定を【As input tri-stated】にします

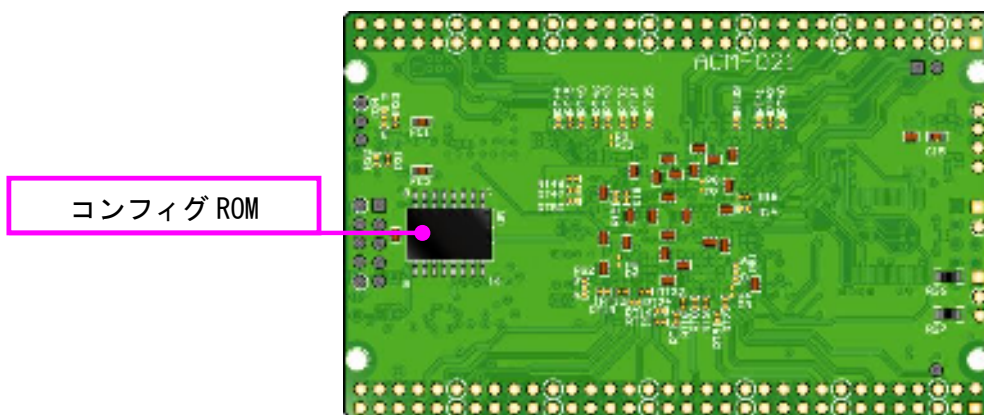


4. 製品概要

4.1. 各部の名称

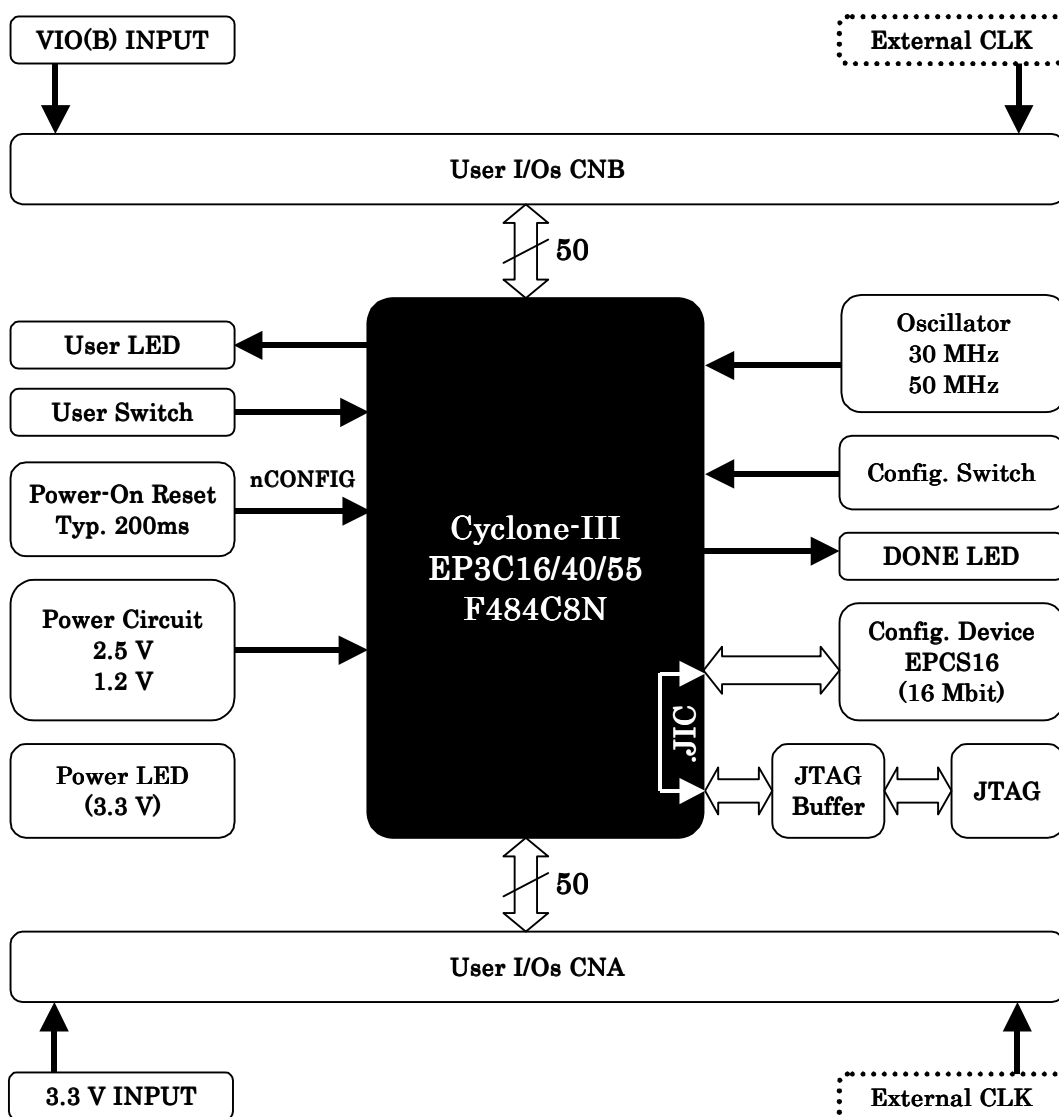


部品面



はんだ面

4.2. ブロック図



4.3. 電源入力

本ボードは、DC 3.3V単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

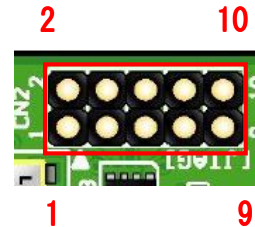
電源は CNA、CNB から**太い配線**で供給してください。
電源、GND はすべてのピンに接続することをお勧めします

4.4. JTAG コネクタ

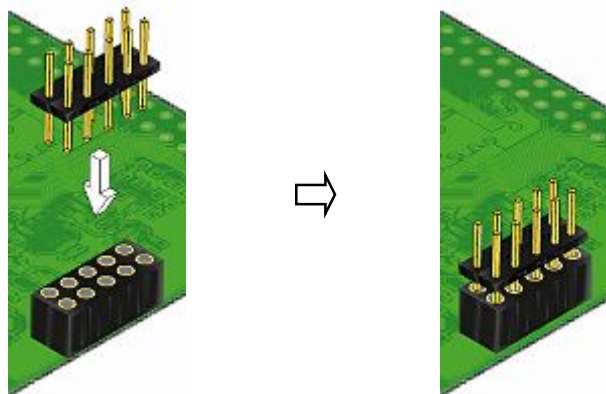
FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP に使用します。ピン配置は次表のとおりです。

CN2

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



ダウンロードケーブル（USB Blaster 等）との接続には、付属のロングピンヘッダをご利用いただけます。



注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

4.5. 設定スイッチ

SW1 は FPGA の MSEL0, MSEL1, MSEL2, MSEL3 を設定します。ON で Low となります。

SW1

	1	2	3	4	5	6	7	8
NET LABEL	MSEL0	MSEL1	MSEL2	MSEL3	DSW4	DSW5	DSW6	DSW7
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード				汎用			

CycloneIII のコンフィギュレーションモード

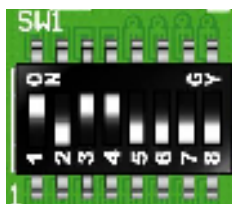
コンフィギュレーション・モード	MSEL3	MSEL2	MSEL1	MSEL0
AS モード	ON	ON	OFF	ON
JTAG	OFF	OFF	OFF	OFF

メモ

詳しくは ALTERA 社最新データシートをご覧ください。

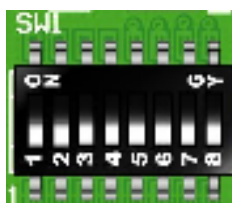
ROM 使用時 : SW1

MSEL0 = ON
MSEL1 = OFF
MSEL2 = ON
MSEL3 = ON



JTAG 使用時 : SW1 の状態に影響されません

MSEL0 = OFF
MSEL1 = OFF
MSEL2 = OFF
MSEL3 = OFF



メモ

出荷時はすべて OFF の設定になっています。

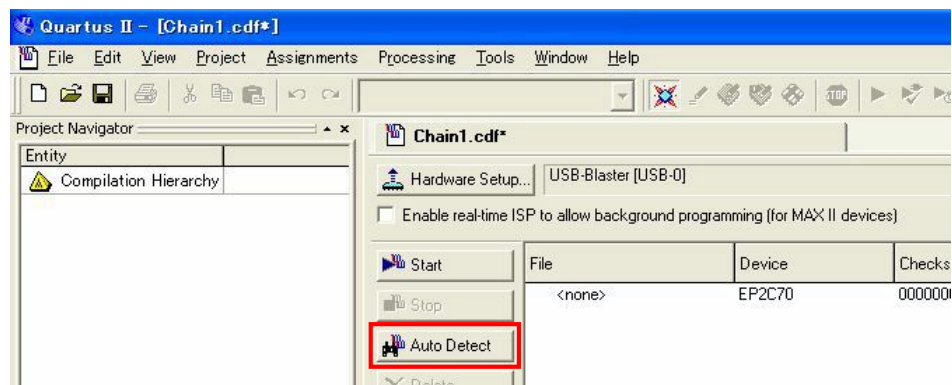
5. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

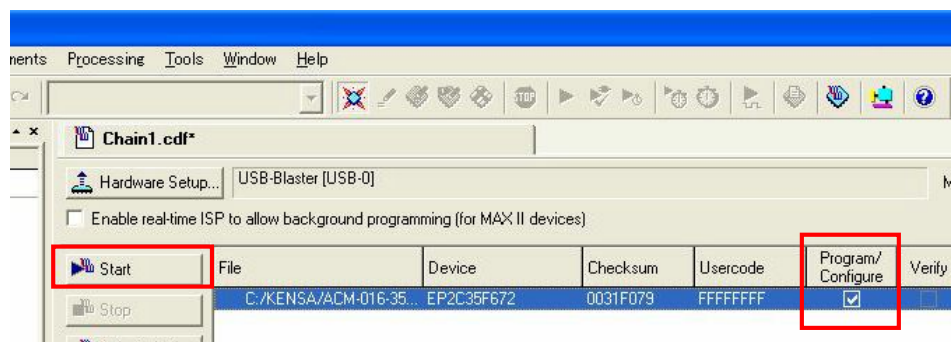
- ▼ Quartus II を起動し【Programmer】をクリックします



- ▼ 【Auto Detect】をクリックします
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します (sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします



正常にコンフィギュレーションが出来ればボード上の L2 が点灯します。

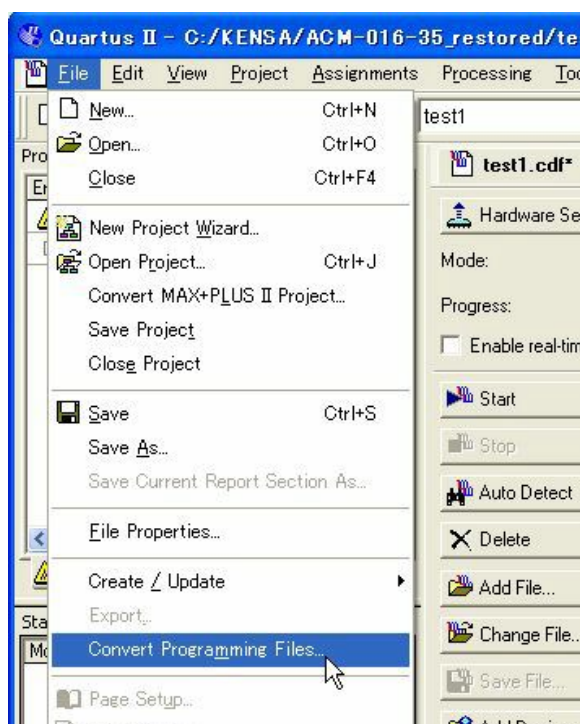
6. コンフィギュレーション ROM への書込み

ACM-021 にはコンフィギュレーション ROM (EPCS16) が実装されています。
 コンフィギュレーション ROM に ISP するためには Quartus II により .jic ファイルを作成します。

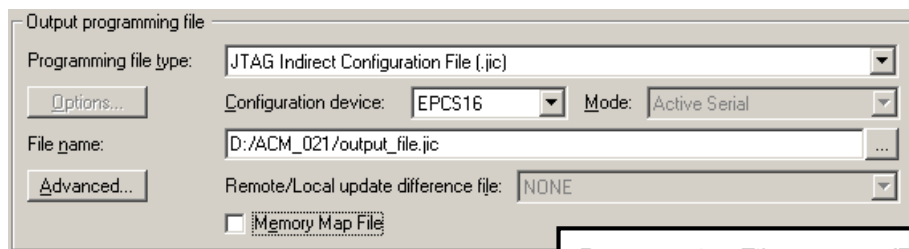
6.1. jic ファイルの作成

JIC ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

- ▼ Quartus II を起動し【FILE/Convert Programming Files】をクリックします

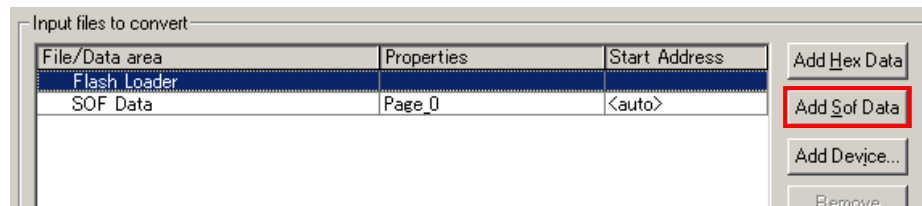


- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します



Programming File type : JTAG
 Configuration device : EPCS16
 File name : 任意の名前に設定してください。

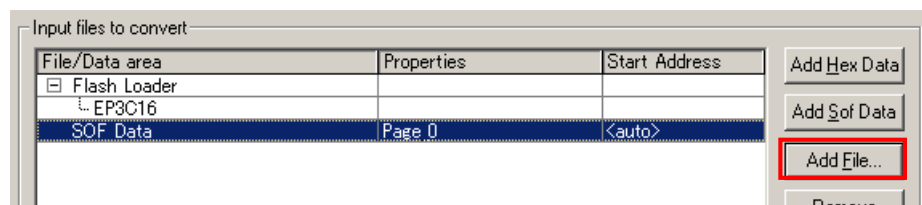
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください



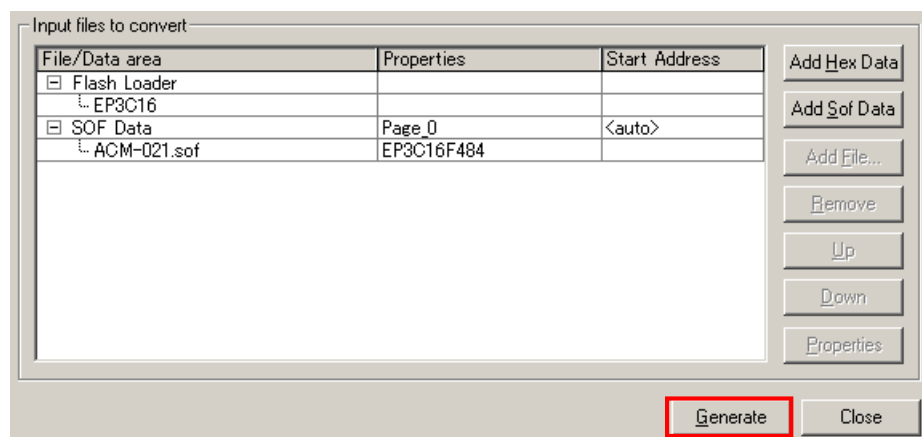
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください



- ▼ 【Generate】をクリックしてください



これで、jic ファイルができました。

6.2. コンフィギュレーション ROM に ISP (書込み)

FPGA にコンフィギュレーションし、十分に動作の確認をしてから ROM に ISP するようにしてください。

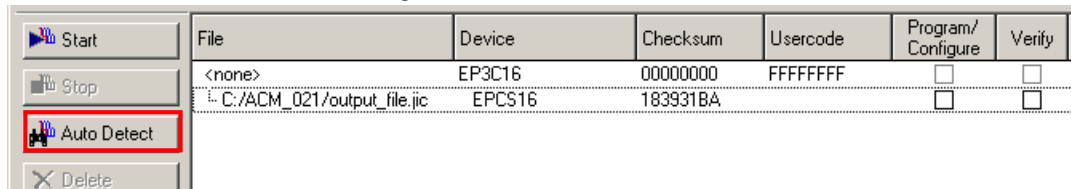
ROM に ISP する際、DIPSW の設定が必要です。

DIPSW (SW1) の設定を下記のように設定してください。

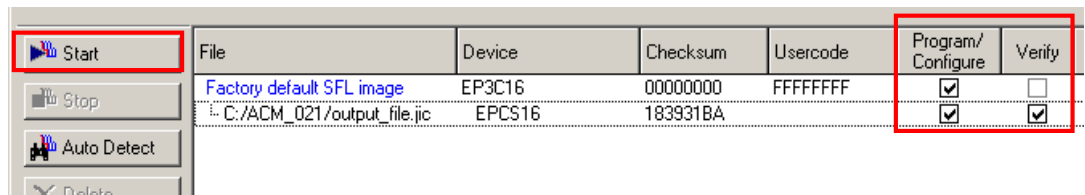
	1	2	3	4	5	6	7	8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>	X	X	X	X
OFF		<input type="checkbox"/>			X	X	X	X

X:Don't Care

- ▼ 「6.1 項」で作成した .jic ファイルを使用します
【Auto Detect】をクリックし .jic ファイルを指定してください



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください



6.3. ROM から FPGA へコンフィギュレーション

FPGA にコンフィギュレーションし、十分に動作の確認をしてから ROM に ISP するようにしてください。

ROM から FPGA にコンフィギュレーションする際、DIPSW の設定が必要です。

DIPSW (SW1) の設定を下記のように設定してください。

	1	2	3	4	5	6	7	8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>	X	X	X	X
OFF		<input type="checkbox"/>			X	X	X	X

X:Don't Care

設定が終了しましたら、電源を入れなおすと ROM から FPGA へコンフィギュレーションされます。

7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK Group
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	C19	7	8	D19	IOA1	A
A	IOA2	E16	9	10	F16	IOA3	A
A	IOA4	F15	11	12	G16	IOA5	A
A	IOA6	F14	13	14	G15	IOA7	A
		GND	15	16	GND		
A	IOA8	A18	17	18	B18	IOA9	A
A	IOA10	A17	19	20	B17	IOA11	A
A	IOA12	A16	21	22	B16	IOA13	A
A	IOA14	A15	23	24	B15	IOA15	A
		GND	25	26	GND		
A	IOA16	A14	27	28	B14	IOA17	A
A	IOA18	C13	29	30	D13	IOA19	A
A	IOA20	A13	31	32	B13	IOA21	A
A	IOA22	E11	33	34	F11	IOA23	A
		GND	35	36	GND		
A	IOA24	E10	37	38	D10	IOA25	A
A	IOA26	A10	39	40	B10	IOA27	A
A	IOA28	A9	41	42	B9	IOA29	A
A	IOA30	A8	43	44	B8	IOA31	A
		GND	45	46	GND		
A	IOA32	A7	47	48	B7	IOA33	A
A	IOA34	G8	49	50	F8	IOA35	A
A	IOA36	C8	51	52	C7	IOA37	A
A	IOA38	F7	53	54	G7	IOA39	A
		GND	55	56	GND		A
A	IOA40	A6	57	58	B6	IOA41	A
A	IOA42	A4	59	60	B4	IOA43	A
A	IOA44	A3	61	62	B3	IOA45	A
A	IOA46	C4	63	64	C3	IOA47	A
A	IOA48 *1	F10	65	66	F9	IOA49 *2	A

*1 抵抗 R8 を介して CLK0 に接続しています

*2 抵抗 R7 を介して CLK1 に接続しています

7.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
		VIO(B) *5	1	2	VIO(B) *5		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	V22	7	8	V21	IOB1	B
B	IOB2	W22	9	10	W21	IOB3	B
B	IOB4	Y22	11	12	Y21	IOB5	B
B	IOB6	AA22	13	14	AA21	IOB7	B
		GND	15	16	GND		
B	IOB8	AB20	17	18	AA20	IOB9	B
B	IOB10	AB17	19	20	AA17	IOB11	B
B	IOB12	AB16	21	22	AA16	IOB13	B
B	IOB14	AB15	23	24	AA15	IOB15	B
		GND	25	26	GND		
B	IOB16	AB14	27	28	AA14	IOB17	B
B	IOB18	AB13	29	30	AA13	IOB19	B
B	IOB20	AB9	31	32	AA9	IOB21	B
B	IOB22	AB8	33	34	AA8	IOB23	B
		GND	35	36	GND		
B	IOB24	AB7	37	38	AA7	IOB25	B
B	IOB26	AB5	39	40	AA5	IOB27	B
B	IOB28	V8	41	42	U9	IOB29	B
B	IOB30	Y7	43	44	W7	IOB31	B
B		GND	45	46	GND		
B	IOB32	W6	47	48	V7	IOB33	B
B	IOB34	AA1	49	50	AA2	IOB35	B
B	IOB36	Y1	51	52	Y2	IOB37	B
B	IOB38	W1	53	54	W2	IOB39	B
		GND	55	56	GND		
B	IOB40	V1	57	58	V2	IOB41	B
B	IOB42	U1	59	60	U2	IOB43	B
B	IOB44	R1	61	62	R2	IOB45	B
B	IOB46	P1	63	64	P2	IOB47	B
B	IOB48 *3	M1	65	66	M2	IOB49 *4	B

*3 抵抗 R6 を介して CLK2 に接続しています

*4 抵抗 R5 を介して CLK3 に接続しています

*5 VIO(B)は通常 3.3V。変更時は JP1 を取外す

7.3. オンボードクロック

周波数	NET LABEL	FPGA ピン#
30MHz	CLKA	G1
		G2
		B11
		A11
		G22
		G21
50MHz	CLKB	AB11
		AA11
		T22
		T21
		T1
		T2

7.4. 外部クロック入力

周波数	NET LABEL	FPGA ピン#
任意	CLK0	B12
	CLK1	A12
	CLK2	AA12
	CLK3	AB12

7.5. 汎用LED

LED	NET LABEL	FPGA ピン#
L3	ULED0	H2
L4	ULED1	H1

7.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW2	PSW0	J2
SW3	PSW1	J1
SW1-5	DSW4	F1
SW1-6	DSW5	F2
SW1-7	DSW6	C1
SW1-8	DSW7	C2

7.7. その他

NET LABEL	FPGA ピン#
D_RXD	J22
D_TXD	J21

8. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-021/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

9. 付属資料

1. 基板外形図
2. 回路図(別紙)

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

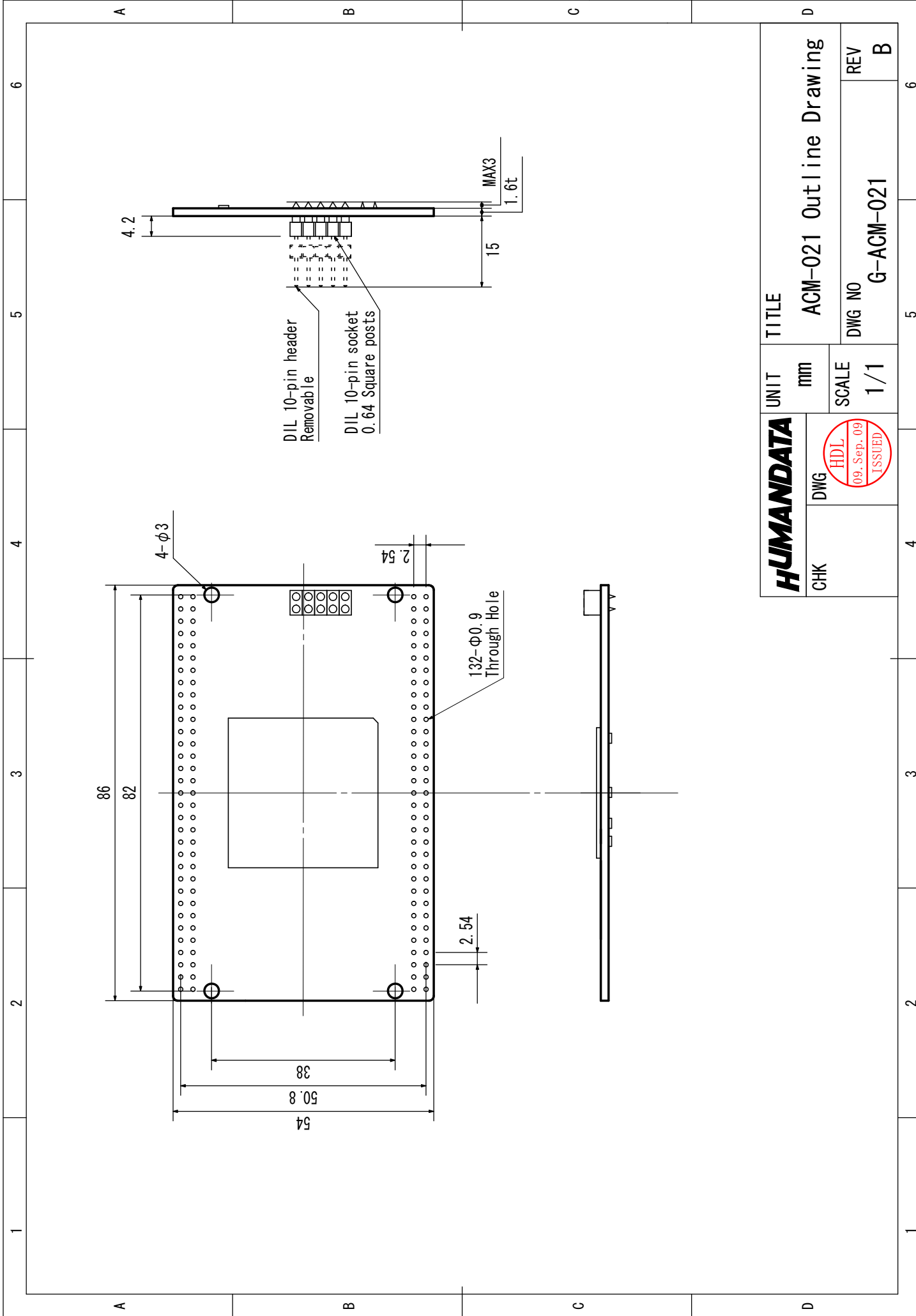
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE	
CHK	DWG	mm	ACM-021 Outline Drawing	
		SCALE	DWG NO	REV
		1/1	G-ACM-021	B

CycloneⅢ ブレッドボード

ACM-021 シリーズ
ユーザーズマニュアル

2008/09/11 初版
2009/06/25 第2版
2009/09/10 第3版

2012/08/09 Ver.1.4

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
