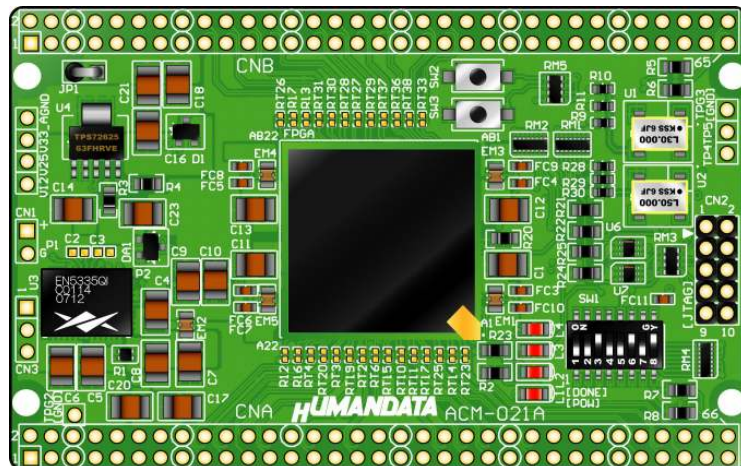




CycloneⅢブレッドボード
ACM-021 シリーズ
ユーザーズマニュアル
初版



ヒューマンデータ

目次



はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品概要.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAG コネクタ.....	5
3.5. 設定 SW の説明.....	6
4. FPGA のコンフィギュレーション.....	7
5. コンフィギュレーション ROM への書込み.....	9
5.1. jic ファイルの作成.....	9
5.2. コンフィギュレーション ROM に ISP(書込み).....	12
5.3. ROM から FPGA へコンフィギュレーション.....	13
6. ピン割付表.....	14
6.1. CNA.....	14
6.2. CNB.....	15
6.3. オンボード CLK.....	16
6.4. 外部入力 CLK.....	16
6.5. 汎用 LED.....	16
6.6. 汎用スイッチ.....	16
6.7. その他.....	16
7. 固定ピンについて 【重要】	17
8. ACM-021 シリーズ 参考資料について.....	18
9. 付属資料.....	18

はじめに

この度は、CycloneⅢブレッドボード／ACM-021 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-021 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-021 シリーズ	1
付属品	1
マニュアル (本書)	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

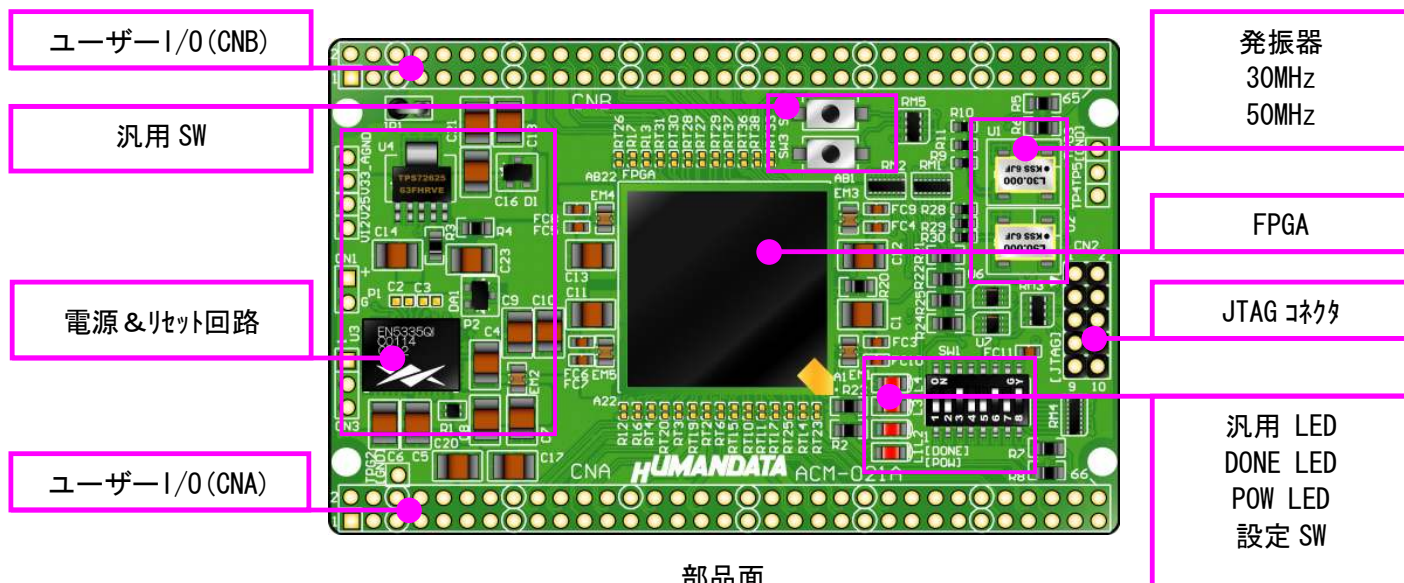
2. 仕様

製品型番	ACM-021-16C8	ACM-021-40C8	ACM-021-55C8
搭載 FPGA	EP3C16F484C8N	EP3C40F484C8N	EP3C55F484C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	86×54 [mm]		
質量	約 ?? [g]		
ユーザ I/O	100 本		
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
コンフィギュレーション ROM	EPCS16S116N (ALTERA)		
クロック	オンボード 30MHz、50MHz 外部供給可能		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	2 個		
汎用スイッチ	2 個		
付属品	DIP10 ピンヘッダ 1 個 (本体に取付け済み) *1 DIP80 ピンヘッダ 2 個 (任意にカット可能) *1		

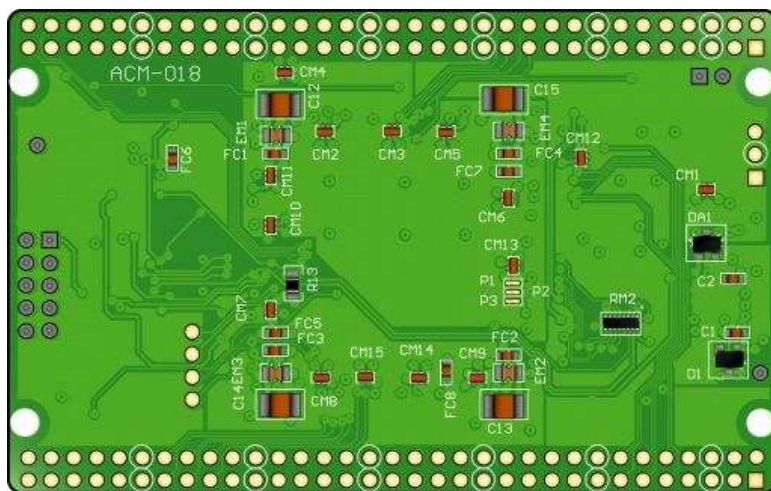
*1 互換品に変更されることがあります

3. 製品概要

3.1. 各部の名称

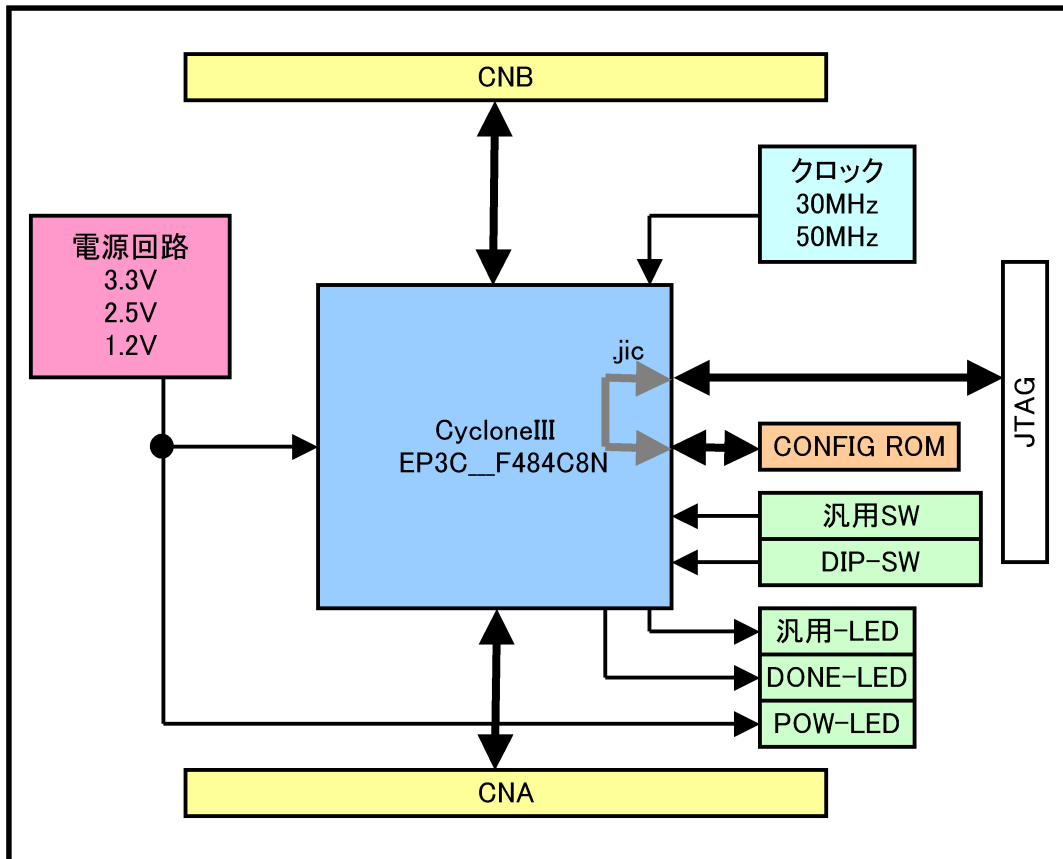


部品面



はんだ面

3.2. ブロック図



3.3. 電源入力

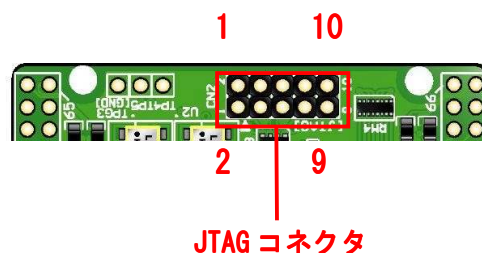
本ボードは、DC 3.3V単一電源で動作します。
外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。



電源はCNA、CNBから**太い配線**で供給してください。
電源、GNDはすべてのピンに接続することをお勧めします

3.4. JTAG コネクタ

FPGA へのコンフィギュレーション及び
コンフィギュレーション ROM の ISP に
使用します。
ピン配置は次表のとおりです。



CN2

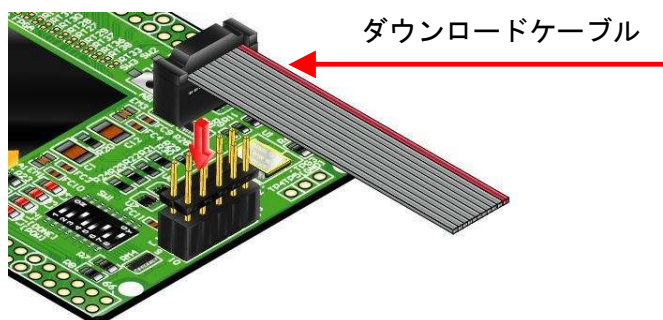
回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1
で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッ
ダをご利用できます

使用例



注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

3.5. 設定 SW の説明

SW1 は FPGA の MSEL0, MSEL1, MSEL2, MSEL3 を設定します。

CycloneIII のコンフィギュレーション手法

コンフィギュレーション・モード	MSEL3	MSEL2	MSEL1	MSEL0
PS モード	0	0	0	0
AS モード	0	0	1	0
JTAG	1	1	1	1

メモ

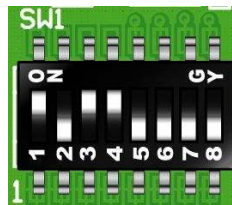
詳しくは ALTERA 社最新データシートをご覧ください。

SW1 MSEL0, MSEL1, MSEL2, MSEL3 信号 設定用

	S1	S2	S3	S4	S5	S6	S7	S8
NET LEVEL	MSEL0	MSEL1	MSEL2	MSEL3	DSW4	DSW5	DSW6	DSW7
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード				汎用			

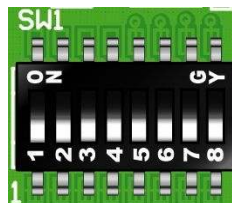
ROM 使用時 : SW1 (S1, S3, S4 ON)

MSEL0 = 0
MSEL1 = 1
MSEL2 = 0
MSEL3 = 0



JTAG 使用時 : SW1 (SW1 の状態に影響されません)

MSEL0 = 1
MSEL1 = 1
MSEL2 = 1
MSEL3 = 1



(奇時)

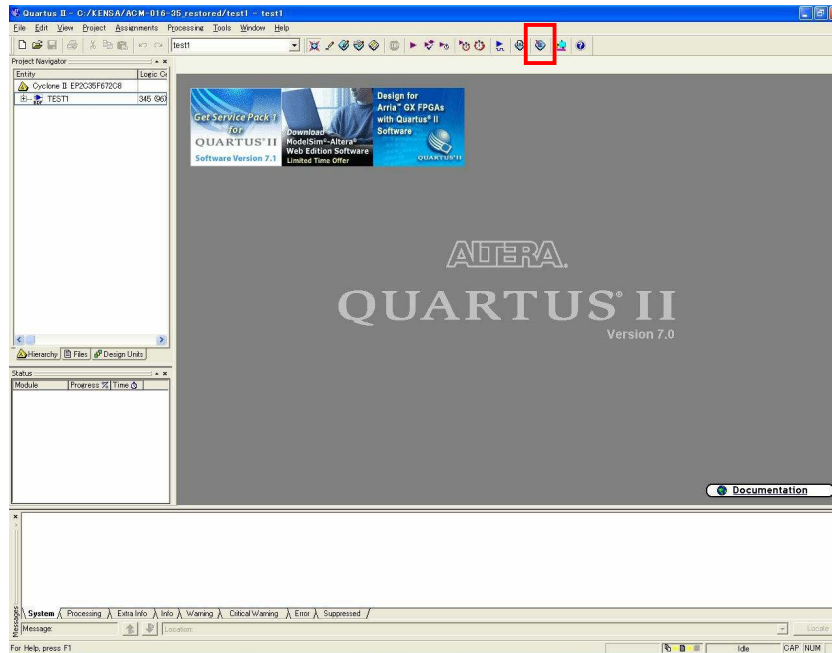
メモ

出荷時はすべて OFF の設定になっています。

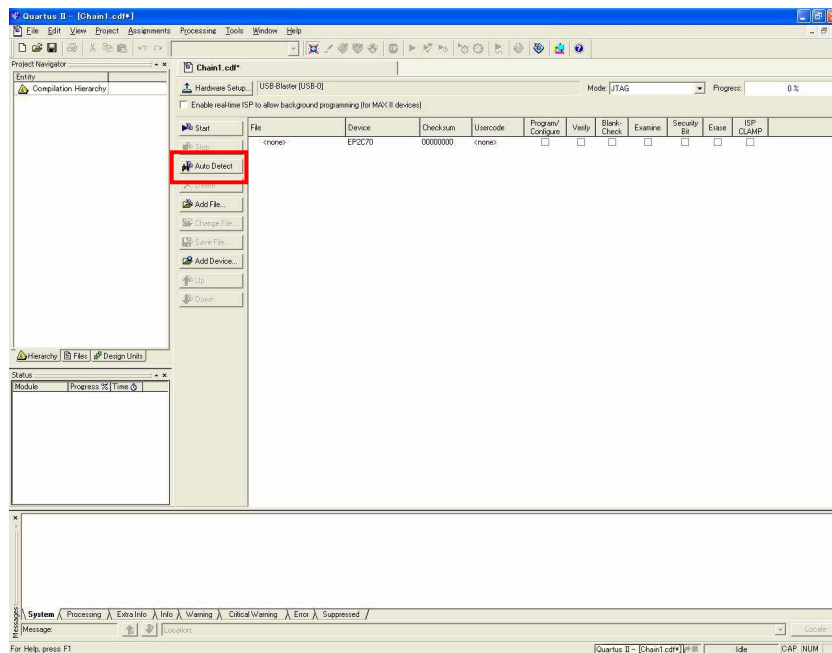
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

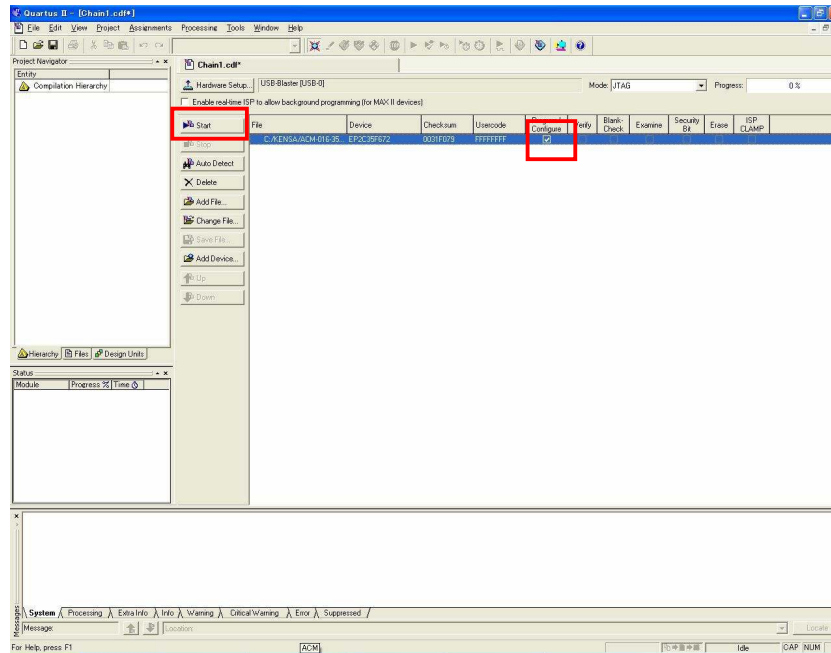
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



正常にコンフィギュレーションが出来れば ACM-021 のボード上の L2 が点灯します。

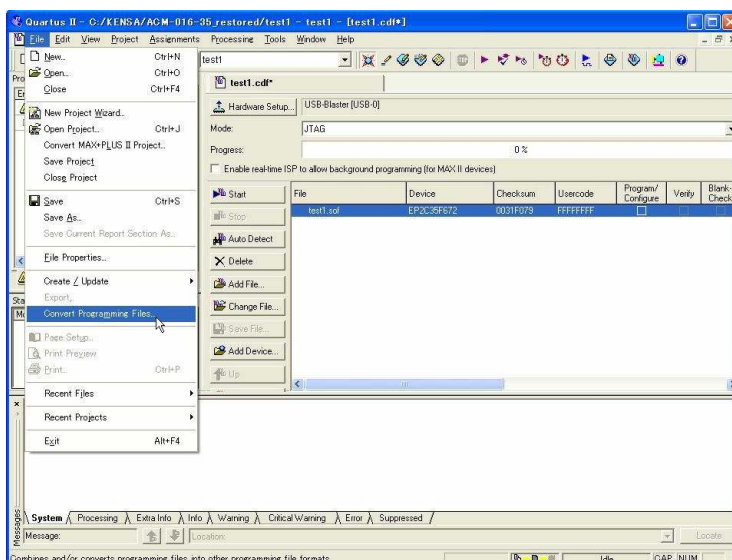
5. コンフィギュレーション ROM への書込み

ACM-021 にはコンフィギュレーション ROM (EPCS16) が実装されています。コンフィギュレーション ROM に ISP するためには QuartusII により .jic ファイルを作成します。

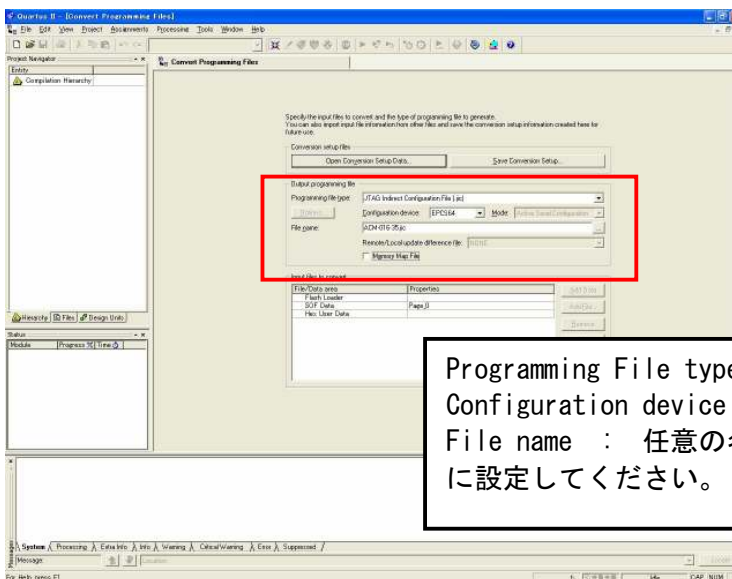
5.1. jic ファイルの作成

JIC ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

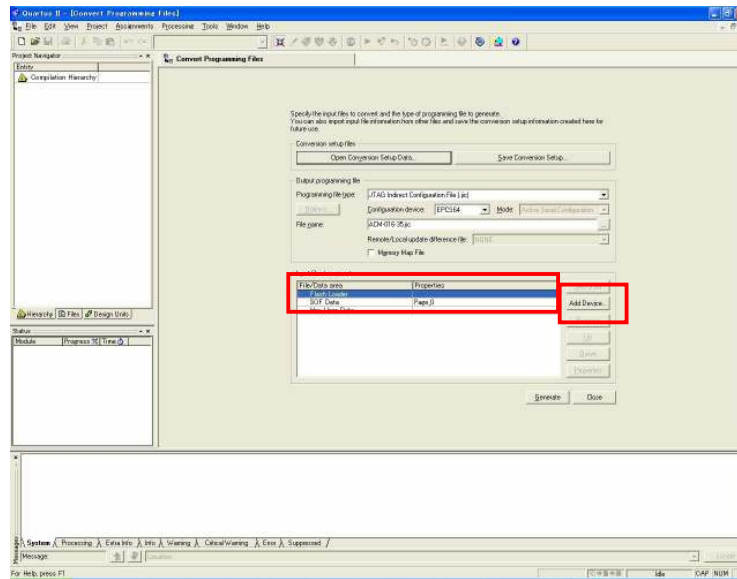
- ▼ QuartusII を起動し【FILE/Convert Programming Files】をクリックします。



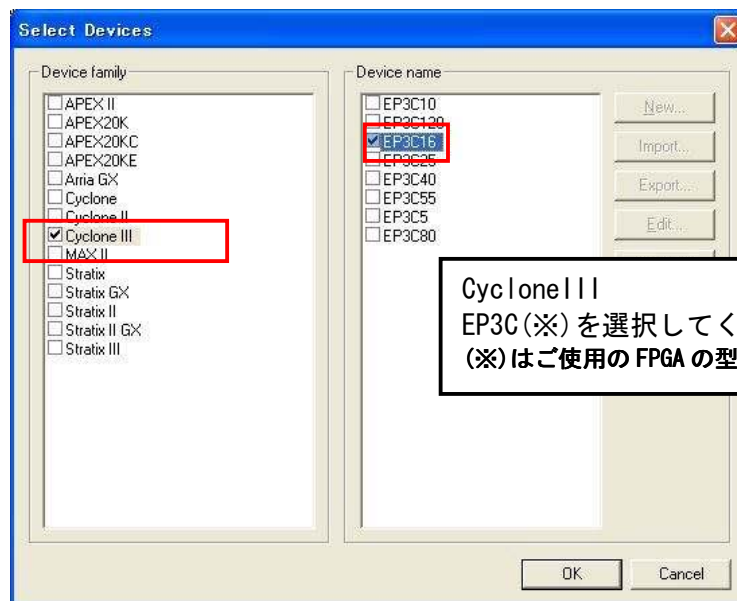
- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。



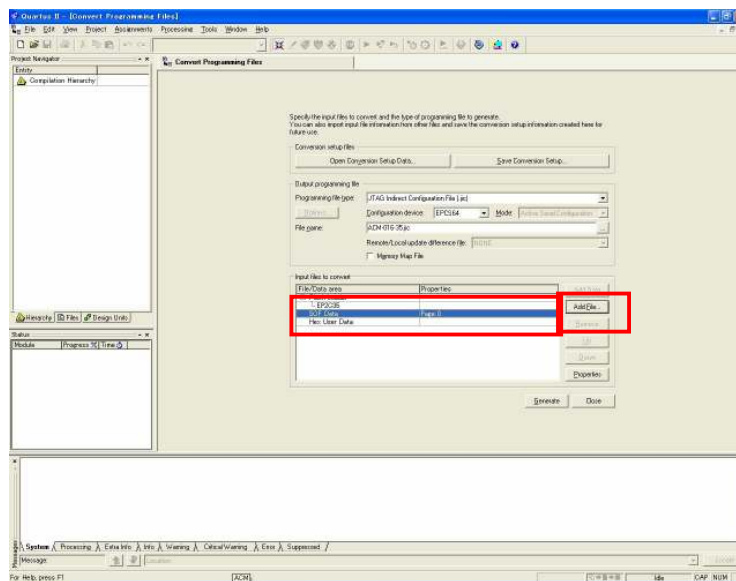
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



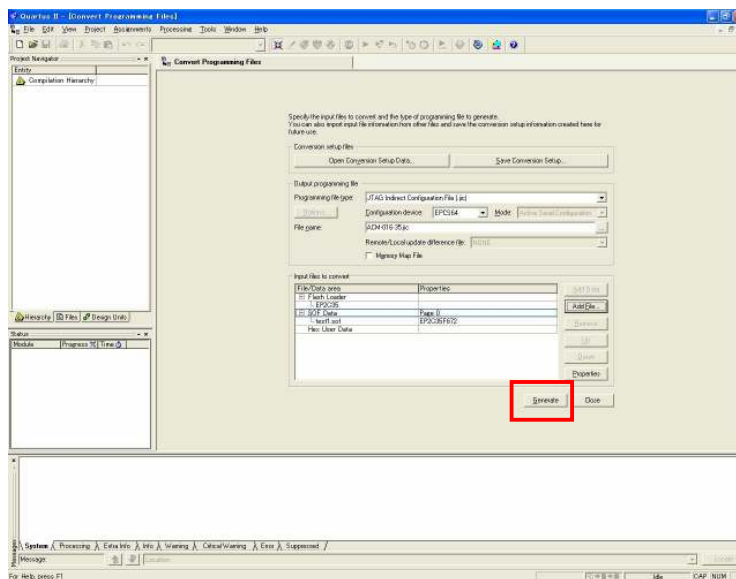
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。



これで .jic ファイルができました。

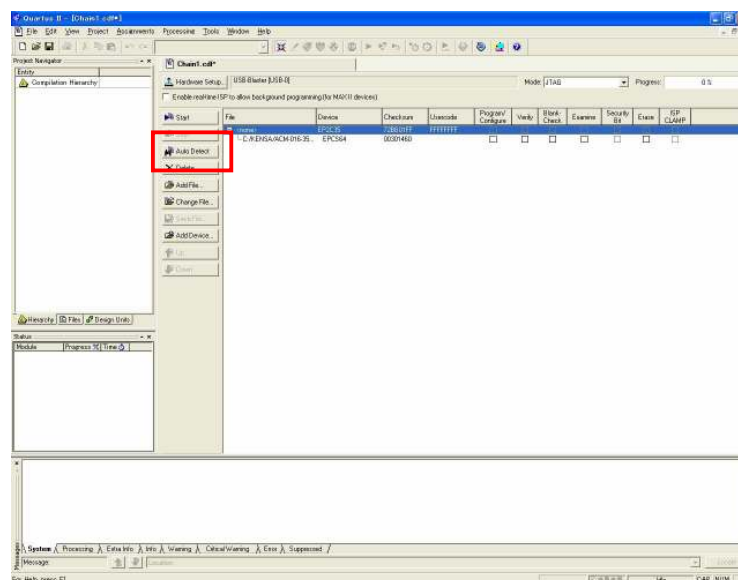
5.2. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。

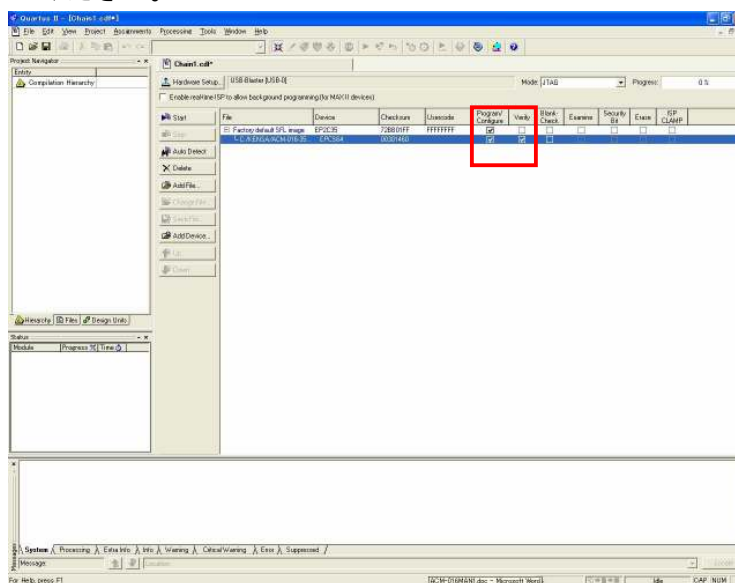
ROM に ISP する際、DIPSW の設定が必要です。
DIPSW (SW1) の設定を下記のように設定してください。

	S1	S2	S3	S4	S5	S6	S7	S8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>				
OFF		<input type="checkbox"/>			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

- ▼ 5.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



5.3. ROM から FPGA へコンフィギュレーション

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するよにしてください。

ROM から FPGA にコンフィギュレーションする際、DIPSW の設定が必要です。DIPSW (SW1) の設定を下記のように設定してください。

	S1	S2	S3	S4	S5	S6	S7	S8
ON	<input type="checkbox"/>		<input type="checkbox"/>	<input type="checkbox"/>				
OFF		<input type="checkbox"/>			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

設定が終了しましたら、電源を入れなおすと ROM から FPGA へコンフィギュレーションされます。

6. ピン割付表

6.1. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	C19	7	8	D19	IOA1	A
A	IOA2	E16	9	10	F16	IOA3	A
A	IOA4	F15	11	12	G16	IOA5	A
A	IOA6	F14	13	14	G15	IOA7	A
		GND	15	16	GND		
A	IOA8	A18	17	18	B18	IOA9	A
A	IOA10	A17	19	20	B17	IOA11	A
A	IOA12	A16	21	22	B16	IOA13	A
A	IOA14	A15	23	24	B15	IOA15	A
		GND	25	26	GND		
A	IOA16	A14	27	28	B14	IOA17	A
A	IOA18	C13	29	30	D13	IOA19	A
A	IOA20	A13	31	32	B13	IOA21	A
A	IOA22	E11	33	34	F11	IOA23	A
		GND	35	36	GND		
A	IOA24	E10	37	38	D10	IOA25	A
A	IOA26	A10	39	40	B10	IOA27	A
A	IOA28	A9	41	42	B9	IOA29	A
A	IOA30	A8	43	44	B8	IOA31	A
		GND	45	46	GND		
A	IOA32	A7	47	48	B7	IOA33	A
A	IOA34	G8	49	50	F8	IOA35	A
A	IOA36	C8	51	52	C7	IOA37	A
A	IOA38	F7	53	54	G7	IOA39	A
		GND	55	56	GND		A
A	IOA40	A6	57	58	B6	IOA41	A
A	IOA42	A4	59	60	B4	IOA43	A
A	IOA44	A3	61	62	B3	IOA45	A
A	IOA46	C4	63	64	C3	IOA47	A
A	IOA48 *1	F10	65	66	F9	IOA49 *2	A

*1 抵抗 R8 を介して CLK0 に接続しています

*2 抵抗 R7 を介して CLK1 に接続しています

6.2. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	V22	7	8	V21	IOB1	B
B	IOB2	W22	9	10	W21	IOB3	B
B	IOB4	Y22	11	12	Y21	IOB5	B
B	IOB6	AA22	13	14	AA21	IOB7	B
		GND	15	16	GND		
B	IOB8	AB20	17	18	AA20	IOB9	B
B	IOB10	AB17	19	20	AA17	IOB11	B
B	IOB12	AB16	21	22	AA16	IOB13	B
B	IOB14	AB15	23	24	AA15	IOB15	B
		GND	25	26	GND		
B	IOB16	AB14	27	28	AA14	IOB17	B
B	IOB18	AB13	29	30	AA13	IOB19	B
B	IOB20	AB9	31	32	AA9	IOB21	B
B	IOB22	AB8	33	34	AA8	IOB23	B
		GND	35	36	GND		
B	IOB24	AB7	37	38	AA7	IOB25	B
B	IOB26	AB5	39	40	AA5	IOB27	B
B	IOB28	V8	41	42	U9	IOB29	B
B	IOB30	Y7	43	44	W7	IOB31	B
B		GND	45	46	GND		
B	IOB32	W6	47	48	V7	IOB33	B
B	IOB34	AA1	49	50	AA2	IOB35	B
B	IOB36	Y1	51	52	Y2	IOB37	B
B	IOB38	W1	53	54	W2	IOB39	B
		GND	55	56	GND		
B	IOB40	V1	57	58	V2	IOB41	B
B	IOB42	U1	59	60	U2	IOB43	B
B	IOB44	R1	61	62	R2	IOB45	B
B	IOB46	P1	63	64	P2	IOB47	B
B	IOB48 *3	M1	65	66	M2	IOB49 *4	B

*3 抵抗 R6 を介して CLK2 に接続しています

*4 抵抗 R5 を介して CLK3 に接続しています

6.3. オンボード CLK

クロック	NET LABEL	FPGA ピン#
オンボード 30M	CLK-A	G1,G2,G21,G22A11,B11
オンボード 50M	CLK-B	AB11,AA11,T1,T2,T21,T22

6.4. 外部入力 CLK

クロック	NET LABEL	FPGA ピン#
外部クロック	CLK0	B12
外部クロック	CLK1	A12
外部クロック	CLK2	AA12
外部クロック	CLK3	AB12

6.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
L3	ULED0	H2
L4	ULED1	H1

6.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW2	PSW0	J2
SW3	PSW1	J1
SW1-5	DSW4	F1
SW1-6	DSW5	F2
SW1-7	DSW6	C1
SW1-8	DSW7	C2

6.7. その他

NET LABEL	FPGA ピン#
D_RXD	J22
D_TXD	J21

7. 固定ピンについて **【重要】**

本ボードでは、下記のピンがGNDまたはVCCINT (1.2V)に固定されています。
デバイスによっては、ダミー入力として他に使わないようにする必要があります。

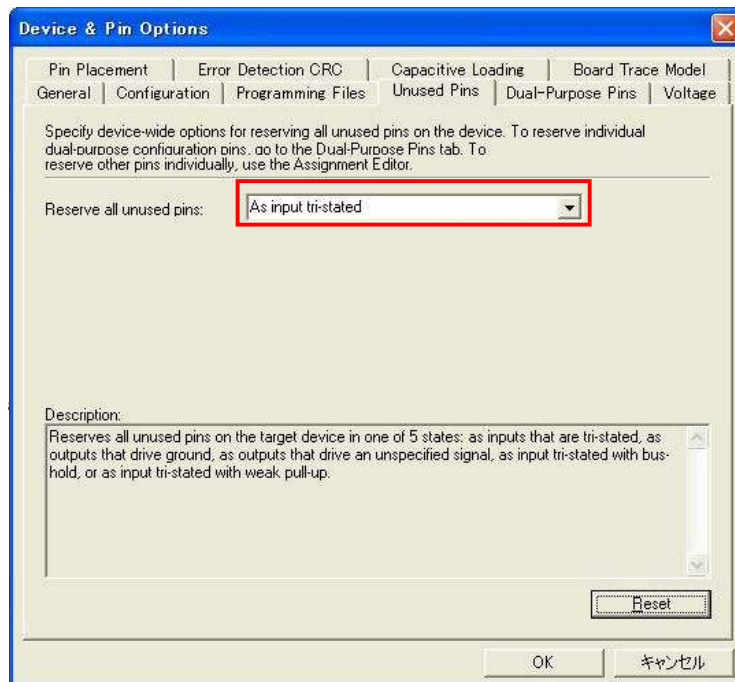
EP2C40ではGNDやVCCINTになっているものの、より小さなデバイスではI/Oとして割り付けられています。

固定ピン一覧

GND		VCCINT		VCCIO	
NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#
GND	AB6	V12	G12	VCCIO1	H4
GND	C18	V12	H11	VCCIO2	R4
GND	D7	V12	H15	VCCIO3	AA6
GND	D8	V12	H9	VCCIO4	Y14
GND	F12	V12	J16	VCCIO5	T19
GND	H10	V12	J8	VCCIO6	J20
GND	H12	V12	K15	VCCIO7	D18
GND	H13	V12	K8	VCCIO8	E8
GND	H14	V12	L16		
GND	H3	V12	L7		
GND	H8	V12	M15		
GND	J15	V12	M8		
GND	J19	V12	N14		
GND	J5	V12	P14		
GND	K16	V12	P15		
GND	L15	V12	R10		
GND	L8	V12	R12		
GND	M7	V12	R8		
GND	N15	V12	T13		
GND	N8	V12	T7		
GND	P16	V12	T9		
GND	P8	V12	U16		
GND	R11	V12	U17		
GND	R13				
GND	R3				
GND	R7				
GND	R9				
GND	T12				
GND	T20				
GND	T8				
GND	Y15				

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
 Reserve all unused pins の設定を【As inputs tri-stated】にします。



8. ACM-021 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

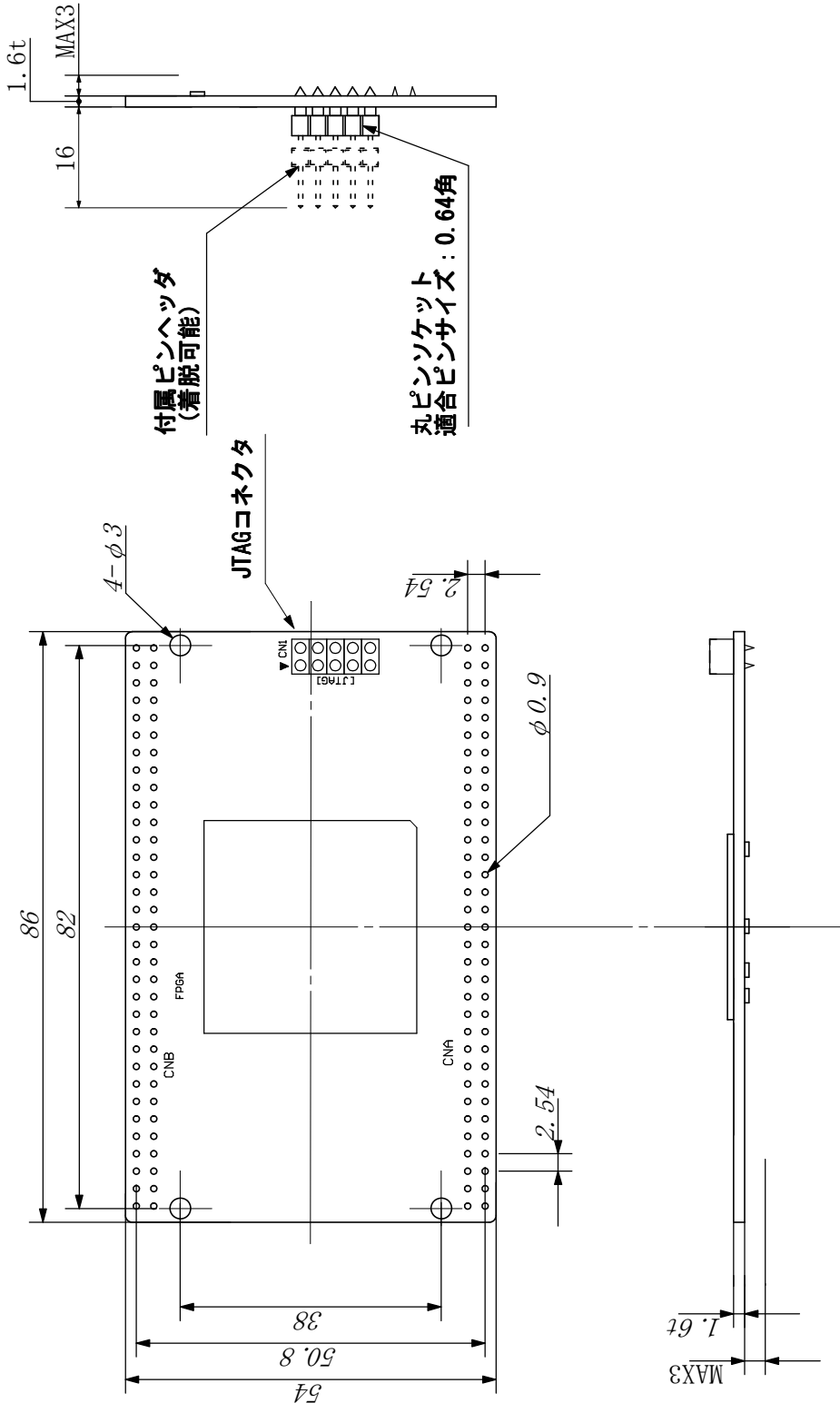
http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 回路図



HUMANDATA

CHK

DWG

UNIT

SIZE

DWG NO

REV

TITLE
ACM-021外形寸法図

G-ACM-021

A

CycloneⅢブレッドボード
ACM-021 シリーズ
ユーザーズマニュアル

2008/09/11 初版

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
