



Cyclone ブレッドボード  
ACM-014 シリーズ  
ユーザーズマニュアル  
第4版 (Rev2)



ヒューマンデータ



## 目次

はじめに.....	1
ご注意 .....	1
1. 製品の内容について.....	2
2. 仕様 .....	2
3. 各部の名称 .....	3
3.1. 電源入力.....	4
3.2. JTAG コネクタ.....	4
3.3. AS コネクタ.....	5
3.4. SIO 用コネクタ .....	5
3.5. ジャンプスイッチの説明.....	6
3.6. RAM 切り離し方法.....	7
4. ピン割付表.....	7
4.1. ユーザ I/O CNA.....	7
4.2. ユーザ I/O CNB.....	8
4.3. FLASH-ROM.....	8
4.4. SRAM.....	9
4.5. 汎用 LED.....	9
4.6. 汎用スイッチ .....	9
4.7. SIO 用 .....	9
5. 固定ピンについて【重要】.....	10
6. ACM-014 シリーズ 参考資料について .....	11
7. 付属資料.....	11

## はじめに

この度は、Cyclone ブレッドボード / ACM-014 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-014 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

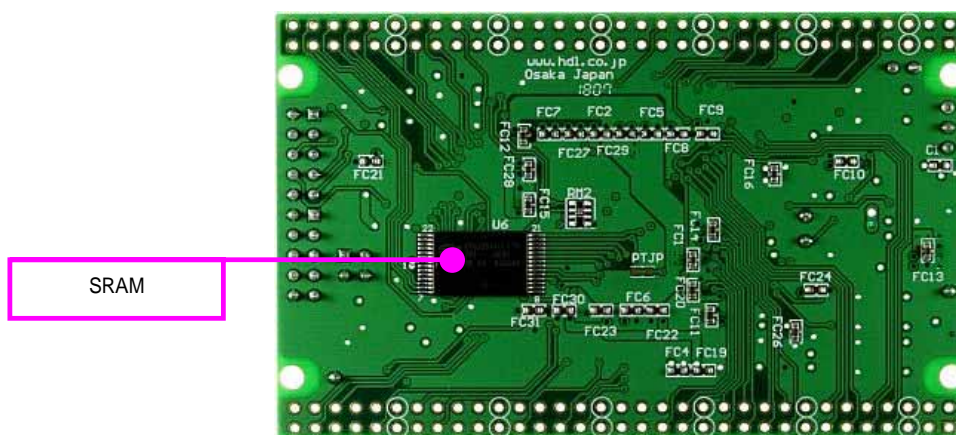
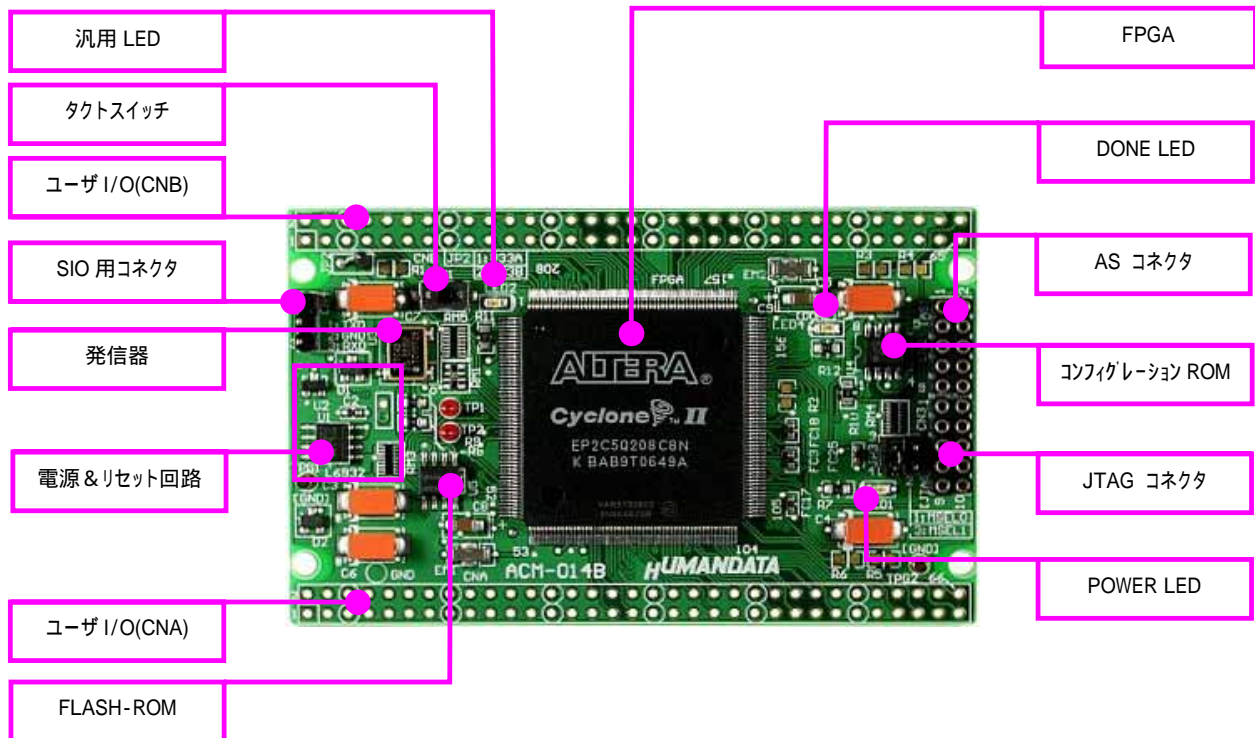
FPGA ブレッドボード	ACM-014 シリーズ	1
付属品		1
マニュアル (本書)		1
ユーザー登録はがき		1

## 2. 仕様

製品型番	ACM-014-5	ACM-014-8
搭載 FPGA	EP2C5QQ208C8N	EP2C8QQ208C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
重量	約 28 [g]	
ユーザ I/O	100 本 (一部 RAM アドレスと共用)	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグレーション ROM	EPCS4SI8N (ALTERA)	
SRAM	CY62256VLL-70ZC (CYPRESS) *1	
シリアル FLASH-ROM	M25P40-VMN6P (ST) *1	
クロック	オンボード 30MHz 外部供給可能	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
AS コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED , CONF_DONE-LED)	
汎用 LED	1 個	
汎用タクトスイッチ	1 個	
付属品	DIP10 ピンヘッダ (本体に取付け済み) 1 個 ヘッダ 2x40 2 本 ジャンパソケット 2 個	

\*1 互換品に変更されることがあります

### 3. 各部の名称



### 3.1. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。

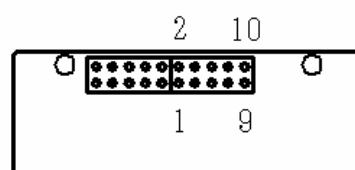
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

### 3.2. JTAG コネクタ

FPGA へのコンフィグレーション時に使用します。

ピン配置は次表のとおりです。



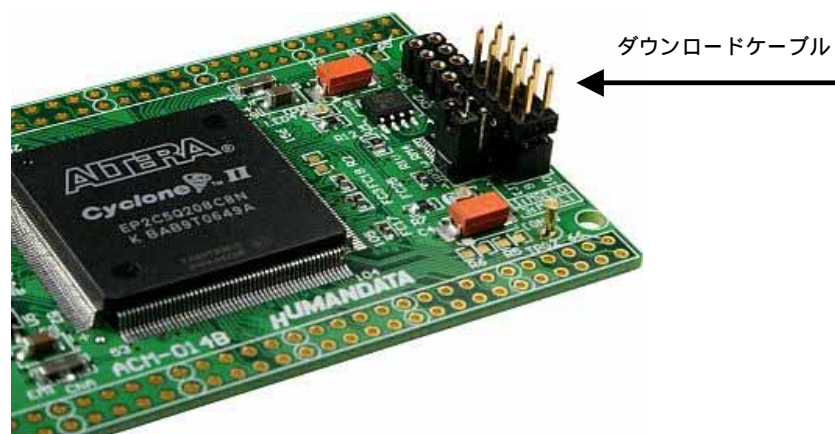
CN3

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	VCC(3.3V)
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

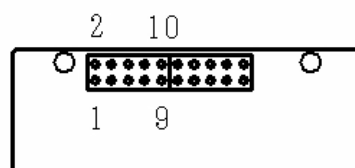
また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッドをご利用できます



### 3.3. AS コネクタ

コンフィグレーション ROM(EPCS)への ISP  
( In System Programming ) 時に使用します。

ピン配置は次表のとおりです。



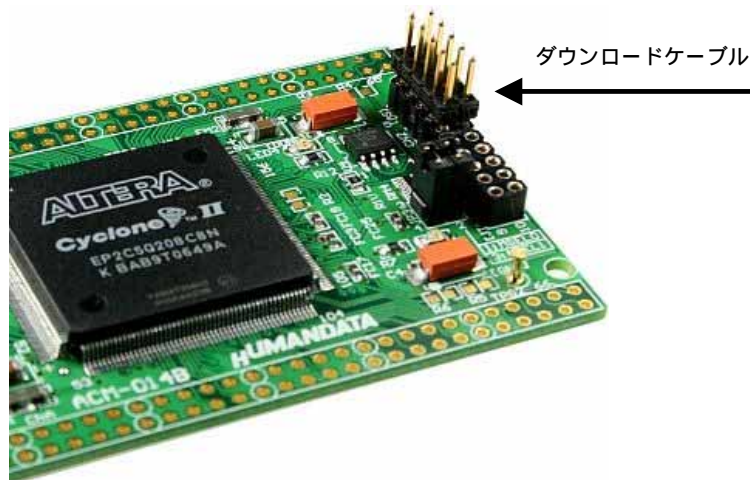
CN2

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路頭上信号名
XDCLK	DCLK	1	2	GND	GND
XCONFDONE	CONF_DONE	3	4	VCC(3.3V)	VCC(3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッダをご利用できます



### 3.4. SIO 用コネクタ

CN4

信号名	コネクタピン#	FPGA ピン#
TXD	1	41
GND	2	
RXD	3	43

SIO 用コネクタは、FPGA の出力をそのまま接続してあります。

SIO として以外に、汎用入出力として使用する事も出来ます。



### 3.5. ジャンプスイッチの説明

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V<sub>CCIO</sub> or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.  
(ALTERA 社データシートより)

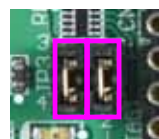
JP3 MSEL0, MSEL1 信号 設定用

JP3	MSEL
1-2	MSEL0
3-4	MSEL1

ROM 使用時 : JP3 (1-2 間:ショート 3-4 間:ショート)

MSEL0 = 0

MSEL1 = 0



JTAG 使用時(出荷時) : JP3 (1-2 間:オープン 3-4 間:ショート)

MSEL0 = 1

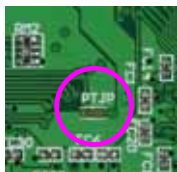
MSEL1 = 0



**注 :** 本来はどのモードでも JTAG 経由のコンフィグレーションは可能ですが、ROM の内容が不定 (BLANK 含む) の時には、AS モードでのコンフィグレーションが動作中のため、PS モードにすることで安定したコンフィグレーションが可能です。

### 3.6 RAM 切り離し方法

RAM が不要のとき、ハンダ面 PTJP(回路図参照)でカットすることで切り離しが可能です。



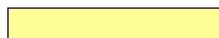
## 4. ピン割付表

### 4.1. ユーザ I/O CNA

備考	NET LABEL	デバイス pin #	コネクタ pin #		デバイス pin #	NET LABEL	備考
電源	VIN3	3.3V	1	2	3.3V	VIN3	電源
5V 電源予約	VIN5	5V	3	4	5V	VIN5	5V 電源予約
	GND	GND	5	6	GND	GND	
A	IOA0	3	7	8	4	IOA1	A
	IOA2	5	9	10	6	IOA3	
	IOA4	8	11	12	10	IOA5	
	IOA6	11	13	14	12	IOA7	
	GND	GND	15	16	GND	GND	
B	IOA8	13	17	18	14	IOA9	B
	IOA10	15	19	20	30	IOA11	
	IOA12	31	21	22	33	IOA13	
	IOA14	34	23	24	35	IOA15	
	GND	GND	25	26	GND	GND	
C	IOA16	37	27	28	39	IOA17	C
	IOA18	40	29	30	68	IOA19	
	IOA20	69	31	32	70	IOA21	
	IOA22	72	33	34	74	IOA23	
	GND	GND	35	36	GND	GND	
D	IOA24	75	37	38	76	IOA25	D
	IOA26	77	39	40	80	IOA27	
	IOA28	81	41	42	82	IOA29	
	IOA30	84	43	44	86	IOA31	
	GND	GND	45	46	GND	GND	
E	IOA32	87	47	48	88	IOA33	E
	IOA34	89	49	50	90	IOA35	
	IOA36	92	51	52	94	IOA37	
	IOA38	95	53	54	96	IOA39	
	GND	GND	55	56	GND	GND	
F	IOA40	97	57	58	99	IOA41	F
	IOA42	101	59	60	102	IOA43	
	IOA44	103	61	62	105	IOA45	
	IOA46	106	63	64	107	IOA47	
		108	65	66	110	IOA49	

## 4.2. ユーザ I/O CNB

備考	NET LABEL	デバイス pin #	コネクタ pin #	デバイス pin #	NET LABEL	備考
電源	VIN3	3.3V	1	2	3.3V	電源
5V 電源予約	VIN5	5V	3	4	5V	5V 電源予約
	GND	GND	5	6	GND	
A	IOB0	208	7	8	207	A
	IOB2	206	9	10	205	
	IOB4	203	11	12	201	
	IOB6	200	13	14	199	
	GND	GND	15	16	GND	
B	IOB8	198	17	18	197	B
	IOB10	195	19	20	193	
	IOB12	192	21	22	191	
	IOB14	189	23	24	188	
	GND	GND	25	26	GND	
C	IOB16	187	27	28	185	C
	IOB18	182	29	30	181	
	IOB20	180	31	32	179	
	IOB22	176	33	34	175	
	GND	GND	35	36	GND	
D	IOB24	173	37	38	171	D
	IOB26	170	39	40	169	
	IOB28	168	41	42	165	
	IOB30	164	43	44	163	
	GND	GND	45	46	GND	
E	IOB32	162	47	48	161	E
	IOB34	160	49	50	152	
	IOB36	151	51	52	150	
	IOB38	149	53	54	147	
	GND	GND	55	56	GND	
F	IOB40	146	57	58	145	F
	IOB42	144	59	60	143	
	RAMA9	118	61	62	117	
	RAMA11	113	63	64	112	
	RAMA13	114	65	66	115	

 : 部分は RAM アドレスと共用

## 4.3. FLASH-ROM

M25P40-VMN6P

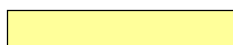
FLASH-ROM ピン #	NET LABEL	FPGA ピン #
U5-1	SPI_CS	46
U5-2	SPI_SI	47
U5-6	SPI_CK	44
U5-5	SPI_SO	45

#### 4.4. SRAM

CY62256VLL-70Z

SRAM ピン#	NET LABEL	FPGA ピン#
U6-1	RAMA5	134
U6-2	RAMA6	133
U6-3	RAMA7	128
U6-4	RAMA8	127
U6-5	RAMA9	118
U6-6	RAMA10	117
U6-7	RAMA11	113
U6-8	RAMA12	112
U6-9	RAMA13	114
U6-10	RAMA14	115
U6-11	RAMD0	116
U6-12	RAMD1	67
U6-13	RAMD2	64
U6-14	GND	

SRAM ピン#	NET LABEL	FPGA ピン#
U6-15	RAMD3	63
U6-16	RAMD4	61
U6-17	RAMD5	60
U6-18	RAMD6	59
U6-19	RAMD7	58
U6-20	RAMCEn	57
U6-21	RAMA0	56
U6-22	RAMOEn	142
U6-23	RAMA1	141
U6-24	RAMA2	139
U6-25	RAMA3	138
U6-26	RAMA4	137
U6-27	RAMWEn	135
U6-28	V33A	



: 部分は I/O ピンにも出力されています。(CNB)

#### 4.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED2	ULED0	48

#### 4.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW1	SW0	104

#### 4.7 SIO 用

CN4	NET LABEL	FPGA ピン#
1	TXD	41
3	RXD	43

## 5. 固定ピンについて 【重要】

本ボードでは、下記のピンが GND または VCCINT(1.2V) に固定されています。

デバイスによっては、ダミー入力とし他に使わないようにする必要があります。

EP2C70 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

### 固定ピン一覧

GND

36, 119

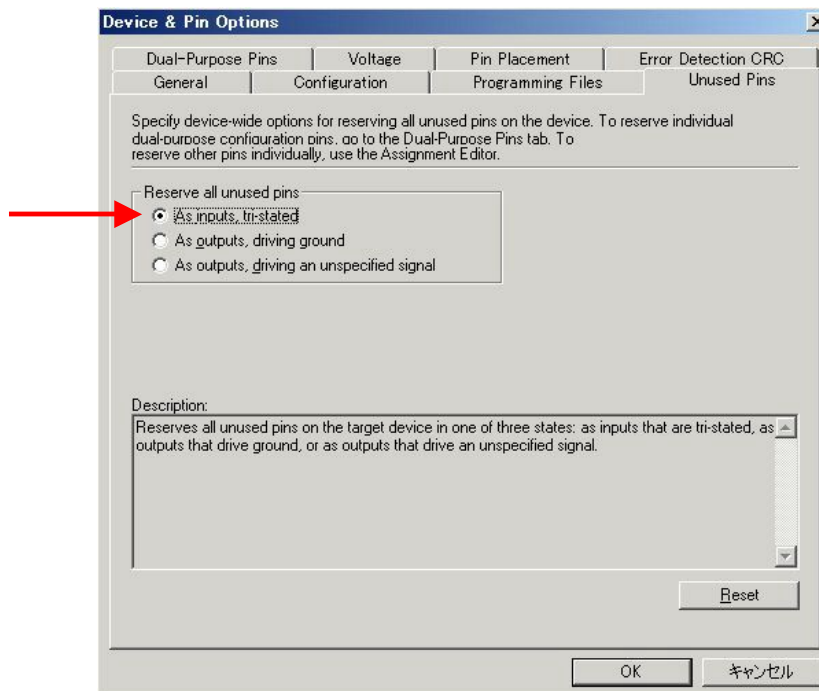
VCCINT

32, 120

上記のダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus の Device Option により設定できます。

[Assignments] [Device] [Device & Pin Options] [Unused Pins] [As inputs, tri-stated] にチェック。

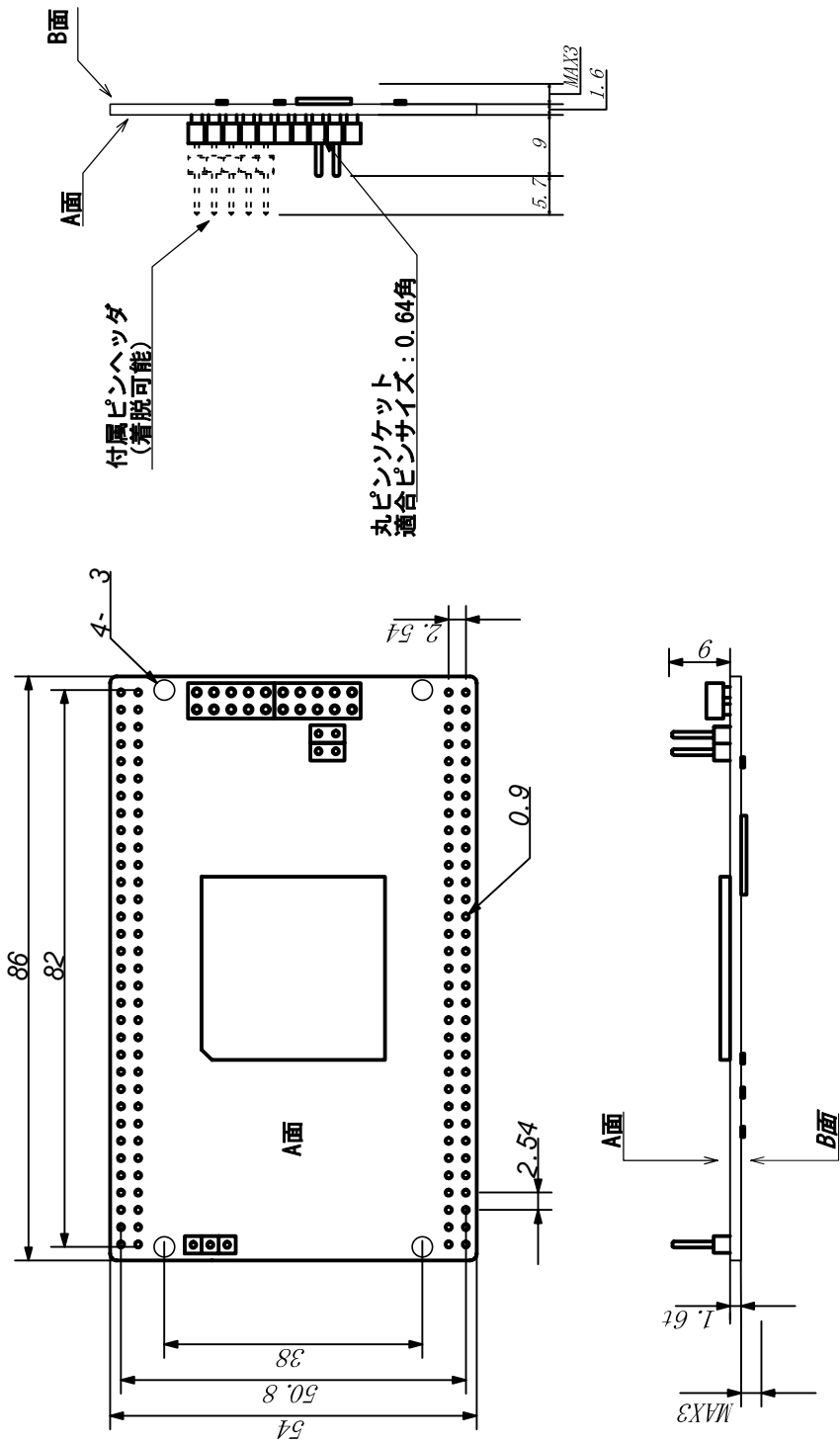


## 6. ACM-014 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は  
製品サポートページ  
[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)  
にデータをアップロードすることにいたします。  
拡張子 “.exe” のときは、自己解凍ファイルといたします。  
ときどきチェックしていただき必要に応じてご利用くださいませ。

## 7. 付属資料

- 1 . 基板回路図
- 2 . 外形寸法図



<b>HUMANDATA</b>		UNIT	TITLE
CHK	DWG	SIZE	ACM-014シリーズ 外形寸法図
		DWG NO	REV
		G-ACM-014	A

---

Cyclone ブレッドボード

ACM-014 シリーズ

---

ユーザーズマニュアル

---

2005/11/11 初版

2006/05/26 初版 ( A )

2007/04/27 第 2 版 (Rev2)

2007/06/21 第 3 版 (Rev2)

2007/11/12 第 4 版 (Rev2)

**有限会社ヒューマンデータ**

〒 5 6 7 - 0 0 3 4

大阪府茨木市中穂積 1 - 2 - 1 0

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

U R L <http://www.hdl.co.jp/>

---