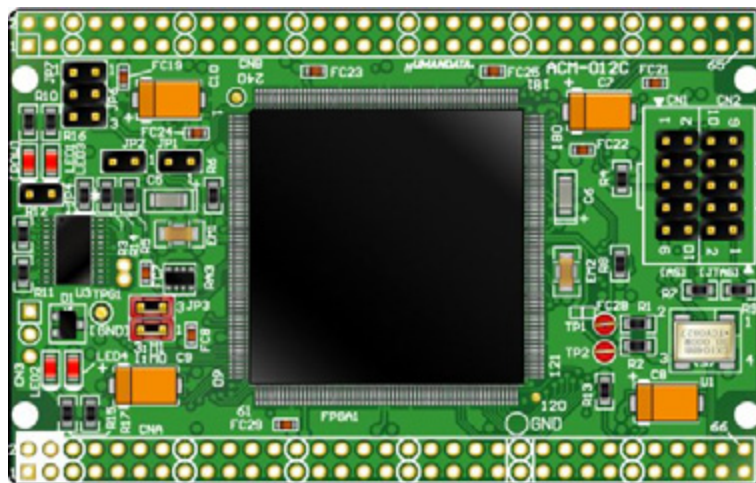


Cyclone ブレッドボード
(カードサイズ)
ACM-012 Rev2
ユーザーズマニュアル
Ver. 2.4



目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 固定ピンについて【重要】.....	3
5. 製品概要.....	4
5.1 各部の名称.....	4
5.2 ブロック図.....	5
5.3 電源入力.....	5
5.4 JTAG コネクタ.....	6
5.5 AS コネクタ.....	6
6. ジャンプスイッチの説明.....	7
6.1 コンフィギュレーションモード設定ジャンパ (JP3).....	7
6.2 CNB 設定ジャンパ (JP6, JP7).....	7
7. FPGA ピン割付け表.....	8
7.1 ユーザ I/O (CNA).....	8
7.2 ユーザ I/O (CNB).....	9
7.3 ジャンパ設定.....	9
7.4 レベルコンバータ制御.....	10
7.5 レベルコンバータイネーブル.....	10
7.6 汎用 LED.....	10
8. 参考資料について.....	11
9. 付属資料.....	11
10. お問い合わせについて.....	11



● はじめに

この度は、Cyclone ブレッドボード／ACM-012 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-012 シリーズは、ALTERA 社の高性能 FPGA Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。I/O 部に 5V 対応レベルコンバータを搭載しておりますので、5V 系のインタフェースと安心して接続することができます。

どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5. 定格を越える電源を加えないでください。
 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/08/31	2.3	<ul style="list-style-type: none"> ● リセット IC 変更
2014/08/01	2.4	<ul style="list-style-type: none"> ● 「開発環境」を追加 ● 「ジャンプスイッチの説明」を追加 ● 「お問い合わせについて」を追加

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-012 シリーズ	1
付属品		1
マニュアル(本書)		1*
ユーザー登録はがき		1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。

当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 仕様

製品型番	ACM-012-6	ACM-012-12
搭載 FPGA	EP1C6Q240C8N	EP1C12Q240C8N
コンフィグ ROM	EPCS4SI8N (Altera, 4 Mbit)	
電源	DC 5.0V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
質量	約 30 [g]	
ユーザ I/O	100 本	
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] × 2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
オンボードクロック	30MHz (外部供給可能)	
コンフィグ用リセット回路	内蔵 (320ms TYP)	
JTAG コネクタ	DIL10 ピンヘッダ 2.54mm ピッチ	
AS コネクタ	DIL10 ピンヘッダ 2.54mm ピッチ	
ステータス LED	2 個 (Power、Power-Error)	
汎用 LED	2 個	
付属品	DIL80 ピンヘッダ(任意にカット可能) 2 本 ジャンパソケット 4 個	

* これらの部品や仕様は変更となる場合があります。

4. 固定ピンについて【重要】

本ボードでは、一部の I/O ピンが GND または VCCINT(1.5V)に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。

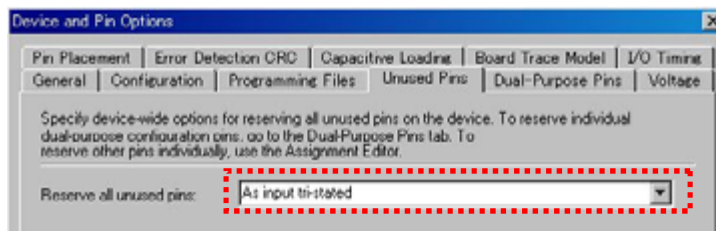
EP1C12 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

NET LABEL	FPGA ピン#
GND	80
GND	96
GND	102
GND	199
GND	205
GND	221

NET LABEL	FPGA ピン#
VCCINT	81
VCCINT	97
VCCINT	103
VCCINT	198
VCCINT	204
VCCINT	220

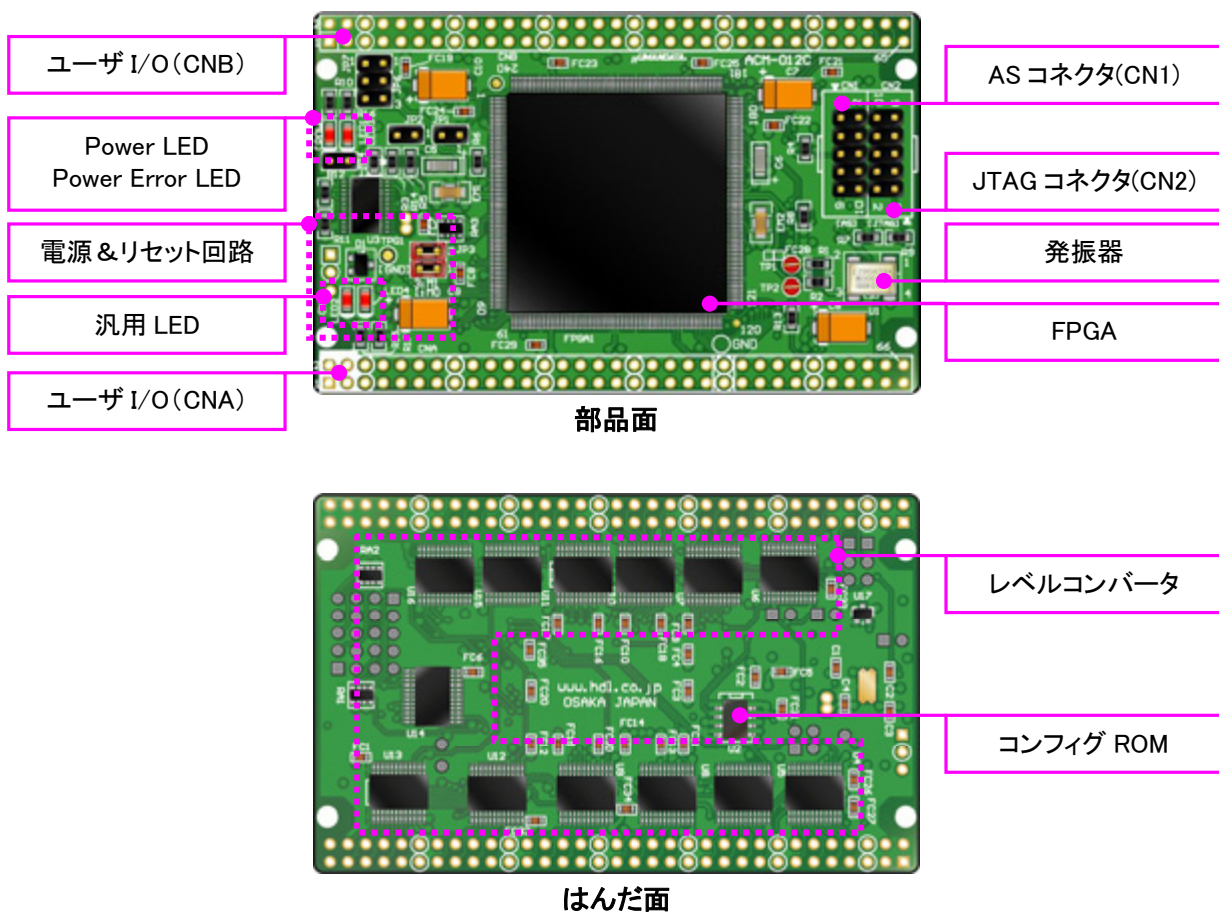
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。Quartus II の Device Option により設定できます。以下に設定方法を示します。

- 1.【Assignments → Device】をクリックします。
- 2.【Device and Pin Options..】をクリックします。
- 3.【Reserve all unused pins】を【As input tri-stated】に設定します。

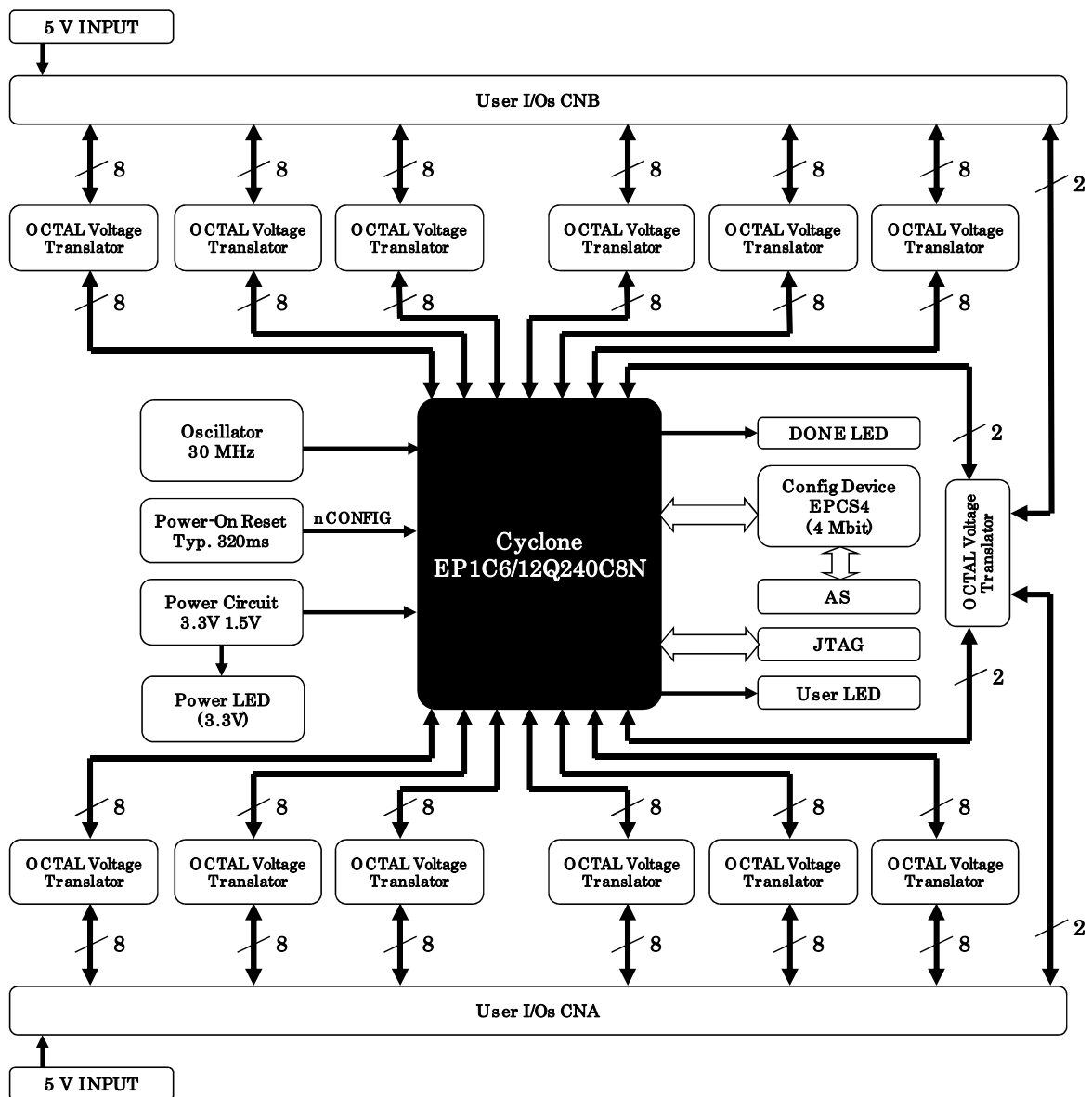


5. 製品概要

5.1 各部の名称



5.2 ブロック図



5.3 電源入力

本ボードは、DC 5.0V単一電源で動作します。外部から供給する 5.0V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB から供給してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

5.4 JTAG コネクタ

FPGA へのコンフィギュレーション時に用います。ピン配置は次表のとおりです。

信号	ピン番号		方向
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

5.5 AS コネクタ

コンフィギュレーション ROM(EPCS)への ISP(In System Programming)時に用います。ピン配置は次表のとおりです。

信号	ピン番号		方向
DCLK	1	2	GND
CONF_DONE	3	4	VCC
nCONFIG	5	6	-
DATAOUT	7	8	-
ASDI	9	10	GND

注意

ダウンロードケーブルとコネクタの対応に注意して接続して下さい。

6. ジャンパススイッチの説明

6.1 コンフィギュレーションモード設定ジャンパ (JP3)

JP3 は FPGA のコンフィギュレーションモードピン (MSEL0, MSEL1) を設定します。コンフィグ ROM へのデータ書込や、電源投入時に ROM から FPGA をコンフィギュレーションするには AS モードに設定してください。

(ALTERA 社データシートより)

MSEL1	MSEL0	Configuration Scheme
0	0	AS
0	1	PS
0	1	JTAG-based (1)

Note to Table 13-2:

(1) JTAG-based configuration takes precedence over other schemes, which means that MSEL pin settings are ignored.

コンフィギュレーション モード	JP3[3-4] (MSEL1)	JP3[1-2] (MSEL0)
AS	ショート (0)	ショート (0)
JTAG	ショート (0)	オープン (1)

6.2 CNB 設定ジャンパ (JP6, JP7)

JP6, JP7 により、CNB コネクタ 7,8 番ピンの接続を切り替えることができます。

JP6	CNB (7) への接続
1-2 間ショート	外部クロック入力 (EXCLK0)
2-3 間ショート	汎用 I/O (IOB0)

JP7	CNB (8) への接続
1-2 間ショート	外部クロック入力 (EXCLK1)
2-3 間ショート	汎用 I/O (IOB1)

7. FPGA ピン割付け表

7.1 ユーザI/O (CNA)

備考	NET LABEL	FPGA	CNA		FPGA	NET LABEL	備考
3.3V 電源予約		N.C	1	2	N.C		3.3V 電源予約
電源		5.0V	3	4	5.0V		電源
	GND	GND	5	6	GND	GND	
	IOA0	53	7	8	54	IOA1	
	IOA2	55	9	10	56	IOA3	
	IOA4	57	11	12	58	IOA5	
	IOA6	59	13	14	60	IOA7	
	GND	GND	15	16	GND	GND	
	IOA8	61	17	18	62	IOA9	
	IOA10	63	19	20	64	IOA11	
	IOA12	65	21	22	66	IOA13	
	IOA14	67	23	24	68	IOA15	
	GND	GND	25	26	GND	GND	
	IOA16	73	27	28	74	IOA17	
	IOA18	75	29	30	76	IOA19	
	IOA20	77	31	32	78	IOA21	
	IOA22	79	33	34	82	IOA23	
	GND	GND	35	36	GND	GND	
	IOA24	83	37	38	84	IOA25	
	IOA26	85	39	40	86	IOA27	
	IOA28	87	41	42	88	IOA29	
	IOA30	93	43	44	94	IOA31	
	GND	GND	45	46	GND	GND	
	IOA32	95	47	48	98	IOA33	
	IOA34	99	49	50	100	IOA35	
	IOA36	101	51	52	104	IOA37	
	IOA38	105	53	54	106	IOA39	
	GND	GND	55	56	GND	GND	
	IOA40	107	57	58	108	IOA41	
	IOA42	113	59	60	114	IOA43	
	IOA44	115	61	62	116	IOA45	
	IOA46	117	63	64	118	IOA47	
	IOA48	120	65	66	119	IOA49	

7.2 ユーザI/O (CNB)

備考	NET LABEL	FPGA	CNB		FPGA	NET LABEL	備考
3.3V 電源予約		N.C	1	2	N.C		3.3V 電源予約
電源		5.0V	3	4	5.0V		電源
	GND	GND	5	6	GND	GND	
	CKL0/IOB0	28/238	7	8	29/237	CKL1/IOB1	
	IOB2	236	9	10	235	IOB3	
	IOB4	234	11	12	233	IOB5	
	IOB6	228	13	14	227	IOB7	
	GND	GND	15	16	GND	GND	
	IOB8	226	17	18	225	IOB9	
	IOB10	224	19	20	223	IOB11	
	IOB12	222	21	22	219	IOB13	
	IOB14	218	23	24	217	IOB15	
	GND	GND	25	26	GND	GND	
	IOB16	216	27	28	215	IOB17	
	IOB18	214	29	30	213	IOB19	
	IOB20	208	31	32	207	IOB21	
	IOB22	206	33	34	203	IOB23	
	GND	GND	35	36	GND	GND	
	IOB24	202	37	38	201	IOB25	
	IOB26	200	39	40	197	IOB27	
	IOB28	196	41	42	195	IOB29	
	IOB30	194	43	44	193	IOB31	
	GND	GND	45	46	GND	GND	
	IOB32	188	47	48	187	IOB33	
	IOB34	186	49	50	185	IOB35	
	IOB36	184	51	52	183	IOB37	
	IOB38	182	53	54	181	IOB39	
	GND	GND	55	56	GND	GND	
	IOB40	179	57	58	180	IOB41	
	IOB42	177	59	60	178	IOB43	
	IOB44	175	61	62	176	IOB45	
	IOB46	173	63	64	174	IOB47	
	IOB48	170	65	66	169	IOB49	

7.3 ジャンパ設定

CNB 7 番ピン切換

JP6	接続先	FPGA ピン#
1-2 間ショート	CKL0	28
2-3 間ショート	IOB0	238

CNB 8 番ピン切換

JP7	接続先	FPGA ピン#
1-2 間ショート	CKL1	29
2-3 間ショート	IOB1	237

7.4 レベルコンバータ制御

NET LABEL	FPGA ピン#	機能	
DIRA0	168	IOA0-7 方向制御	H: 出力 L: 入力
DIRA1	167	IOA8-15 方向制御	
DIRA2	166	IOA16-23 方向制御	
DIRA3	165	IOA24-31 方向制御	
DIRA4	164	IOA32-39 方向制御	
DIRA5	163	IOA40-47 方向制御	
DIRB0	161	IOB0-7 方向制御	
DIRB1	160	IOB8-15 方向制御	
DIRB2	159	IOB16-23 方向制御	
DIRB3	158	IOB24-31 方向制御	
DIRB4	144	IOB32-39 方向制御	
DIRB5	143	IOB40-47 方向制御	
DIRAB6	140	IOA48,49 IOB48,49 方向制御	

7.5 レベルコンバータイネーブル

NET LABEL	FPGA ピン#	機能
OEX	141	レベルコンバータイネーブル : L に固定

7.6 汎用 LED

LED	FPGA ピン#
LED2	47
LED4	48

8. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-012/index.html>
http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

9. 付属資料

1. 基板外形図
2. 回路図（別紙）

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

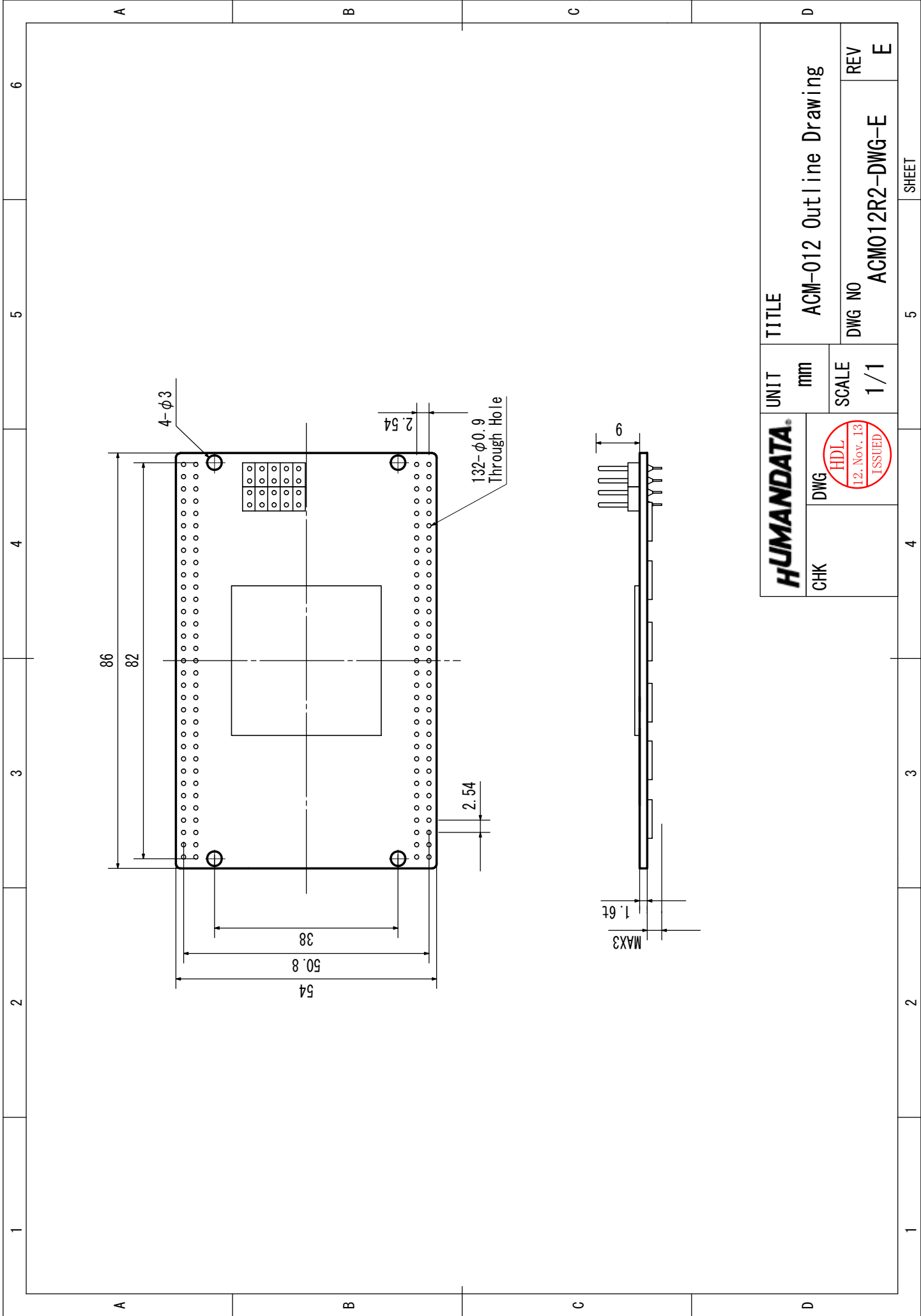
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。


または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA	UNIT	TITLE	
	mm	ACM-012 Outline Drawing	
CHK	DWG	DWG NO	REV
		ACM012R2-DWG-E	E
		SCALE	
		1/1	
			

Cyclone ブレッドボード

ACM-012 シリーズ
ユーザーズマニュアル

2007/09/03 第 2 版 (Rev2)

2008/03/17 第 3 版 (Rev2)

2008/12/11 第 4 版 (Rev2)

2010/08/31 Ver. 2.3 (Rev2)

2014/08/01 Ver. 2.4 (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
