



Cyclone ブレッドボード
ACM-012 シリーズ
ユーザーズマニュアル
第 4 版 (Rev2)



目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 各部の名称.....	3
3.1. 電源入力.....	3
3.2. POWER ERROR LED.....	3
3.3. JTAG コネクタ.....	4
3.4. AS コネクタ.....	4
4. FPGA ピン割付表.....	5
5. 固定ピンについて 【重要】	8
6. ACM-012 シリーズ 参考資料について.....	9
7. 付属資料.....	9

はじめに

この度は、Cyclone ブレッドボード/ACM-012 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-012 は、Altera 社の高性能 FPGA である Cyclone の 240pin を搭載し、I/O 部分に 5V 対応レベルコンバータを実装したブレッドボードです。5V 系と安心して接続することができます。電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-012-6/12	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

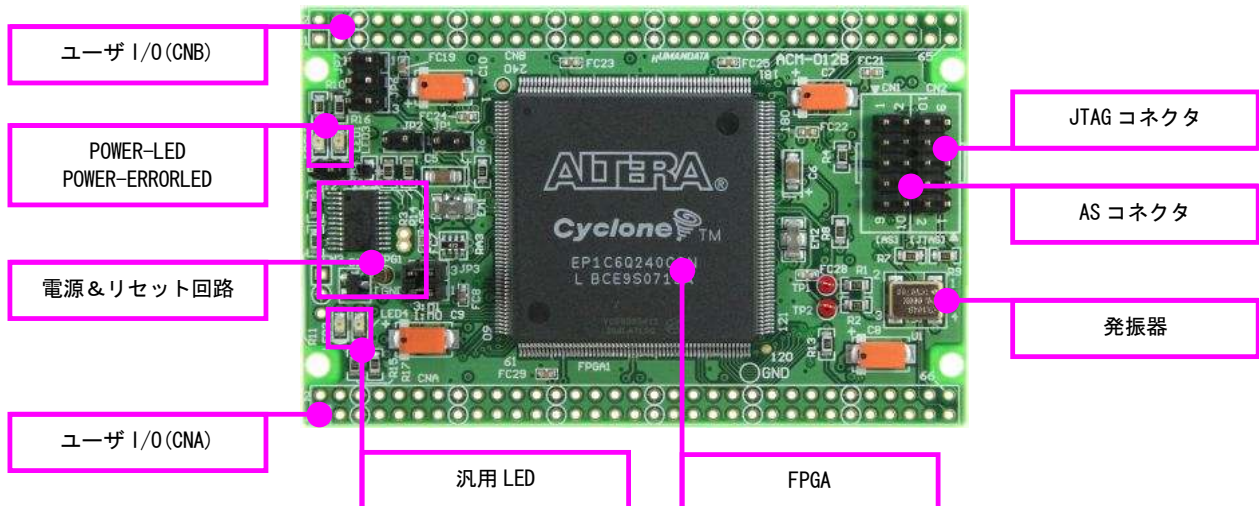
* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます。）

2. 仕様

製品型番	ACM-012-6	ACM-012-12
搭載 FPGA	EP1C6Q240C8N	EP1C12Q240C8N
電源	DC 5.0V（内部に必要な 3.3V、1.5V 生成回路内蔵）	
消費電流	N/A（詳細は FPGA データシートご参照）	
外形寸法	86X54 [mm]	
重量	約 30 [g]	
ユーザ I/O	100 本(50 本×2)	
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
コンフィグレーション ROM	EPCS4SI8N (ALTERA)	
クロック	オンボード 30MHz、外部供給可能	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ	
AS コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED , POWER-ERROR-LED)	
汎用 LED	2 個	
付属品	DIP80 ピンヘッダ 2 個(任意にカット可能) ジャンパソケット 4 個	

部品は互換品と変更となる場合がございます。

3. 各部の名称



※ CONFIG-ROM は裏面に実装

3.1. 電源入力

本ボードは、DC 5.0V 単一電源で動作します。

外部から供給する 5.0V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

3.2. POWER ERROR LED

3.3V 電圧異常時（過負荷など）に点灯します。

3.3. JTAG コネクタ

FPGA へのコンフィグレーション時に使用します。

ピン配置は次表のとおりです。

CN4

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	VCC (3.3V)
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

3.4. AS コネクタ

コンフィグレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。

ピン配置は次表のとおりです。

CN3

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路頭上信号名
XDCLK	DCLK	1	2	GND	GND
XCONF_DONE	CONF_DONE	3	4	VCC (3.3V)	VCC (3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATA0	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

4. FPGA ピン割付表

CNA

備考	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	備考
3.3V 電源予約		N.C	1	2	N.C		3.3V 電源予約
電源		5.0V	3	4	5.0V		電源
	GND	GND	5	6	GND	GND	
	IOA0	53	7	8	54	IOA1	
	IOA2	55	9	10	56	IOA3	
	IOA4	57	11	12	58	IOA5	
	IOA6	59	13	14	60	IOA7	
	GND	GND	15	16	GND	GND	
	IOA8	61	17	18	62	IOA9	
	IOA10	63	19	20	64	IOA11	
	IOA12	65	21	22	66	IOA13	
	IOA14	67	23	24	68	IOA15	
	GND	GND	25	26	GND	GND	
	IOA16	73	27	28	74	IOA17	
	IOA18	75	29	30	76	IOA19	
	IOA20	77	31	32	78	IOA21	
	IOA22	79	33	34	82	IOA23	
	GND	GND	35	36	GND	GND	
	IOA24	83	37	38	84	IOA25	
	IOA26	85	39	40	86	IOA27	
	IOA28	87	41	42	88	IOA29	
	IOA30	93	43	44	94	IOA31	
	GND	GND	45	46	GND	GND	
	IOA32	95	47	48	98	IOA33	
	IOA34	99	49	50	100	IOA35	
	IOA36	101	51	52	104	IOA37	
	IOA38	105	53	54	106	IOA39	
	GND	GND	55	56	GND	GND	
	IOA40	107	57	58	108	IOA41	
	IOA42	113	59	60	114	IOA43	
	IOA44	115	61	62	116	IOA45	
	IOA46	117	63	64	118	IOA47	
	IOA48	120	65	66	119	IOA49	

CNB

備考	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	備考
3.3V 電源予約		N.C	1	2	N.C		3.3V 電源予約
電源		5.0V	3	4	5.0V		電源
	GND	GND	5	6	GND	GND	
	CKL0/IOB0	28/238	7	8	29/237	CKL1/IOB1	
	IOB2	236	9	10	235	IOB3	
	IOB4	234	11	12	233	IOB5	
	IOB6	228	13	14	227	IOB7	
	GND	GND	15	16	GND	GND	
	IOB8	226	17	18	225	IOB9	
	IOB10	224	19	20	223	IOB11	
	IOB12	222	21	22	219	IOB13	
	IOB14	218	23	24	217	IOB15	
	GND	GND	25	26	GND	GND	
	IOB16	216	27	28	215	IOB17	
	IOB18	214	29	30	213	IOB19	
	IOB20	208	31	32	207	IOB21	
	IOB22	206	33	34	203	IOB23	
	GND	GND	35	36	GND	GND	
	IOB24	202	37	38	201	IOB25	
	IOB26	200	39	40	197	IOB27	
	IOB28	196	41	42	195	IOB29	
	IOB30	194	43	44	193	IOB31	
	GND	GND	45	46	GND	GND	
	IOB32	188	47	48	187	IOB33	
	IOB34	186	49	50	185	IOB35	
	IOB36	184	51	52	183	IOB37	
	IOB38	182	53	54	181	IOB39	
	GND	GND	55	56	GND	GND	
	IOB40	179	57	58	180	IOB41	
	IOB42	177	59	60	178	IOB43	
	IOB44	175	61	62	176	IOB45	
	IOB46	173	63	64	174	IOB47	
	IOB48	170	65	66	169	IOB49	

ジャンパ設定

JP6	NET LABEL	FPGA ピン#
1-2 間	CKL0	28
2-3 間	IOB0	238

JP7	NET LABEL	FPGA ピン#
1-2 間	CKL1	29
2-3 間	IOB1	237

レベルコンバータ制御

NET LABEL	FPGA ピン#	機能	
DIRA0	168	IOA0-7	方向制御
DIRA1	167	IOA8-15	方向制御
DIRA2	166	IOA16-23	方向制御
DIRA3	165	IOA24-31	方向制御
DIRA4	164	IOA32-39	方向制御
DIRA5	163	IOA40-47	方向制御
DIRB0	161	IOB0-7	方向制御
DIRB1	160	IOB8-15	方向制御
DIRB2	159	IOB16-23	方向制御
DIRB3	158	IOB24-31	方向制御
DIRB4	144	IOB32-39	方向制御
DIRB5	143	IOB40-47	方向制御
DIRAB6	140	IOA48,49 IOB48,49	方向制御

H : 出力 L : 入力

※詳細は回路図をご覧ください

レベルコンバータイネーブル

NET LABEL	FPGA ピン#	機能
OEX	141	レベルコンバータイネーブル : L に固定

※詳細は回路図をご覧ください

汎用 LED

FPGA ピン#	赤色 LED
47	LED2
48	LED4

5. 固定ピンについて **【重要】**

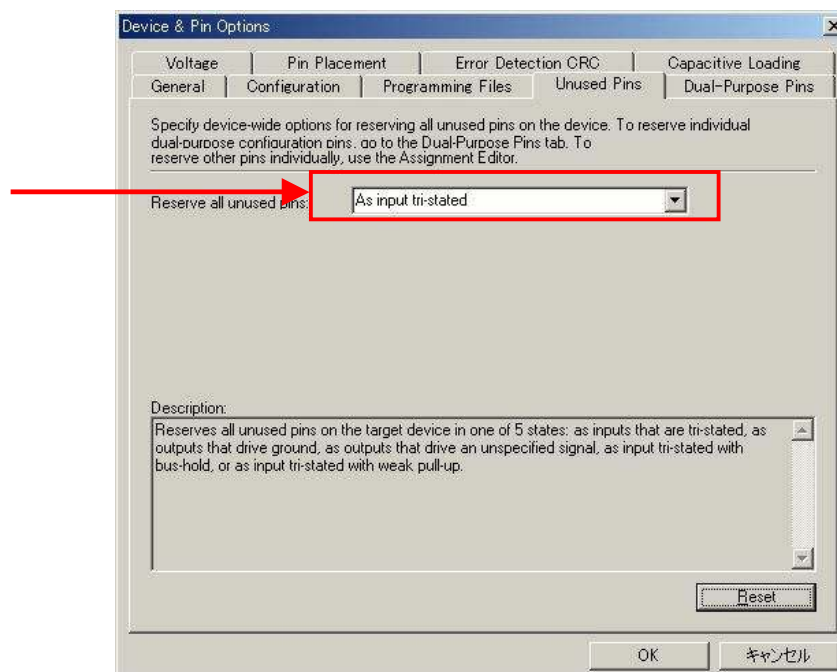
本ボードでは、下記のピンが GND または VCCINT (1.5V) に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 処理しない場合、FPGA が破損する恐れがあります。

EP1C12 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

固定ピン一覧

GND		VCCINT	
NET LABEL	FPGA ピン#	NET LABEL	FPGA ピン#
GND	80	VCCINT	81
GND	96	VCCINT	97
GND	102	VCCINT	103
GND	199	VCCINT	198
GND	205	VCCINT	204
GND	221	VCCINT	220

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。
 Quartus II の Device Option により設定できます。
 [Assignments] → [Device] → [Device & Pin Options] → [Unused Pins] →
 [As inputs tri-stated] に設定してください。



6. ACM-012 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

http://www.hdl.co.jp/support_c.html

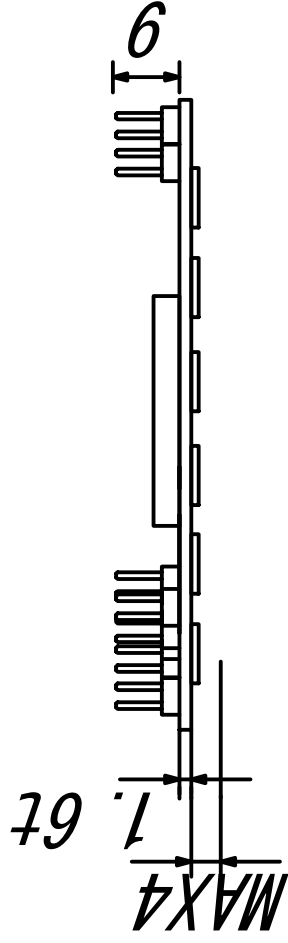
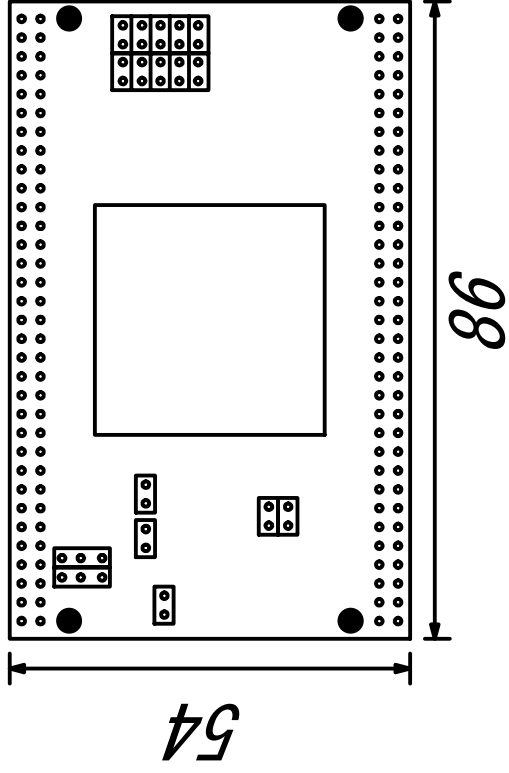
にデータをアップロードすることにいたします。

拡張子“.exe”のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

7. 付属資料

1. 基板回路図
2. 外形寸法図



材質		個数	
仕上			

HUMANDATA		UNIT	TITLE
CHK	DWG		ACM-012シリーズ 外形寸法図
		SIZE	DWG NO
			G-ACM-012
			REV
			A

Cyclone ブレッドボード
ACM-012 シリーズ
ユーザーズマニュアル

2005/07/21 初版
2006/04/28 初版 (A)
2007/09/03 第 2 版 (Rev2)
2008/03/17 第 3 版 (Rev2)
2008/12/11 第 4 版 (Rev2)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積 1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
