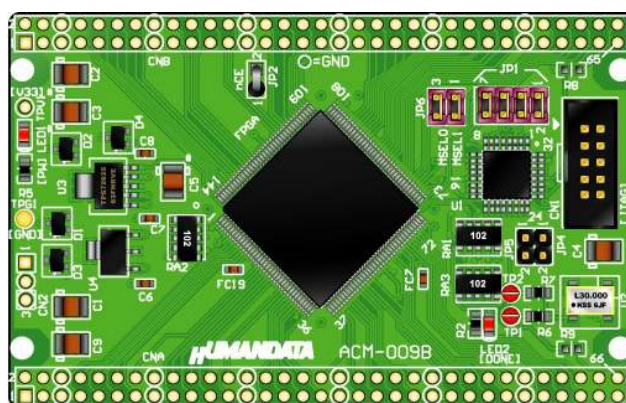




ACEX1K ブレッドボード
ACM-009-50
ユーザーズマニュアル
第3版



ヒューマンデータ

目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 各部の名称.....	3
3.1. 電源入力.....	4
3.2. ISP コネクタ.....	4
4. ジャンプスイッチの説明.....	5
5. ユーザ I/O.....	6
6. 固定ピンについて【重要】.....	8
7. ACM-009 シリーズ 参考資料について.....	8
8. 付属資料.....	8

はじめに

この度は、ACEX1K ブレッドボード／ACM-009-50 をお買い上げいただきまして誠にありがとうございます。

ACM-009-50 は、アルテラ社の高性能 FPGA である ACEX1K を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

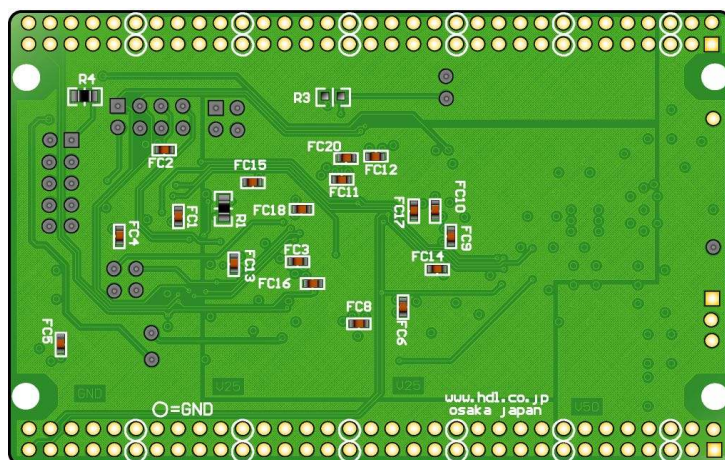
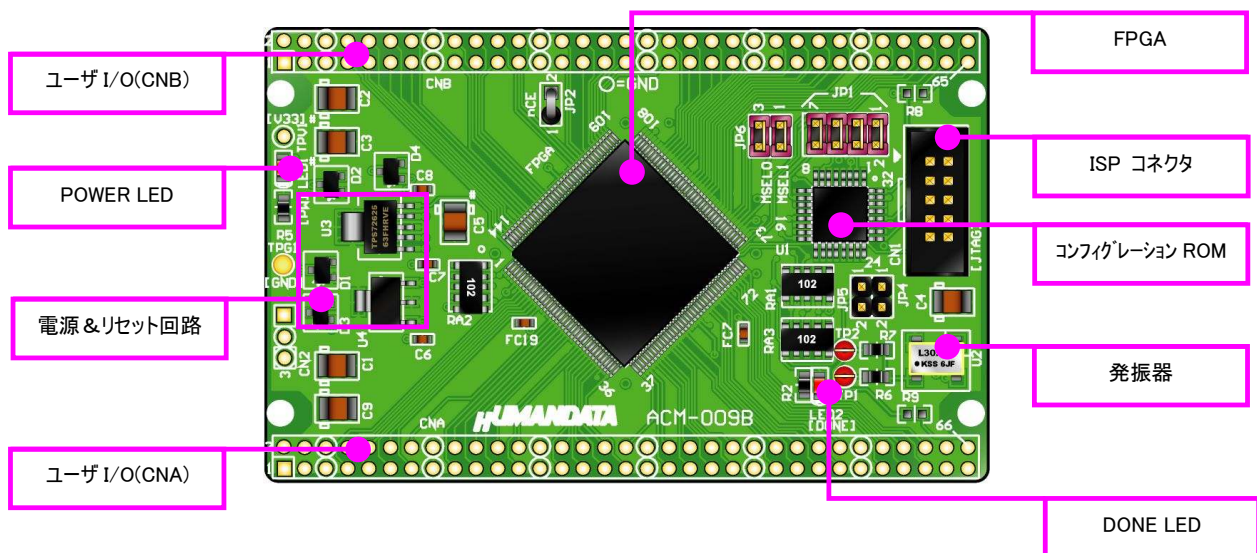
FPGA ブレッドボード ACM-009 シリーズ	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求ができます。）

2. 仕様

製品型番	ACM-009-50
搭載 FPGA	EP1K50TC144-3N
電源	DC 5.0V 単一電源 (内部電源はオンボードレギュレータにより生成)
消費電流	N/A (詳細は FPGA データシートご参照)
外形寸法	86X54 [mm]
重量	約 25 [g]
ユーザ I/O	99 本 (一部入力専用ピンあり)
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ] × 2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
コンフィグレーション ROM	EPC2TC32N
クロック	オンボード 30MHz、外部供給可能
リセット回路	内蔵 (200ms TYP)
ISP コネクタ	DIP10 ピン BOX ヘッド 2.54mm ピッチ
ステータス LED	2 個 (POWER-LED DONE-LED)
付属品	DIP80 ピンヘッド 2 個(任意にカット可能)
	ジャンパソケット 2 個

3. 各部の名称



3.1. 電源入力

本ボードは、DC 5.0V 単一電源で動作します。

外部から供給する電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

使用 FPGA は (ACEX1K) は 3.3V 品ですのでご注意ください。

3.2. ISP コネクタ

FPGA 及びコンフィグレーション ROM (EPC2) への ISP (In System Programming) 時に使用します。

ピン配置は次表のとおりです。

CN3

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	VCC (3.3V)
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10ピンコネクタと 1:1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

4. ジャンプスイッチの説明

JP6 —— MSEL0, MSEL1 信号 設定用 (出荷時両方ショート)
通常は両方ともショートして下さい。

JP6	MSEL
1-2	MSEL1
3-4	MSEL0

JP1 —— コンフィグレーション用 ROM の切り離し用 (出荷時全ショート)
ROM からのコンフィグレーションを抑制する時に、JP1 を全てオープンにして下さい。
ROM からコンフィグレーションする時には、JP1 を全てショートして下さい。

JP4 —— XDEVCLR 信号 設定用 (出荷時オープン)

JP5 —— XDEVOE 信号 設定用 (出荷時オープン)

5. ユーザ I/O

CNA

NET LABEL	FPGA pin #	コネクタ	pin #	FPGA pin #	NET LABEL
(V33) *1	(3.3V)	1	2	(3.3V)	(V33) *1
V50	5.0V	3	4	5.0V	V50
GND	GND	5	6	GND	GND
IOA0	7	7	8	8	IOA1
IOA2	9	9	10	10	IOA3
IOA4	11	11	12	12	IOA5
IOA6	13	13	14	17	IOA7
GND	GND	15	16	GND	GND
IOA8	18	17	18	19	IOA9
IOA10	20	19	20	21	IOA11
IOA12	22	21	22	23	IOA13
IOA14	26	23	24	27	IOA15
GND	GND	25	26	GND	GND
IOA16	28	27	28	29	IOA17
IOA18	30	29	30	31	IOA19
IOA20	32	31	32	33	IOA21
IOA22	36	33	34	37	IOA23
GND	GND	35	36	GND	GND
IOA24	38	37	38	39	IOA25
IOA26	41	39	40	42	IOA27
IOA28	43	41	42	44	IOA29
IOA30	46	43	44	47	IOA31
GND	GND	45	46	GND	GND
IOA32	48	47	48	49	IOA33
IOA34	51	49	50	59	IOA35
IOA36	60	51	52	62	IOA37
IOA38	63	53	54	64	IOA39
GND	GND	55	56	GND	GND
IOA40	65	57	58	67	IOA41
IOA42	68	59	60	69	IOA43
IOA44	70	61	62	72	IOA45
-	N.C	63	64	126	D_IN0 *2
D_IN1 *2	124	65	66	N.C	*3

*1: 3.3V は出力です

*2: 入力専用

*3: 抵抗を介して FPGA pin# 55 (CLK1) に接続可能

CNB

NET LABEL	FPGA pin #	コネクタ pin #		FPGA pin #	NET LABEL
(V33) *4	(3.3V)	1	2	(3.3V)	(V33) *4
V50	5.0V	3	4	5.0V	V50
GND	GND	5	6	GND	GND
IOB0	144	7	8	143	IOB1
IOB2	142	9	10	141	IOB3
IOB4	140	11	12	138	IOB5
IOB6	137	13	14	136	IOB7
GND	GND	15	16	GND	GND
IOB8	135	17	18	133	IOB9
IOB10	132	19	20	131	IOB11
IOB12	130	21	22	121	IOB13
IOB14	120	23	24	119	IOB15
GND	GND	25	26	GND	GND
IOB16	118	27	28	117	IOB17
IOB18	116	29	30	114	IOB19
IOB20	113	31	32	112	IOB21
IOB22	111	33	34	110	IOB23
GND	GND	35	36	GND	GND
IOB24	109	37	38	102	IOB25
IOB26	101	39	40	100	IOB27
IOB28	99	41	42	98	IOB29
IOB30	97	43	44	96	IOB31
GND	GND	45	46	GND	GND
IOB32	95	47	48	92	IOB33
IOB34	91	49	50	90	IOB35
IOB36	89	51	52	88	IOB37
IOB38	87	53	54	86	IOB39
GND	GND	55	56	GND	GND
IOB40	83	57	58	82	IOB41
IOB42	81	59	60	80	IOB43
IOB44	79	61	62	78	IOB45
IOB46	73	63	64	54	D_IN2 *5
D_IN3 *5	56	65	66	N.C	*6

*4: 3.3V は出力です

*5: 入力専用

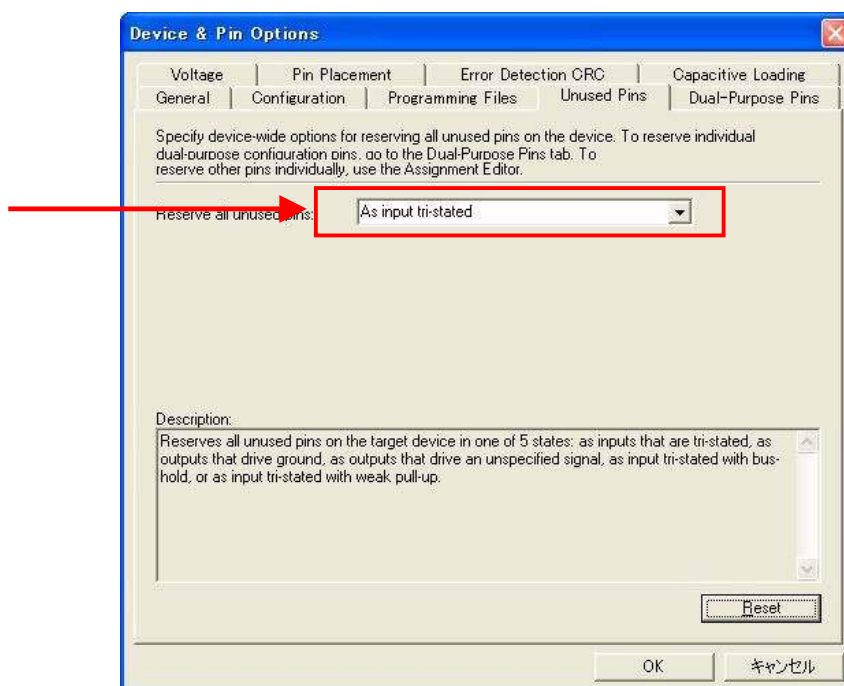
*6: 抵抗を介して FPGA pin# 125 (CLK0)に接続可能

内部 CLK

クロック	NET_LABEL	FPGA ピン #
オンボード 30MHz	CLK0	125
オンボード 30MHz	CLK1	55

6. 固定ピンについて **【重要】**

本ボードでは未使用ピンを全て入力とすることができます。
Quartus II の Device Option により設定できます。
 [Assignments]→[Device]→[Device&Pin Options]→[Unused Pins]→
 [As inputs tri-stated]に設定してください。

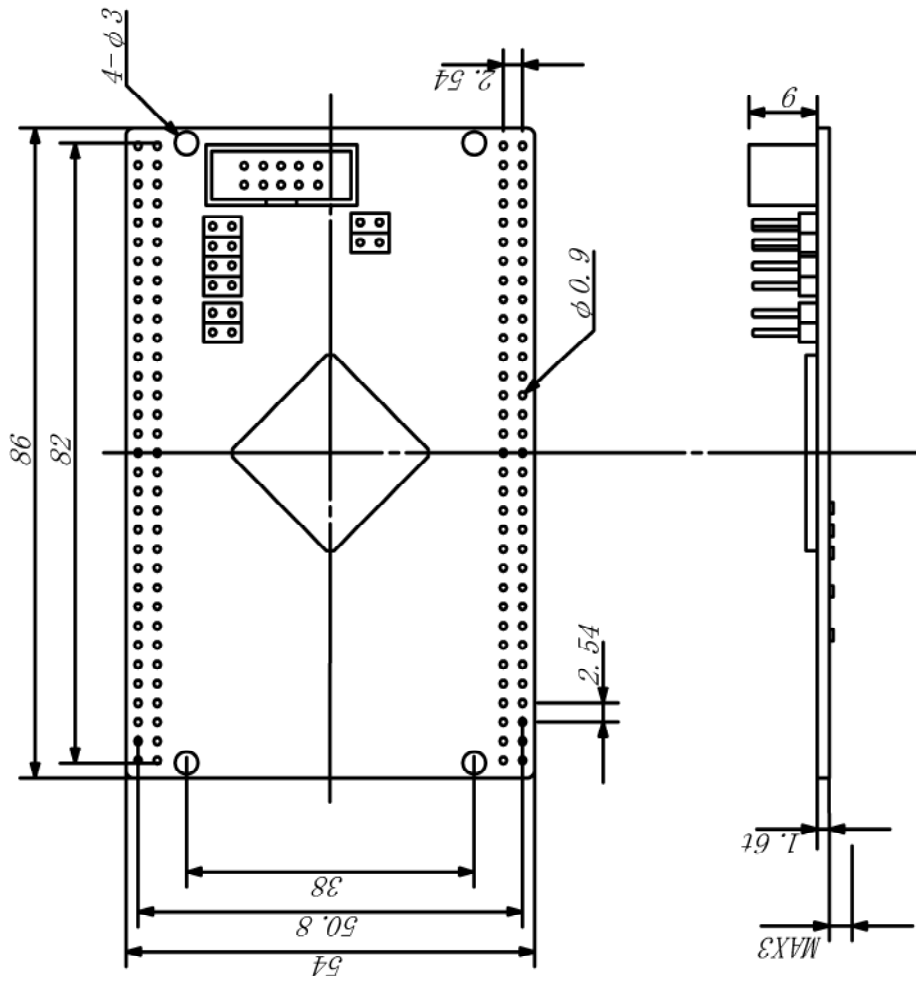


7. ACM-009 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
 製品サポートページ
http://www.hdl.co.jp/support_c.html
 にデータをアップロードすることにいたします。
 拡張子“.exe”のときは、自己解凍ファイルといたします。
 とときどきチェックしていただき必要に応じてご利用くださいませ。

8. 付属資料

1. 基板回路図
2. 外形寸法図



HUMANDATA

CHK

DWG

SIZE

TITLE

ACM-009シリーズ 外形寸法図

DWG NO

G-ACM-009

REV

A1

ACEX1K ブレッドボード

ACM-009 シリーズ

ユーザーズマニュアル

2006/01/16 初版

2006/10/04 初版 (A)

2007/05/22 第 2 版

2008/09/16 第 3 版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積 1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
