



Cyclone ブレッドボード
ACM-006 シリーズ
ユーザーズマニュアル
第4版 (Rev2)



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 各部の名称	3
3.1. 電源入力	3
3.2. JTAG コネクタ	3
3.3. AS コネクタ	4
4. FPGA のコンフィギュレーション	4
5. コンフィギュレーション ROM に ISP (書込み)	6
6. ジャンプスイッチの説明	7
7. コネクタピン割付表	8
7.1. CNA	8
7.2. CNB	9
7.3. CLK	10
7.4. 外部入力 CLK	10
8. 固定ピンについて 【重要】	10
9. ACM-006 シリーズ 参考資料について	11
10. 付属資料	11



はじめに

この度は、Cyclone ブレッドボード／ACM-006 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-006 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

 <p>禁止</p>	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 <p>注意</p>	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-006-6/12	1
付属品		1
マニュアル (本書)		1*
ユーザー登録はがき		1*

*オーダー毎に1部の場合があります。(ご要望により追加請求できます)

2. 仕様

製品型番	ACM-006-6	ACM-006-12
搭載 FPGA	EP1C6Q240C8N	EP1C12Q240C8N
コンフィグレーション ROM	EPCS4SI8N (ALTERA)	
電源	DC 3.3V (詳細は FPGA データシートご参照)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86X54 [mm]	
重量	約 30 [g]	
ユーザ I/O	100 本(50 本×2)	
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグレーション ROM	EPCS4SI8N (ALTERA)	
クロック	オンボード 30MHz、外部供給可能	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ	
AS コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ	
LED	電源表示用	
付属品	DIP80 ピンヘッダ 2 個(任意にカット可能) ジャンパソケット 2 個	

3. 各部の名称



部品面

3.1. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。
 外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。
 電源は CNA、CNB から供給してください。

3.2. JTAG コネクタ

FPGA へのコンフィグレーション時に使用します。
 ピン配置は次表のとおりです。

CN4

回路図上信号名	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1 で対応しています。
 ALTERA 社の純正ケーブルを用いることもできます。

3.3. AS コネクタ

コンフィグレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。

ピン配置は次表のとおりです。

CN3

回路図上信号名	ダウンロードケーブル信号名	ピン番号	ピン番号	ダウンロードケーブル信号名	回路図上信号名
XDCLK	DCLK	1	2	GND	GND
XCONF_DONE	CONF_DONE	3	4	VCC (3.3V)	VCC (3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

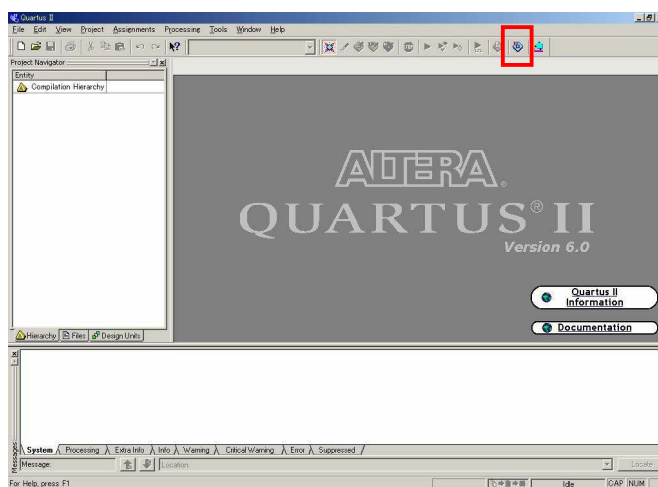
弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

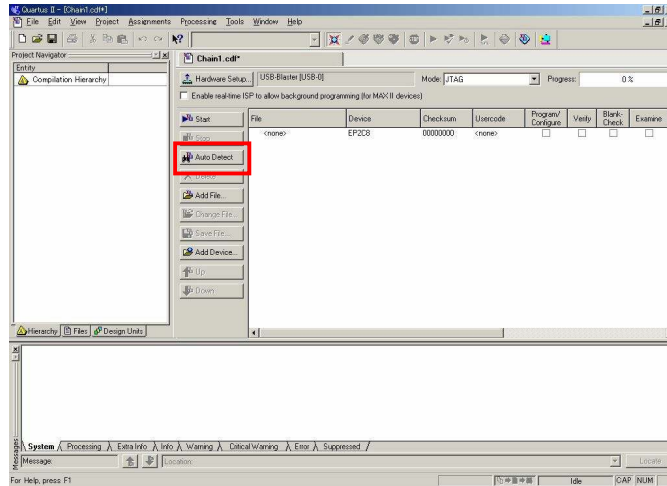
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

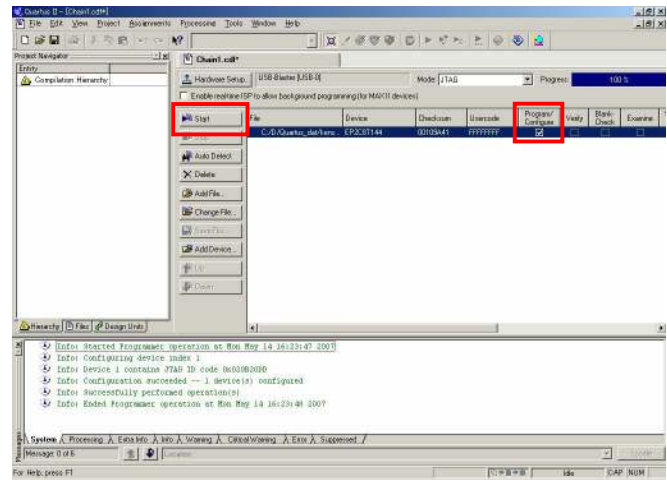
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】 をクリックします。
ファイル名が【none】になっているので【none】をダブルクリックし
コンフィグレーションするファイルを指定します。(sof ファイル)



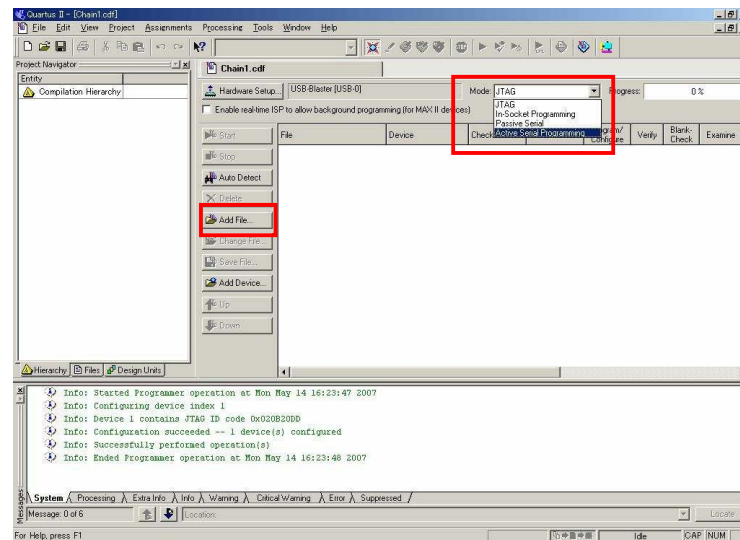
- ▼ 【Program/Configure】 にチェックを入れ【Start】 をクリックします。



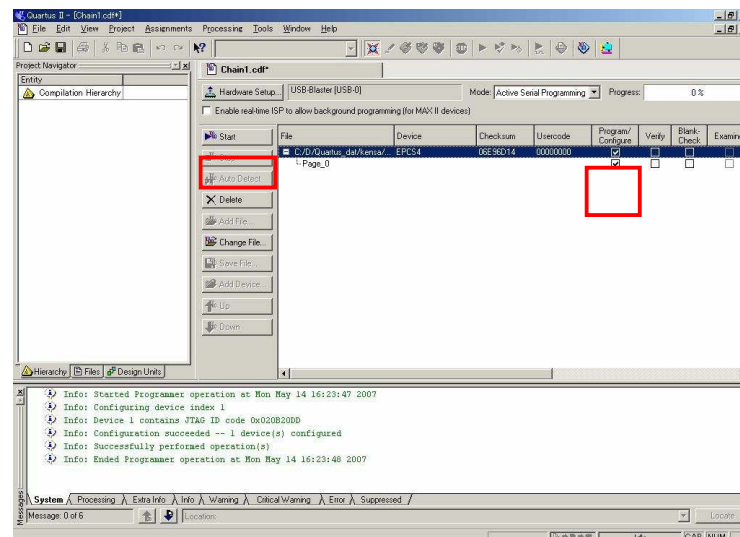
5. コンフィギュレーション ROM に ISP (書込み)

FPGA にコンフィギュレーションし動作の確認をしてから ROM に ISP してください。

- ▼ 【Mode】 から 【Active Serial Programming】 を選択します。
【Add File】 をクリックし、ISP するファイルを指定します。(pof ファイル)



- ▼ 【Program/Configure】 と 【Verify】 にチェックをいれ 【Start】 をクリックしてください。



6. ジャンパスイッチの説明

JP3 は FPGA の MSEL0 と MSEL1 を設定します。

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP3 ——— MSEL0, MSEL1 信号 設定用

JP1	MSEL
1-2	MSEL1
3-4	MSEL0

ROM 使用時 (出荷時) : JP3 (1-2 間:ショート 3-4 間:ショート)

MSEL0 = 0
MSEL1 = 0



JTAG 使用時 : JP3 (1-2 間:ショート 3-4 間:オープン)

MSEL0 = 1
MSEL1 = 0



メモ

出荷時は ROM 使用時の設定になっています。

7. コネクタピン割付表

7.1. CNA

備考	NET LABEL	FPGAピン #	CNA ピン #		FPGAピン #	NET LABEL	備考
電源		3.3V	1	2	3.3V		電源
5V 電源予約		電源予約	3	4	電源予約		5V 電源予約
	GND	GND	5	6	GND	GND	
	IOA0	53	7	8	54	IOA1	
	IOA2	55	9	10	56	IOA3	
	IOA4	57	11	12	58	IOA5	
	IOA6	59	13	14	60	IOA7	
	GND	GND	15	16	GND	GND	
	IOA8	61	17	18	62	IOA9	
	IOA10	63	19	20	64	IOA11	
	IOA12	65	21	22	66	IOA13	
	IOA14	67	23	24	68	IOA15	
	GND	GND	25	26	GND	GND	
	IOA16	73	27	28	74	IOA17	
	IOA18	75	29	30	76	IOA19	
	IOA20	77	31	32	78	IOA21	
	IOA22	79	33	34	82	IOA23	
	GND	GND	35	36	GND	GND	
	IOA24	83	37	38	84	IOA25	
	IOA26	85	39	40	86	IOA27	
	IOA28	87	41	42	88	IOA29	
	IOA30	93	43	44	94	IOA31	
	GND	GND	45	46	GND	GND	
	IOA32	95	47	48	98	IOA33	
	IOA34	99	49	50	100	IOA35	
	IOA36	101	51	52	104	IOA37	
	IOA38	105	53	54	106	IOA39	
	GND	GND	55	56	GND	GND	
	IOA40	107	57	58	108	IOA41	
	IOA42	113	59	60	114	IOA43	
	IOA44	115	61	62	116	IOA45	
	IOA46	117	63	64	118	IOA47	
※1	IOA48	120	65	66	119	IOA49	※2

※1 抵抗を介して FPGA ピン#28(CLK0)に接続

※2 抵抗を介して FPGA ピン#29(CLK1)に接続

7.2. CNB

備考	NET LABEL	FPGAピン #	CNBピン #		FPGAピン #	NET LABEL	備考
電源		3.3V	1	2	3.3V		電源
5V 電源予約		電源予約	3	4	電源予約		5V 電源予約
	GND	GND	5	6	GND	GND	
	IOB0	238	7	8	237	IOB1	
	IOB2	236	9	10	235	IOB3	
	IOB4	234	11	12	233	IOB5	
	IOB6	228	13	14	227	IOB7	
	GND	GND	15	16	GND	GND	
	IOB8	226	17	18	225	IOB9	
	IOB10	224	19	20	223	IOB11	
	IOB12	222	21	22	219	IOB13	
	IOB14	218	23	24	217	IOB15	
	GND	GND	25	26	GND	GND	
	IOB16	216	27	28	215	IOB17	
	IOB18	214	29	30	213	IOB19	
	IOB20	208	31	32	207	IOB21	
	IOB22	206	33	34	203	IOB23	
	GND	GND	35	36	GND	GND	
	IOB24	202	37	38	201	IOB25	
	IOB26	200	39	40	197	IOB27	
	IOB28	196	41	42	195	IOB29	
	IOB30	194	43	44	193	IOB31	
	GND	GND	45	46	GND	GND	
	IOB32	188	47	48	187	IOB33	
	IOB34	186	49	50	185	IOB35	
	IOB36	184	51	52	183	IOB37	
	IOB38	182	53	54	181	IOB39	
	GND	GND	55	56	GND	GND	
	IOB40	179	57	58	180	IOB41	
	IOB42	177	59	60	178	IOB43	
	IOB44	175	61	62	176	IOB45	
	IOB46	173	63	64	174	IOB47	
※1	IOB48	170	65	66	169	IOB49	※2

※1 抵抗を介して FPGA ピン#153(CLK2)に接続可能

※2 抵抗を介して FPGA ピン#152(CLK3)に接続可能

7.3. CLK

内部 CLK	NET LABEL	FPGA ピン#
30MHz	CLK2	153
30MHz	CLK3	152

7.4. 外部入力 CLK

外部クロック	NET LABEL	FPGA ピン#
任意	CLK0	28
任意	CLK1	29

8. 固定ピンについて **【重要】**

本ボードでは、下記のピンが GND または VCCINT (1.5V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。
EP1C12 では **GND** や **VCCINT** になっているものの、EP1C6 では I/O として割り付けられています。

固定ピン一覧

GND

80, 96, 102, 199, 205, 221

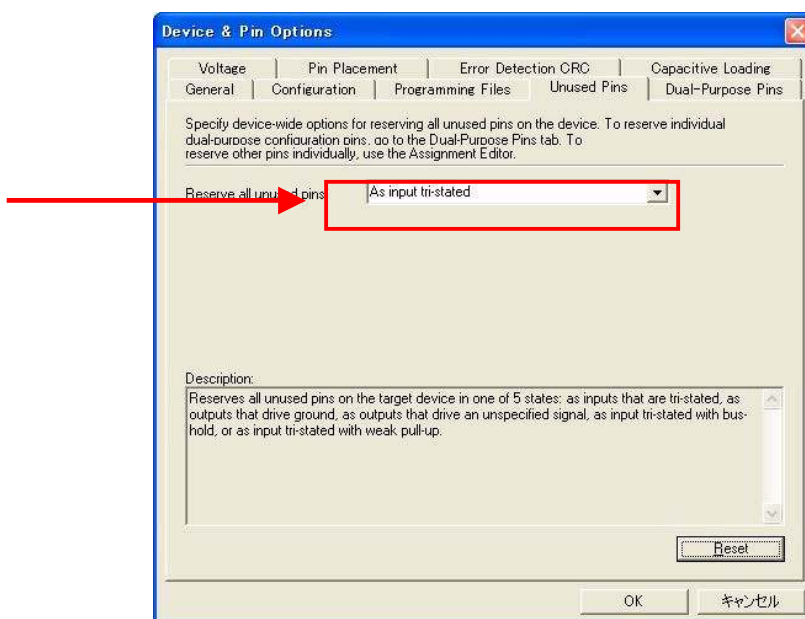
VCCINT

81, 97, 103, 198, 204, 220

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus II の Device Option により設定できます。

[Assignments] → [Device] → [Device & Pin Options] → [Unused Pins] → [As inputs tri-stated] に設定してください。



9. ACM-006 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html

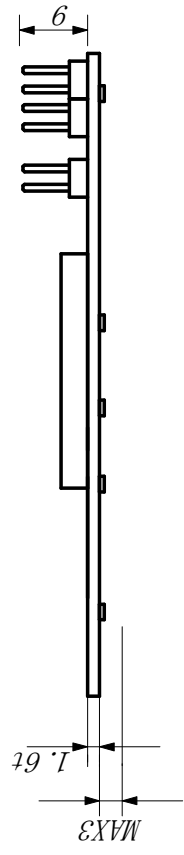
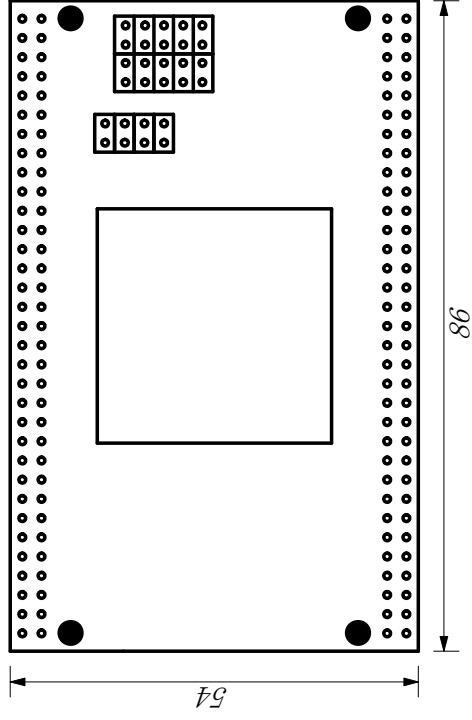
にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

10. 付属資料

1. 基板回路図



HUMANDATA		UNIT		TITLE
		CHK	DWG	ACM-006シリーズ 外形寸法図
		SIZE		DWG NO
				G-ACM-006
				REV
				B

Cyclone ブレッドボード
ACM-006 シリーズ
ユーザーズマニュアル

2005/07/01 初版
2005/08/02 第2版
2006/06/07 第2版 (A)
2008/02/14 第3版 (Rev2)
2008/11/21 第4版 (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
