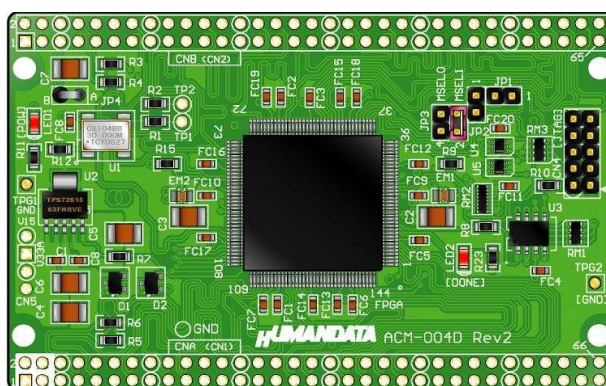




Cyclone ブレッドボード
ACM-004-6
ユーザーズマニュアル
第 8 版 (Rev2)



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品概要	3
3.1. 電源入力	3
3.2. JTAG コネクタ	4
4. FPGA のコンフィギュレーション	5
5. コンフィギュレーション ROM への書込み	6
5.1 .jic ファイルの作成	6
5.2 コンフィギュレーション ROM に ISP (書込み)	10
6. ジャンプスイッチの説明	11
7. コネクタピン割付表	12
7.1. CNA (CN1)	12
7.2. CNB (CN2)	13
7.3. オンボードクロック	14
7.4. 外部クロック	14
8. 未使用ピンの設定 【重要】	14
9. ACM-004-6 参考資料について	15
10. 付属資料	15

はじめに

この度は、Cyclone ブレッドボード／ACM-004 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-004-6 は、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-004-6	1
付属品（予備ジャンパなど）	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

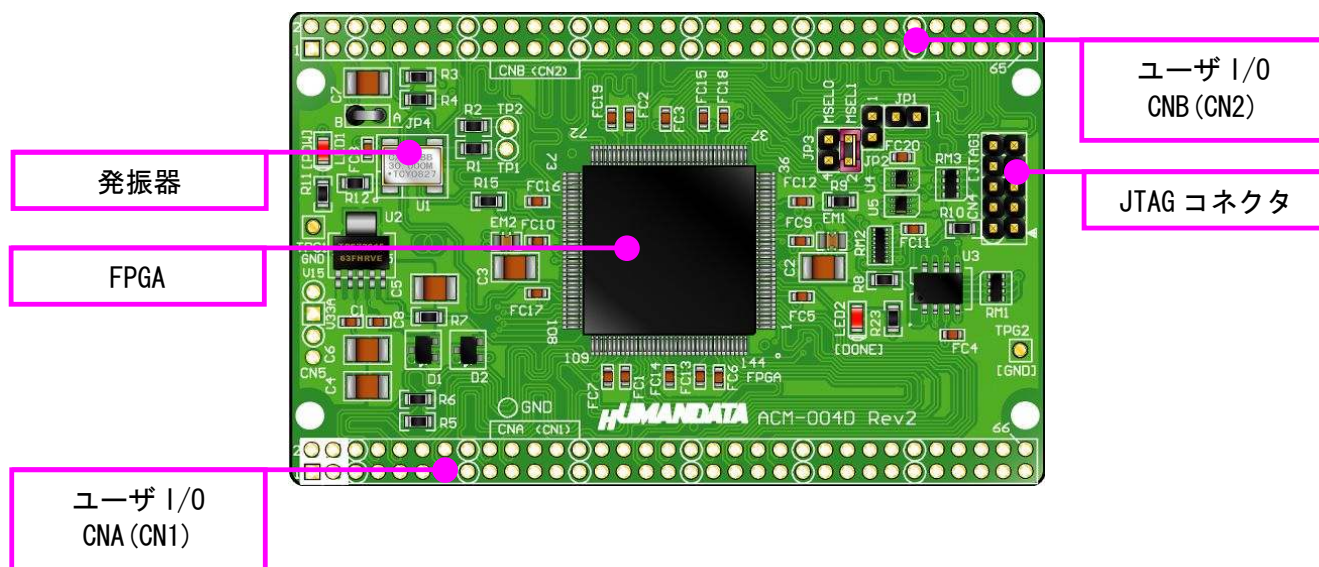
* オーダー毎に各1部の場合があります。（ご要望により追加請求できます。）

2. 仕様

製品型番	ACM-004-6
搭載 FPGA	EP1C6T144C8N
コンフィグレーション ROM	EPCS1SI8N
電源	DC 3.3V（内部に必要な 1.5V レギュレータ内蔵）
消費電流	N/A（詳細は FPGA データシートご参照）
外形寸法	86X54 [mm]
質量	約 25 [g]
ユーザ I/O	98 (92 ピンを外部に引き出し)
I/O コネクタ	66 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
コンフィグレーション ROM	EPCS1SI8 (ALTERA)
クロック	オンボード 30MHz、外部供給可能
リセット回路	内蔵 (200ms TYP)
JTAG コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ
LED	POW LED、DONE LED
付属品	DIP80 ピンヘッダ 2 個(任意にカット可能) ジャンパソケット 2 個

部品は互換品と変更となる場合がございます。

3. 製品概要

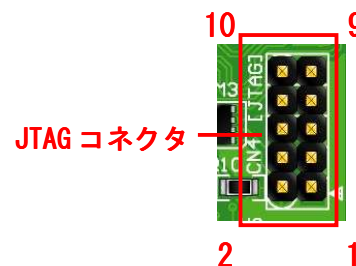


3.1. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。
電源は CNA (CN1)、CNB (CN2) などから供給してください。

3.2. JTAG コネクタ

FPGA へのコンフィギュレーション及び
コンフィギュレーション ROM の ISP に
使用します。
ピン配置は次表のとおりです。



CN4

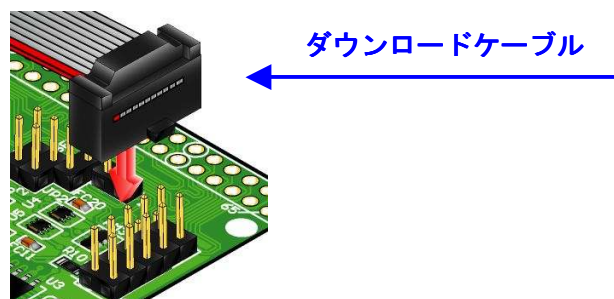
回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3、BLKITの10ピンコネクタと1:1
で対応しています。

ALTERA社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品DIP10ピンヘッ
ダをご利用できます

使用例



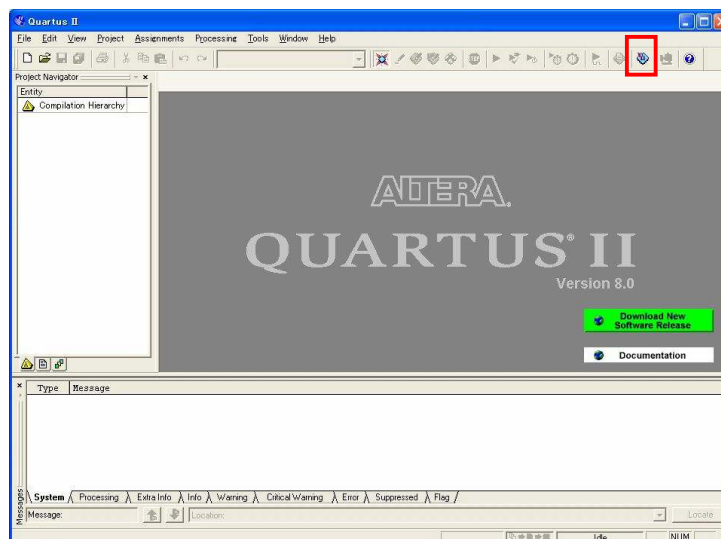
注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

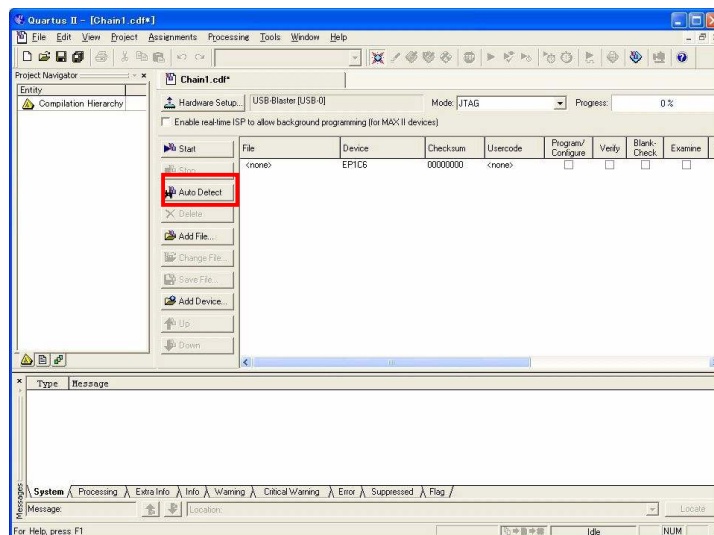
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

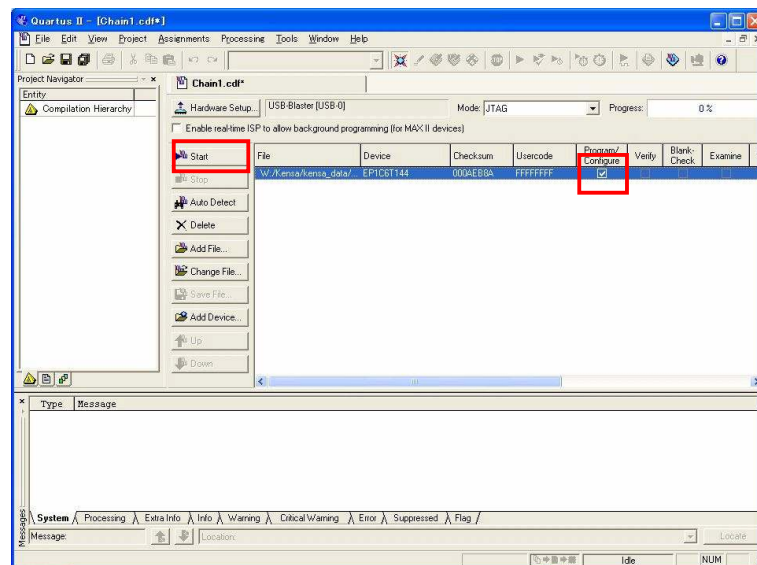
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】をダブルクリックしコンフィグレーションするファイルを指定します。(sof ファイル)



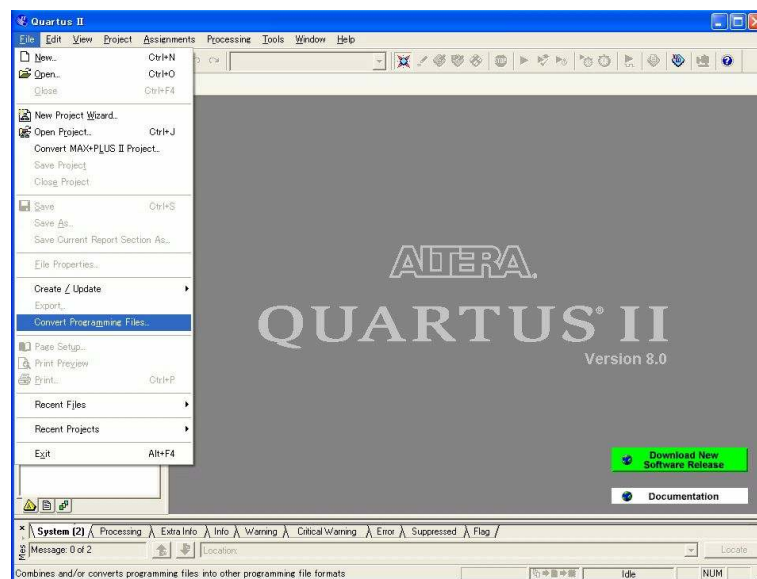
- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



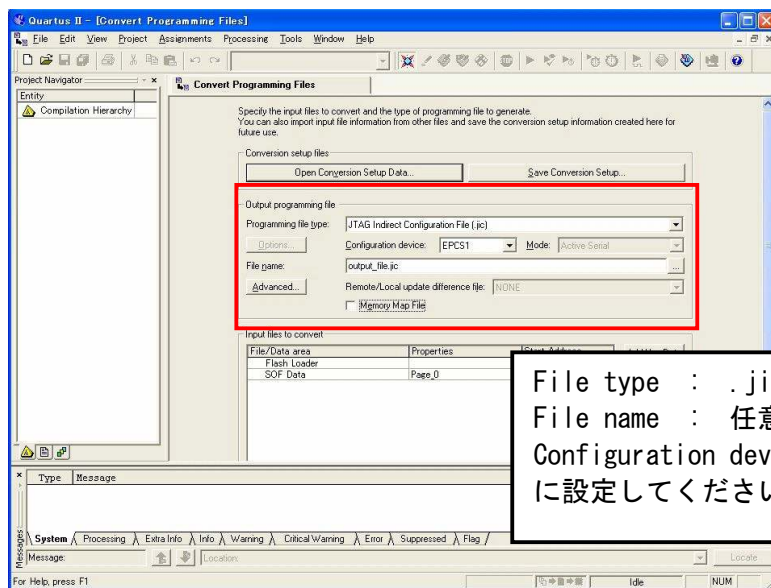
5. コンフィギュレーションROM への書込み

5.1 .jic ファイルの作成

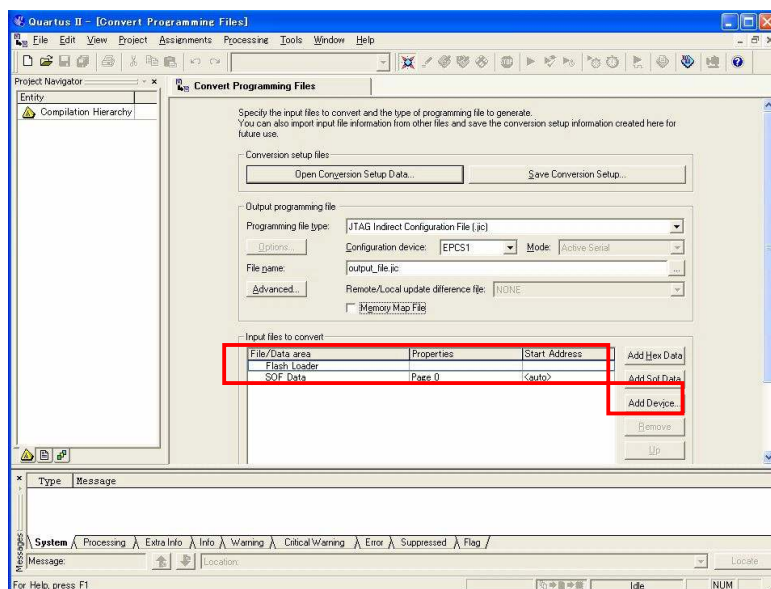
- ▼ Quartus II を起動し【FILE/Convert Programming Files】をクリックします。



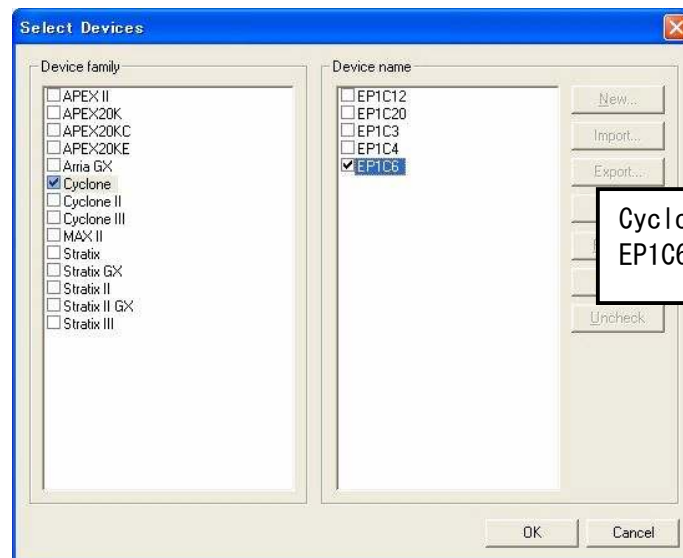
- ▼ 次に【File type】【File name】【 Configuration device】を選択し【Memory Map File】のチェックを外します。



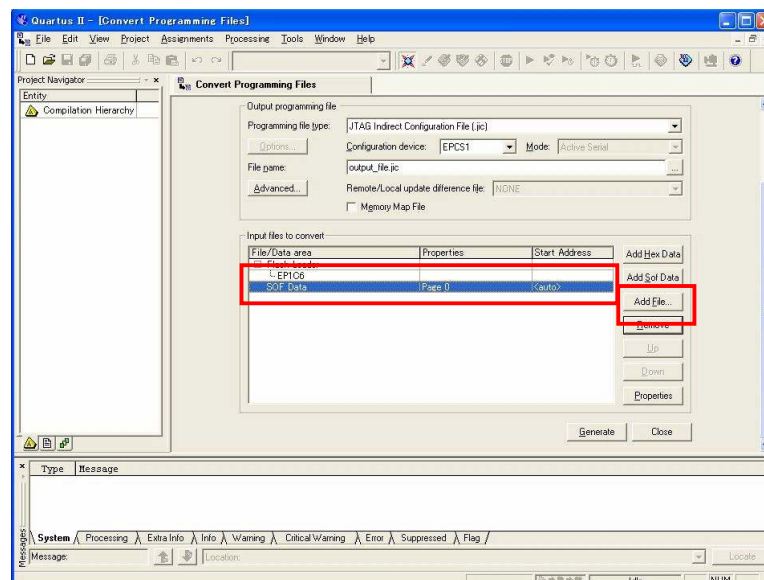
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



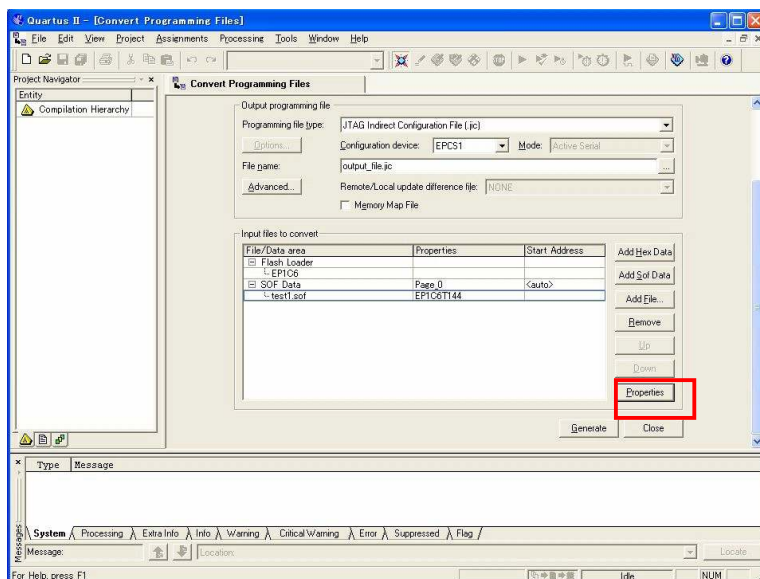
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



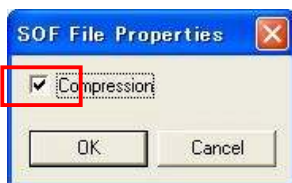
- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



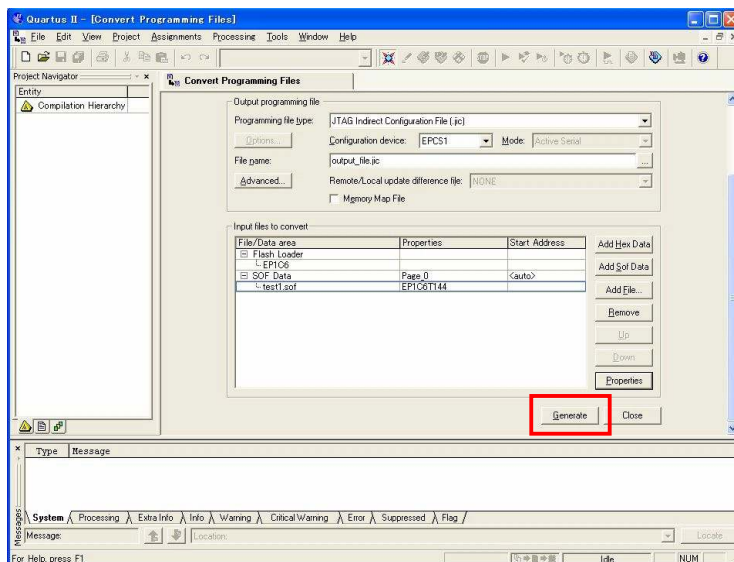
- ▼ 【Properties】をクリックして圧縮設定を行ってください。



- ▼ 【Compression】にチェックを入れ【OK】をクリックしてください。



- ▼ 【Generate】をクリックしてください。

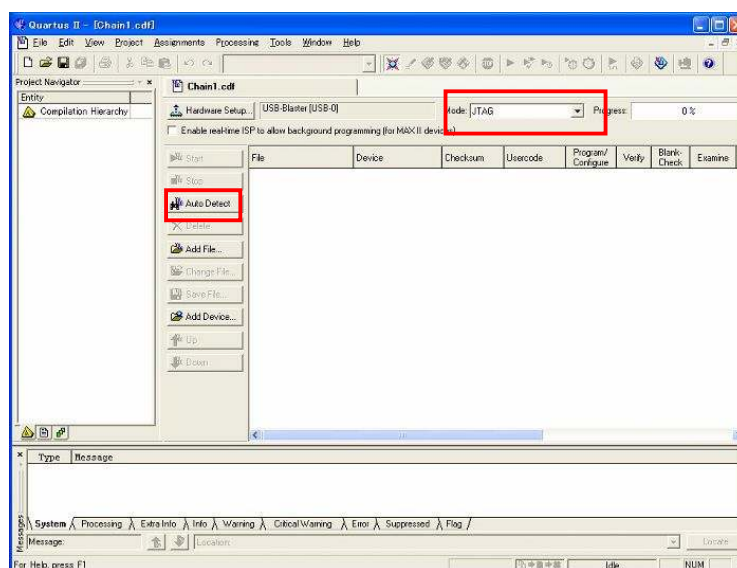


これで .jic ファイルができました。

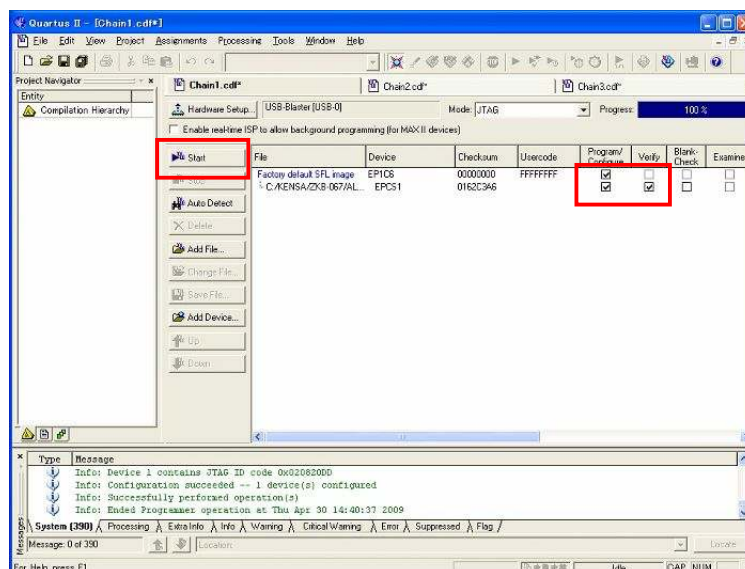
5.2 コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし動作の確認をしてから ROM に ISP してください。

- ▼ 【Mode】 から【JTAG】を選択します。
【Auto Detect】をクリックし、ISP するファイルを指定します。(jic ファイル)



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



6. ジャンプスイッチの説明

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

(ALTERA 社データシートより)

JP3 ——— MSEL0, MSEL1 信号 設定用

JP3	MSEL
1-2	MSEL1
3-4	MSEL0

ROM 使用時 : JP3 (1-2 間: ショート 3-4 間: ショート)

MSEL0 = 0
MSEL1 = 0



JTAG 使用時(出荷時) : JP3 (1-2 間: ショート 3-4 間: オープン)

MSEL0 = 1
MSEL1 = 0



注: 本来はどのモードでも JTAG 経由のコンフィグレーションは可能ですが、ROM の内容が不定 (BLANK 含む) の時には、AS モードでのコンフィグレーションが動作中のため、PS モードにすることで安定したコンフィグレーションが可能です。

7. コネクタピン割付表

7.1. CNA(CN1) *3

BANK	NET LABEL	FPGA ピン#	CN1 ピン#		FPGA ピン#	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOA0 *1	109	7	8	110	IOA1 *2	A
A	IOA2	111	9	10	112	IOA3	A
A	IOA4	113	11	12	114	IOA5	A
A	IOA6	119	13	14	120	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	121	17	18	122	IOA9	A
A	IOA10	123	19	20	124	IOA11	A
A	IOA12	125	21	22	128	IOA13	A
A	IOA14	129	23	24	130	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	131	27	28	132	IOA17	A
A	IOA18	133	29	30	134	IOA19	A
A	IOA20	139	31	32	140	IOA21	A
A	IOA22	141	33	34	142	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	2	37	38	3	IOA25	A
A	IOA26	4	39	40	5	IOA27	A
A	IOA28	6	41	42	7	IOA29	A
A	IOA30	10	43	44	11	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	26	47	48	27	IOA33	A
A	IOA34	28	49	50	31	IOA35	A
A	IOA36	32	51	52	33	IOA37	A
A	IOA38	34	53	54	35	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	36	57	58	1	IOA41	A
A	IOA42	144	59	60	143	IOA43	A
A	N.C	N.C	61	62	N.C	N.C	A
A	N.C	N.C	63	64	N.C	N.C	A
A	N.C	N.C	65	66	N.C	N.C	A

*1 抵抗を介して FPGA ピン# 16 (CLK0) に接続可能

*2 抵抗を介して FPGA ピン# 17 (CLK1) に接続可能

*3 Rev1.では CN1 と表記

7.2. CNB (CN2) *6

BANK	NET LABEL	FPGA ピン#	CN2 ピン#		FPGA ピン#	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOB0 *4	108	7	8	107	IOB1 *5	B
B	IOB2	106	9	10	105	IOB3	B
B	IOB4	104	11	12	103	IOB5	B
B	IOB6	100	13	14	99	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	98	17	18	97	IOB9	B
B	IOB10	96	19	20	85	IOB11	B
B	IOB12	84	21	22	83	IOB13	B
B	IOB14	82	23	24	79	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	78	27	28	77	IOB17	B
B	IOB18	76	29	30	75	IOB19	B
B	IOB20	74	31	32	73	IOB21	B
B	IOB22	72	33	34	71	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	70	37	38	69	IOB25	B
B	IOB26	68	39	40	67	IOB27	B
B	IOB28	62	41	42	61	IOB29	B
B	IOB30	60	43	44	59	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	58	47	48	57	IOB33	B
B	IOB34	56	49	50	53	IOB35	B
B	IOB36	52	51	52	51	IOB37	B
B	IOB38	50	53	54	49	IOB39	B
	GND	GND	55	56	GND	GND	
B	IOB40	48	57	58	47	IOB41	B
B	IOB42	42	59	60	41	IOB43	B
B	IOB44	40	61	62	39	IOB45	B
B	IOB46	38	63	64	37	IOB47	B
B	N.C	N.C	65	66	N.C	N.C	B

*4 抵抗を介して FPGA ピン# 93 (CLK2) に接続可能

*5 抵抗を介して FPGA ピン# 92 (CLK3) に接続可能

*6 Rev1.では CN2 と表記

7.3. オンボードクロック

クロック	NET LABEL	FPGA ピン#
オンボード 30M	CLK2	93
オンボード 30M	CLK3	92

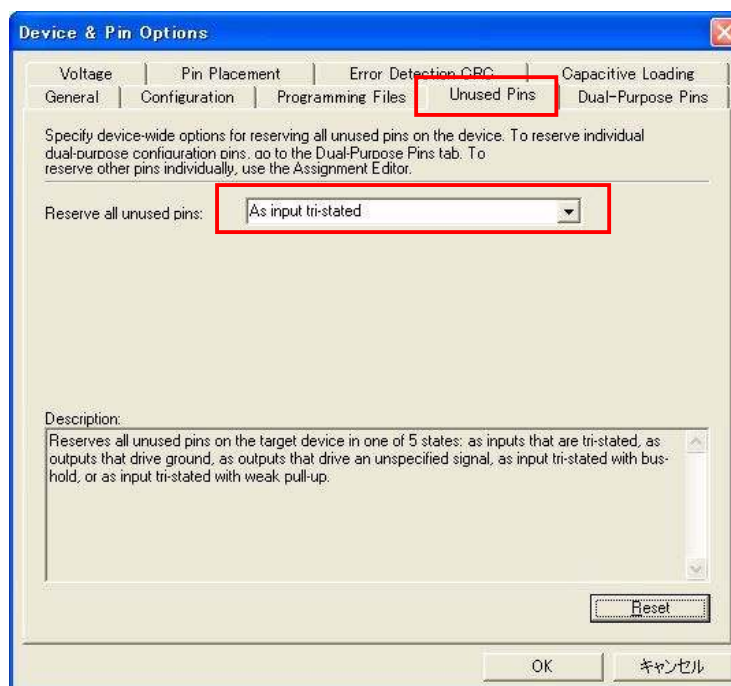
7.4. 外部クロック

クロック	NET LABEL	FPGA ピン#
任意	CLK0	16
任意	CLK1	17
任意	CLK2	93
任意	CLK3	92

8. 未使用ピンの設定 **【重要】**

電源あるいは外部入力で、まだ設計していないピンが GND に接続されることがないように、Unused Pins の設定をお忘れなく！

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
Reserve all unused pins の設定を【As inputs tri-stated】にします。



9. ACM-004-6 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

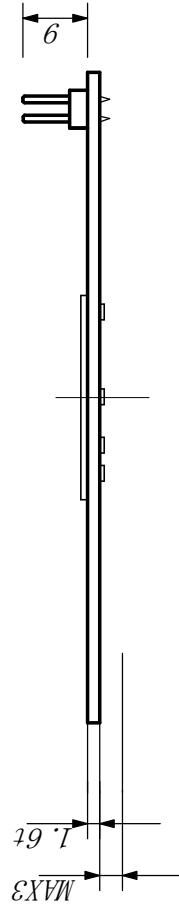
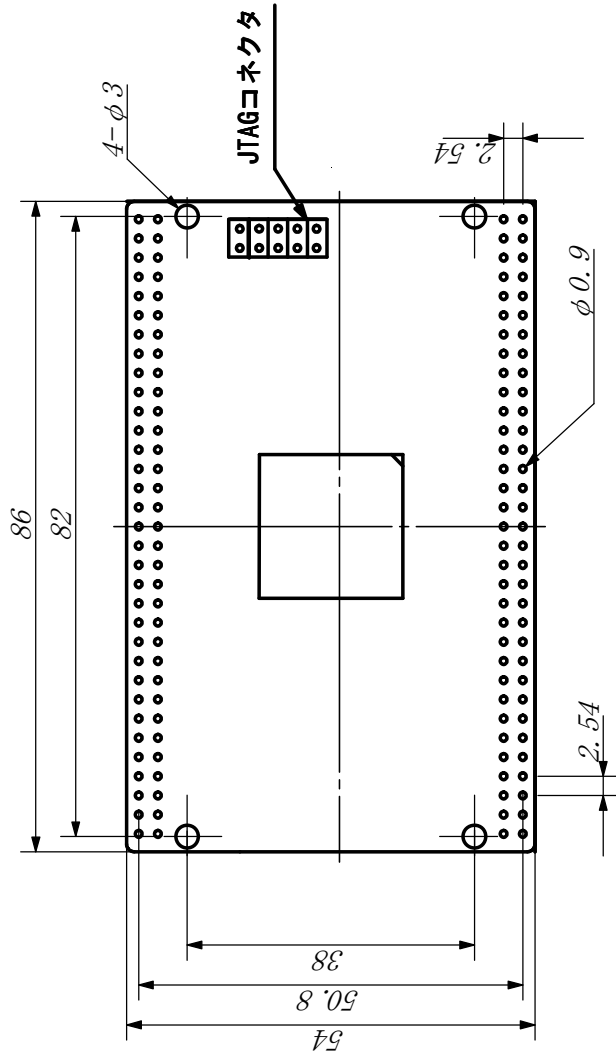
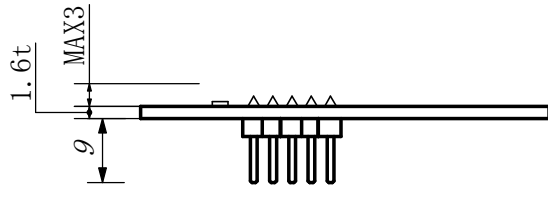
http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

10. 付属資料

1. 基板回路図



HUMANDATA		UNIT	TITLE
CHK	DWG	SIZE	ACM-004 外形寸法図
		DWG NO	G-ACM-004
		REV	4

Cyclone ブレッドボード
ACM-004-6
ユーザーズマニュアル

2004/12/13 初版	2005/02/09 第2版
2005/06/13 第3版	2005/07/27 第4版
2006/05/15 第5版	2006/11/27 第6版
2008/03/10 第7版	

2009/04/30 第8版 (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
