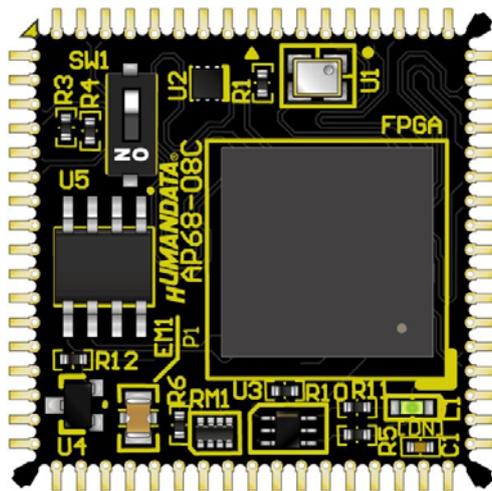




PLCC68 MAX 10 FPGA モジュール
AP68-08 シリーズ
ユーザーズマニュアル
Ver.1.0



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 開発環境	2
2. 仕様	2
3. 製品説明	3
3.1 各部名称	3
3.2 ピン配置	4
3.3 電源	5
3.4 クロック	5
3.5 設定スイッチ	5
3.6 SPI-FLASH メモリ	5
4. A/D 変換入力	6
5. FPGA コンフィギュレーション	7
5.1 JTAG 信号	7
5.2 バウンダリスキャン	7
5.3 FPGA 内蔵コンフィグ ROM 用ファイル (pof ファイル) の作成	8
5.4 FPGA 内蔵コンフィグ ROM アクセス	9
6. PLCC ソケットへの実装	9
7. サポートページ	10
8. お問い合わせについて	10

● はじめに

この度は PLCC68 MAX 10 FPGA モジュール AP68-08 シリーズをお買い上げいただきまして、誠にありがとうございます。

AP68-08 は、ALTERA 社の高性能 FPGA MAX 10 シリーズを 68 ピン PLCC サイズに変換した FPGA モジュールです。電源回路、クロックなどを装備した、使いやすいモジュールになっています。

ディップタイプの 68 ピン PLCC ソケットを用いて、2.54mm ピッチのユニバーサル基板に実装が可能です。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れしないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2015/07/09	1.0	・初版発行

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 仕様

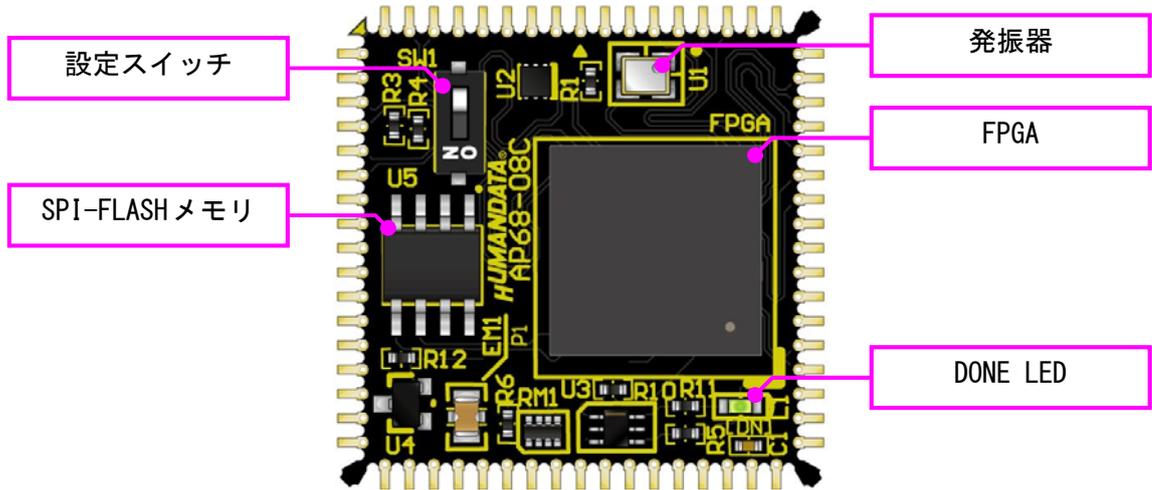
製品型番	AP68-08-04	AP68-08-08	AP68-08-16
搭載 FPGA	10M04SAU169C8G	10M08SAU169C8GES (*1)	10M16SAU169C8G
電源	DC 3.3[V]		
コンフィグ ROM	FPGA 内蔵		
ユーザ I/O	50 本		
I/O バンク	2 系統 (VIOA, VIOB)		
クロック	オンボード 50MHz、外部入力 4 本 (ユーザ I/O と共通)		
A/D 入力チャンネル	8 (汎用 I/O と並列)		
A/D 用参照電源	オンボード 2.5[V]		
SPI-FLASH メモリ	M25P16 (Micron, 16Mbit)		
I/O 電源 (VIOA/VIOB)	1.2[V] ~ 3.3[V] (FPGA のデータシートを参照)		
消費電流	FPGA デザインに依存		
外形寸法	25.3 x 25.3 [mm] (約 5.0mm 厚)		
質量	約 4 [g]		
プリント基板	ガラスエポキシ 6 層基板 2.0t		
リセット信号	コンフィグ用リセット信号 (typ. 240ms)		
ステータス LED	DONE (緑)		
挿抜耐久	10 回以上 (対 PLCC ソケット) TBD		

*これらの部品や仕様は、改良等の為、予告無く変更となる場合がございます

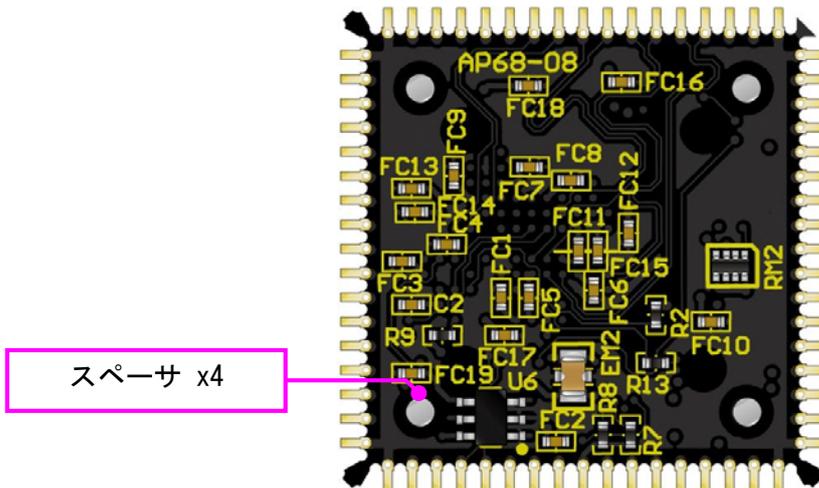
(*1) ES 品デバイスには ALTERA 社の公開する、または隠れた不具合が含まれる事があります

3. 製品説明

3.1 各部名称

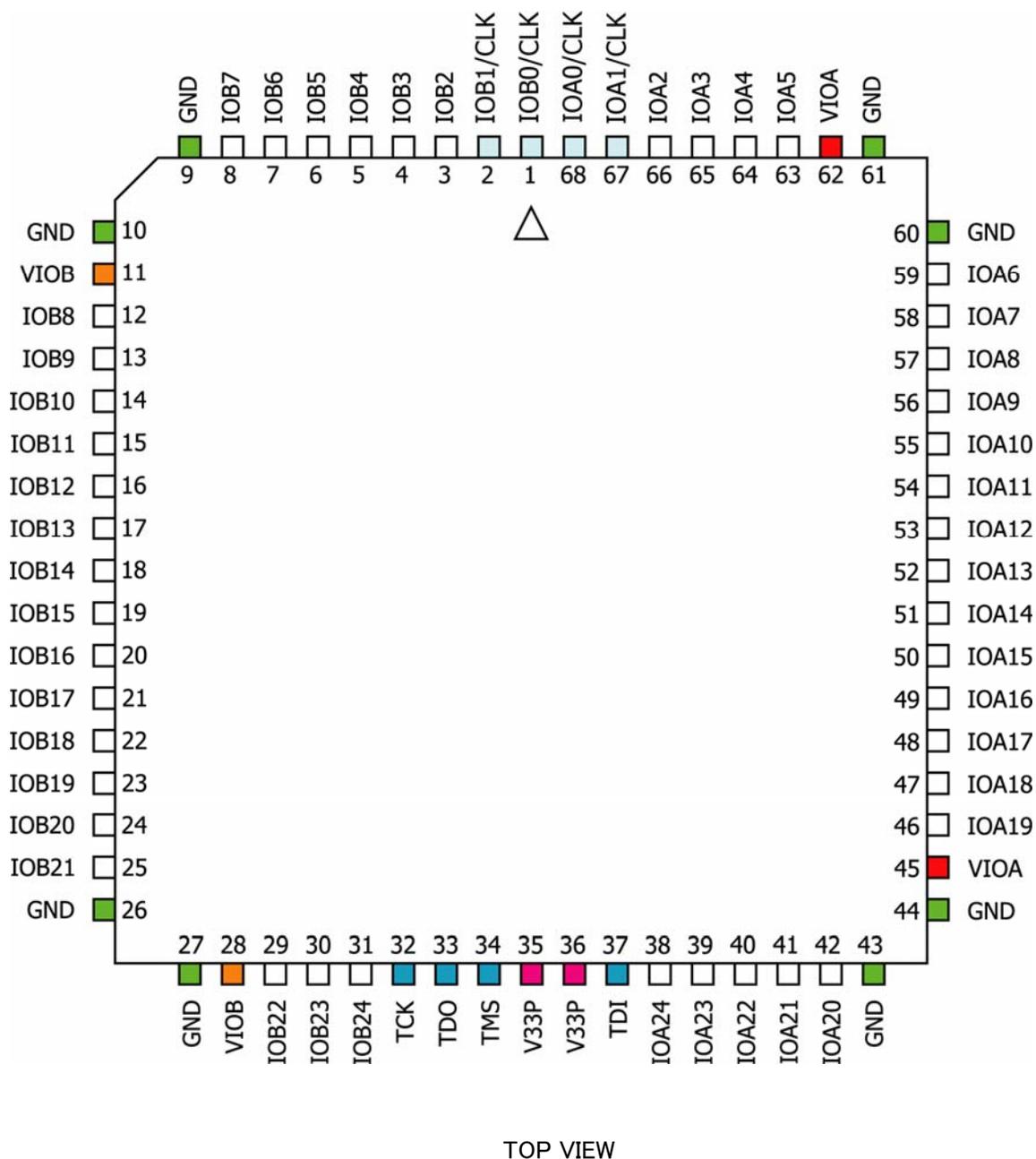


表面



裏面

3.2 ピン配置



3.3 電源

電源入力ピン(V33P)には 3.3V を供給してください。外部から供給する 3.3V 電源は充分安定して、余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

VIOA(45,62), VIOB(11,28)には任意の I/O 電圧を入力して下さい。未入力には出来ませんのでご注意下さい。

詳しくは FPGA のデータシートや回路図などを参照してください。

3.4 クロック

オンボードクロックとして 50MHz(U1)を搭載しています。IOA(0/1), IOB(0/1)より外部クロックを入力することも可能です。詳しくは回路図を参照してください。

3.5 設定スイッチ

MAX 10には最大2つのコンフィギュレーションイメージを格納でき、電源投入時にどちらから起動するかを選択できます。詳しくは ALTERA 社のコンフィギュレーションユーザーガイド等をご参照ください。

SW1

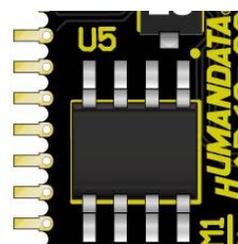
番号	1
記号	CONFIG_SEL
説明	コンフィギュレーション イメージの選択

CONFIG_SEL 設定	起動イメージ
ON (Low)	イメージ 0
OFF (High)	イメージ 1



3.6 SPI-FLASH メモリ

SPI-FLASH メモリ (U5) を搭載しています。汎用用途に使用できます。

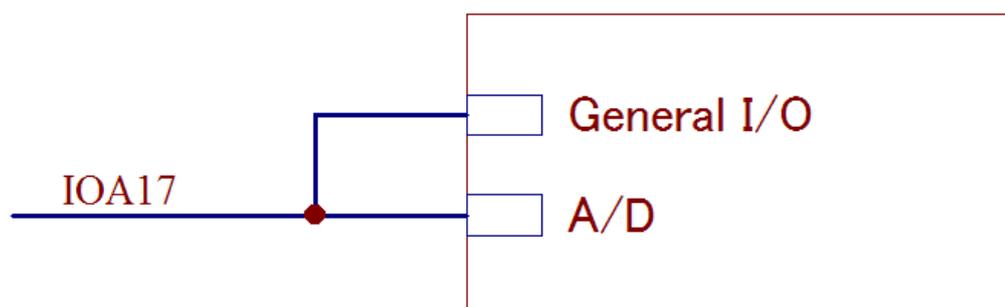


4. A/D 変換入力

A/D 変換入力ピンは汎用 I/O とコネクタピンを兼用しており、内部で並列に接続されています。AD 変換機能を使用する際は汎用 I/O ピンを入力、またはハイインピーダンス設定として使用してください。

各チャンネル入力回路は下記のようになっています。

コネクタ	ネットラベル	A/D 入力	並列に接続される汎用 I/O
		FPGA ピン	FPGA ピン
CN1[48]	IOA17	D1	H13
CN1[47]	IOA18	C2	J12
CN1[46]	IOA19	E3	K12
CN1[42]	IOA20	E4	H8
CN1[41]	IOA21	C1	H9
CN1[40]	IOA22	B1	K11
CN1[39]	IOA23	F1	L12
CN1[38]	IOA24	E1	G12



5. FPGA コンフィギュレーション

JTAG 信号はピンに引き出されています。外部コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションを行います。モジュール外部にてコネクタ等に接続してご使用ください。

内蔵コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

5.1 JTAG 信号

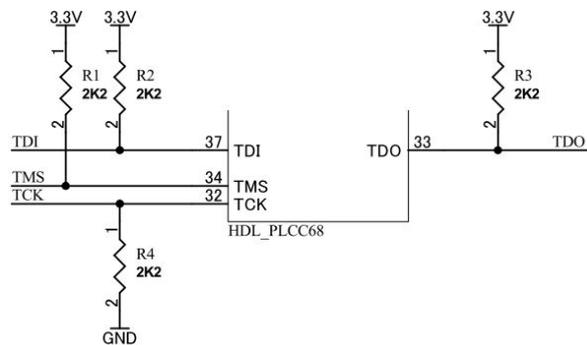
JTAG 信号のピン配置は下表のとおりです。必要な処理を製品外部にて行った上でご使用ください。使用状況に応じて、バッファ等を追加されることをお勧め致します。

未使用の際には、全ピンを GND に接続されるなどの処理をし、オープンにならないようにしてください。

(内部プルアップ、プルダウン抵抗による消費電流が問題になる際には、内部回路の処理に合わせ、GND または V33P への接続をしてください)

誤接続には充分注意してください。

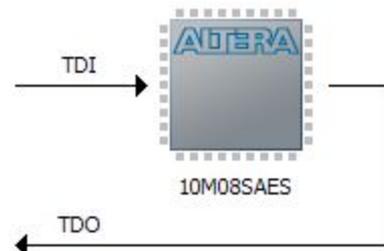
ピン	信号	方向
32	TCK	IN
33	TDO	OUT
34	TMS	IN
37	TDI	IN



(JTAG 信号処理の例)

5.2 バウンダリスキャン

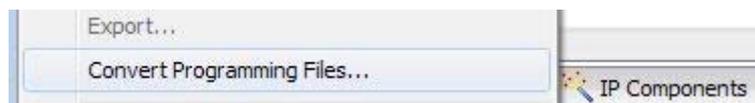
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



5.3 FPGA 内蔵コンフィグ ROM 用ファイル(pof ファイル)の作成

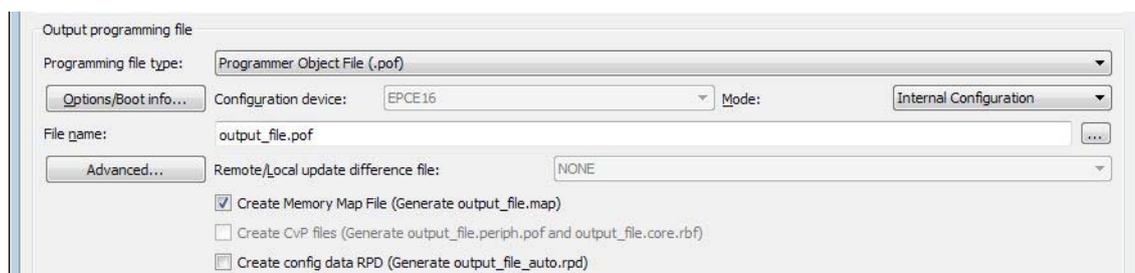
FPGA 内蔵コンフィギュレーション ROM へ書き込むためには pof ファイルが必要となります。作成手順を以下に示します。

(1)QuartusII の【File】から、【Convert Programming Files..】をクリックします



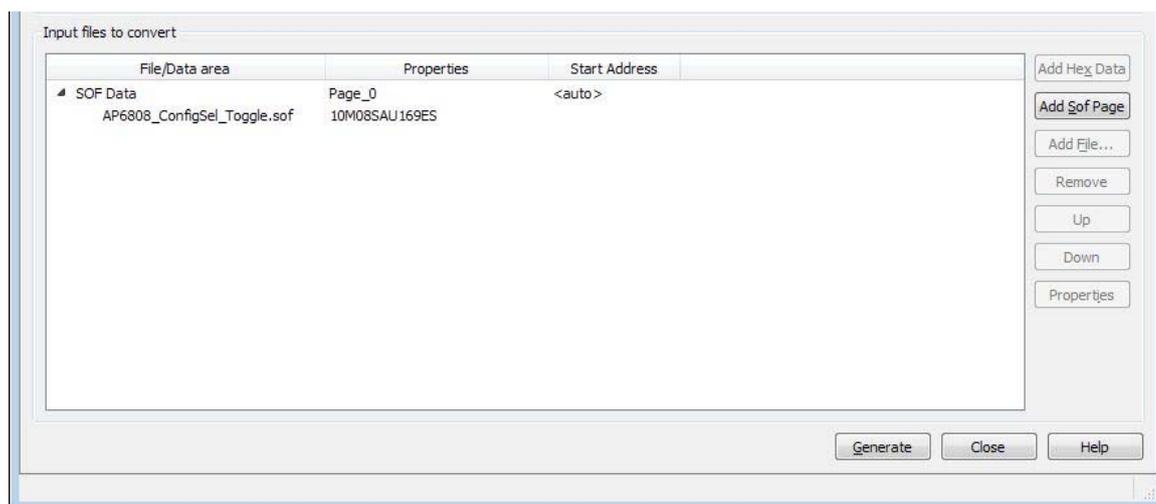
(2) 設定画面にて必要な項目を設定します

- 【Programming File type】: Programmer Object File (.pof)
- 【File name】: 任意
- 【Configuration device】: EPCE*
- 【Mode】: Internal Configuration



(3) 【SOF Data】を選択し【Add File...】をクリックします

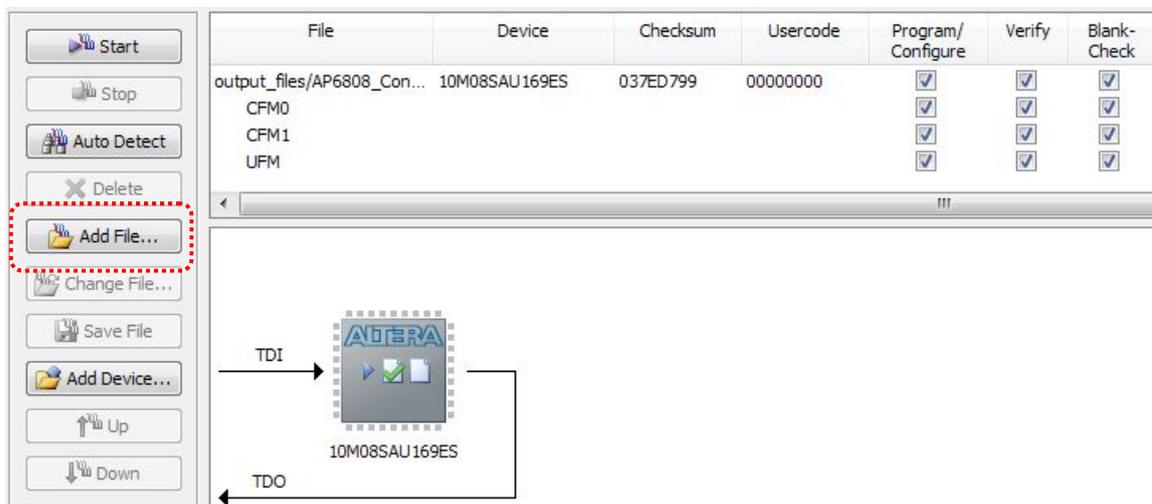
(4) 変換する sof データを選択し【OK】をクリックします



(5) 【Generate】をクリックします

5.4 FPGA 内蔵コンフィグ ROM アクセス

バウンダリスキャン画面にて、「Add File」ボタンから POF ファイルを開きます。実行する各項目のボックスにチェックをいれ、「Start」ボタンをクリックしてください。



6. PLCC ソケットへの実装

AP68-08 は 68 ピン PLCC ソケットへ実装してご使用頂くことを想定しております。裏面にスペーサを設置していますので、PLCC ソケットによっては、ソケット側のスペーサと本体のスペーサやその他部品とが干渉する可能性があります。PLCC ソケットの選択にはご注意ください。

PLCC ソケットへの挿入・取外しの際には充分お気を付け下さい。

弊社では下記 PLCC ソケットにて搭載・動作確認を行っております。

タイプ	メーカー	メーカー型番
ディップ型	Tyco Electronics	1-822473-6
表面実装	山一電機	IC160Z-0684-240
		IC160Z-0684-300

7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/PLCC/ap68-08/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- ネットリスト
- 外形図 ...等

また下記サポートページも合わせてご活用ください。

<http://www3.hdl.co.jp/spc/>

8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

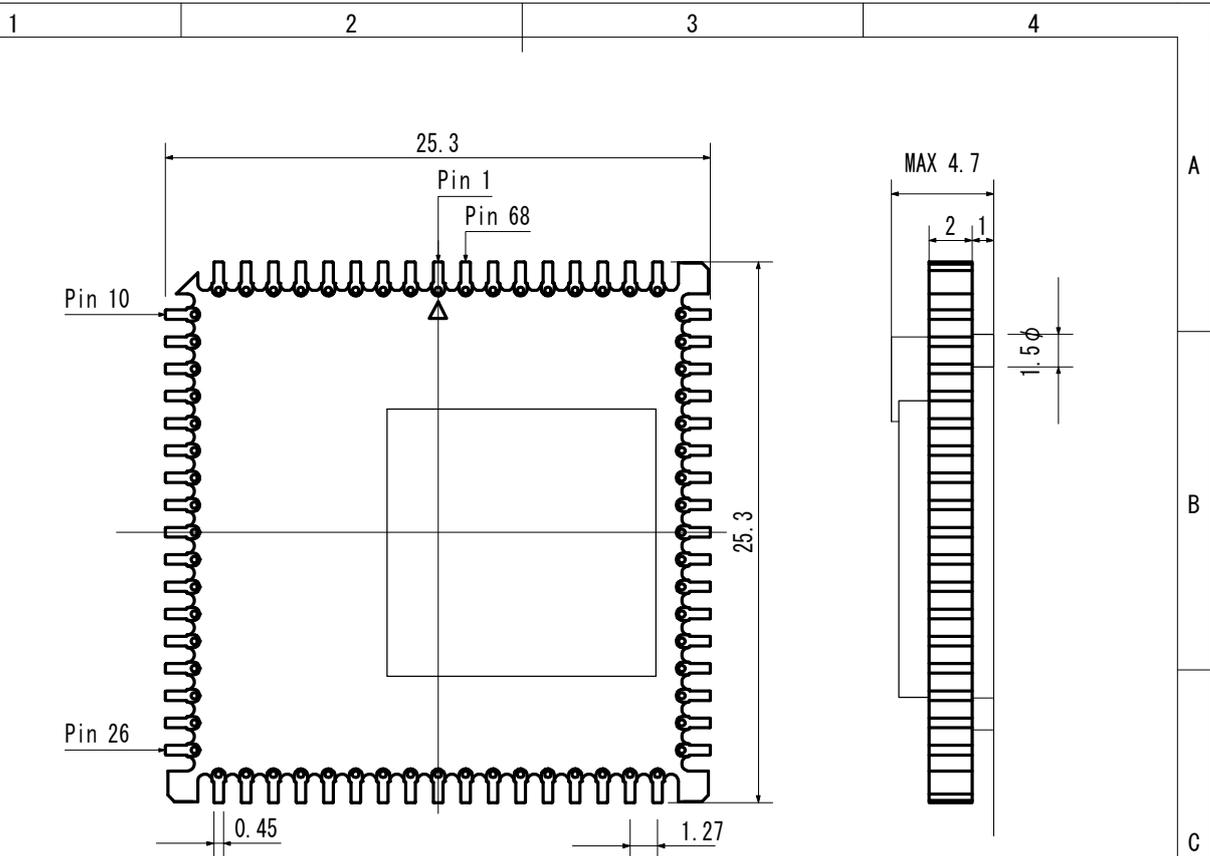
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

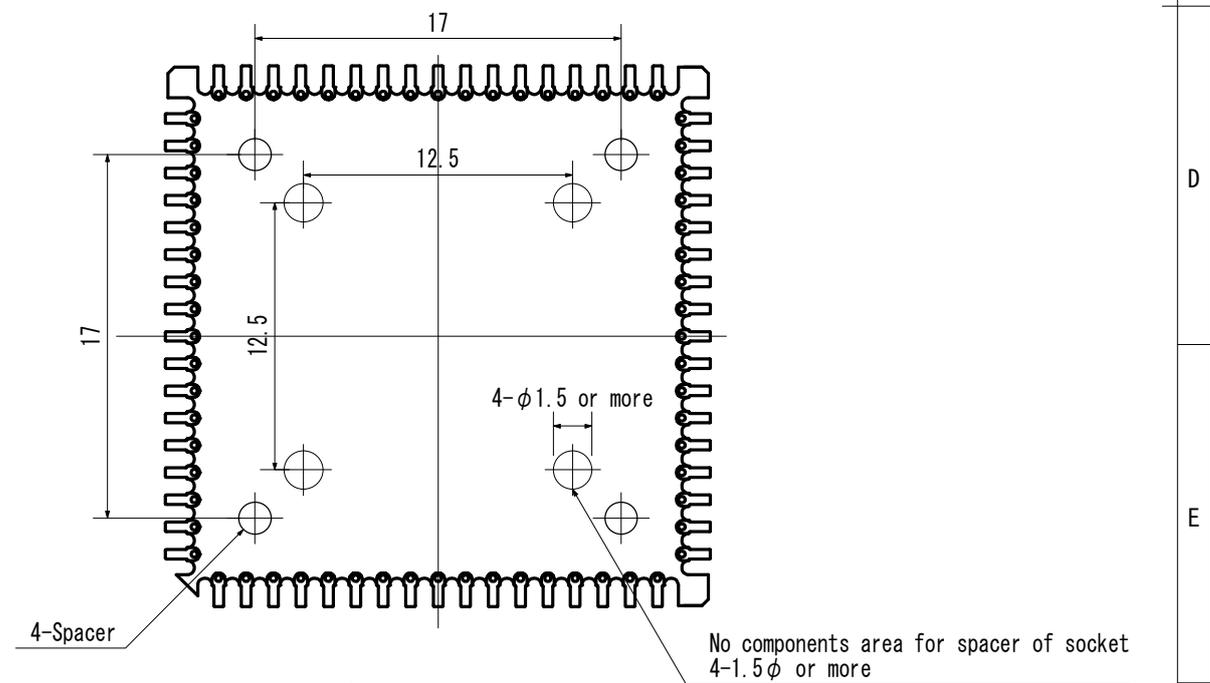
おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



Top View

Side View



Bottom View

HUMAN DATA		UNIT	TITLE	
CHK	DWG	mm	AP68-08 Outline Drawing	
		SCALE	DWG NO	REV
		-	AP6808R1-DWG-A	A

PLCC68 MAX 10 FPGA モジュール
AP68-08 シリーズ
ユーザーズマニュアル

2015/07/09 Ver.1.0 (初版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
