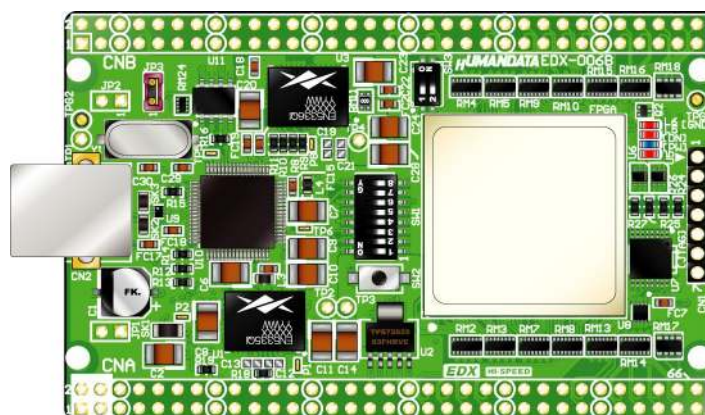


Virtex-5 USB-FPGA ボード
EDX-006
ユーザーズマニュアル
初版



目次

● はじめに	3
● ご注意	3
1. 製品の内容について	4
2. 仕様	4
3. 製品説明	5
3.1. 各部名称	5
3.2. ブロック図	6
3.3. 電源	7
3.4. クロック	7
4. 開発環境	7
5. USB ドライバ	8
5.1. インストール	8
5.2. アンインストール	10
6. FPGA コンフィギュレーション	11
6.1. ダウンロードケーブル	11
6.2. ディップスイッチ	11
6.3. USB コンフィギュレーション	12
6.4. JTAG コンフィギュレーション	12
7. コンフィギュレーション ROM	13
7.1. プログラミングファイルの作成	13
7.2. 書込み	14
7.3. 消去	14
7.4. FPGA へのコンフィギュレーション	14
8. FT2232H 用 EEPROM の初期値 (参考)	15
9. FPGA ピン割付け表	16
9.1. ユーザ I/O (CNA)	16
9.2. ユーザ I/O (CNB)	17
9.3. オンボードクロック	18
9.4. 外部クロック入力	18
9.5. USB インタフェース	18
9.6. MRAM [MR2A16AYS35]	19
9.7. 汎用スイッチ	20
9.8. 汎用 LED	20
10. サポートページ	20
11. 付属資料	20

● はじめに

この度は USB-FPGA ボード EDX-006 をお買い上げいただきまして、誠にありがとうございます。
 います。



Virtex-5 搭載 USB-FPGA ボード EDX-006 は USB インタフェースをもつ PC に接続し、XILINX 社の開発ソフト (ISE) などにより設計した回路を USB 経由でコンフィギュレーションできるボードです。

USB インタフェースに FTDI 社の FT2232H を採用しており、Ch. A をアプリケーション通信に、Ch. B をコンフィギュレーション用に使用できます。アプリケーション通信は仮想 COM ポートドライバにより行うことができます。

EDX-006 は専用コンフィギュレーションソフト (exe ファイル 1 本) により、bit ファイルさえあれば、XILINX 社の開発環境をインストールしていなくても FPGA へのコンフィギュレーションが行えますので、検査治具などにも便利にご利用いただけます。

[コンフィギュレーション ROM への書き込みには、XILINX 社対応ダウンロードケーブルが別途必要になります。](#)

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。 万一、不足などがございましたら、弊社宛にご連絡ください。

USB-FPGA ボード EDX-006	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

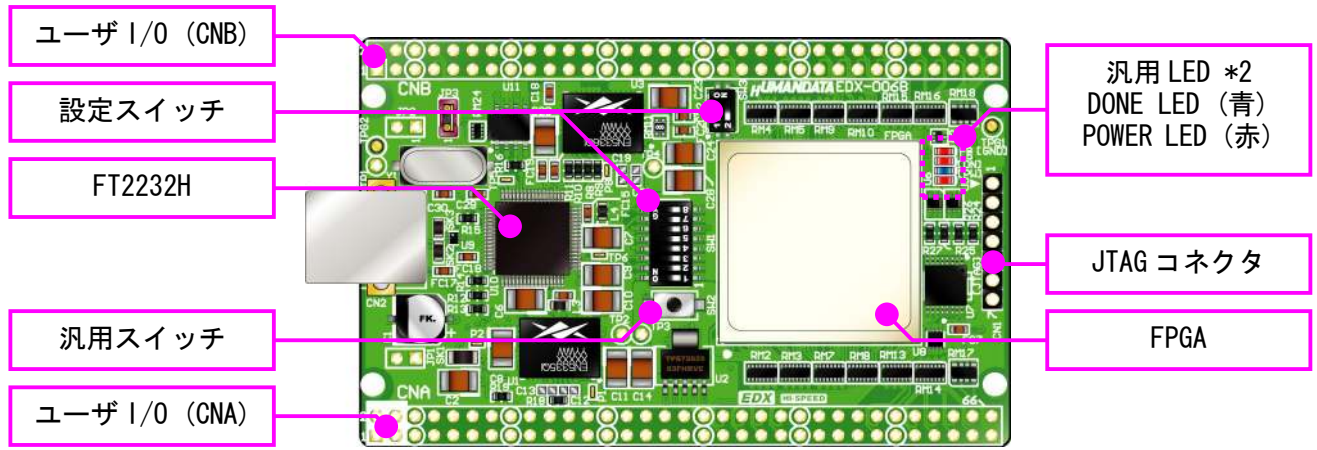
2. 仕様

製品型番	EDX-006
搭載 FPGA	XC5VLX30-1FFG676C
USB インタフェース	FT2232H (FTDI)
電源	DC 5.0 [V]（セルフパワー）
コンフィグ ROM	M25P16-VMF6P (STMicro, 16Mbit) *
MRAM	MR2A16AYS35 (EverSpin, 4Mbit) *
消費電流	N/A（詳細は FPGA データシートをご参照ください）
外形寸法	86 x 54 [mm]
質量	約 42 [g]
ユーザー I/O	100 本
汎用スイッチ	1
汎用 LED	2
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] x2 組 2.54mm ピッチ *
プリント基板	ガラスエポキシ 6 層基板 1.6t
クロック	オンボード 50MHz（外部供給可能） *
コンフィグ用リセット回路	内蔵 (200ms typ.) *
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ *
ステータス LED	2 個： POWER（赤）， DONE（青） *
付属品	DIL80 ピンヘッダ 2 個（任意にカット可能） *
	USB ケーブル (1.8m) *

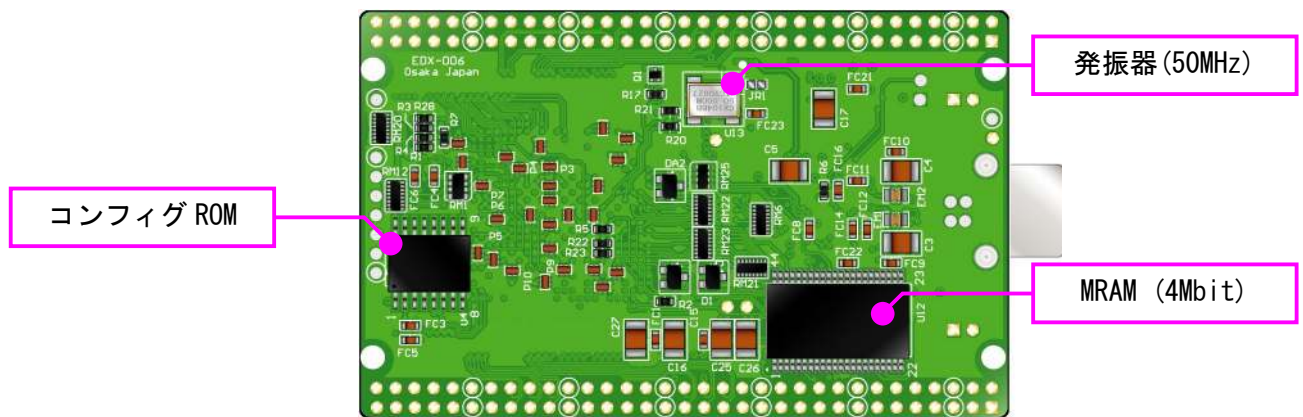
* 互換品と変更になる場合がございます

3. 製品説明

3.1. 各部名称

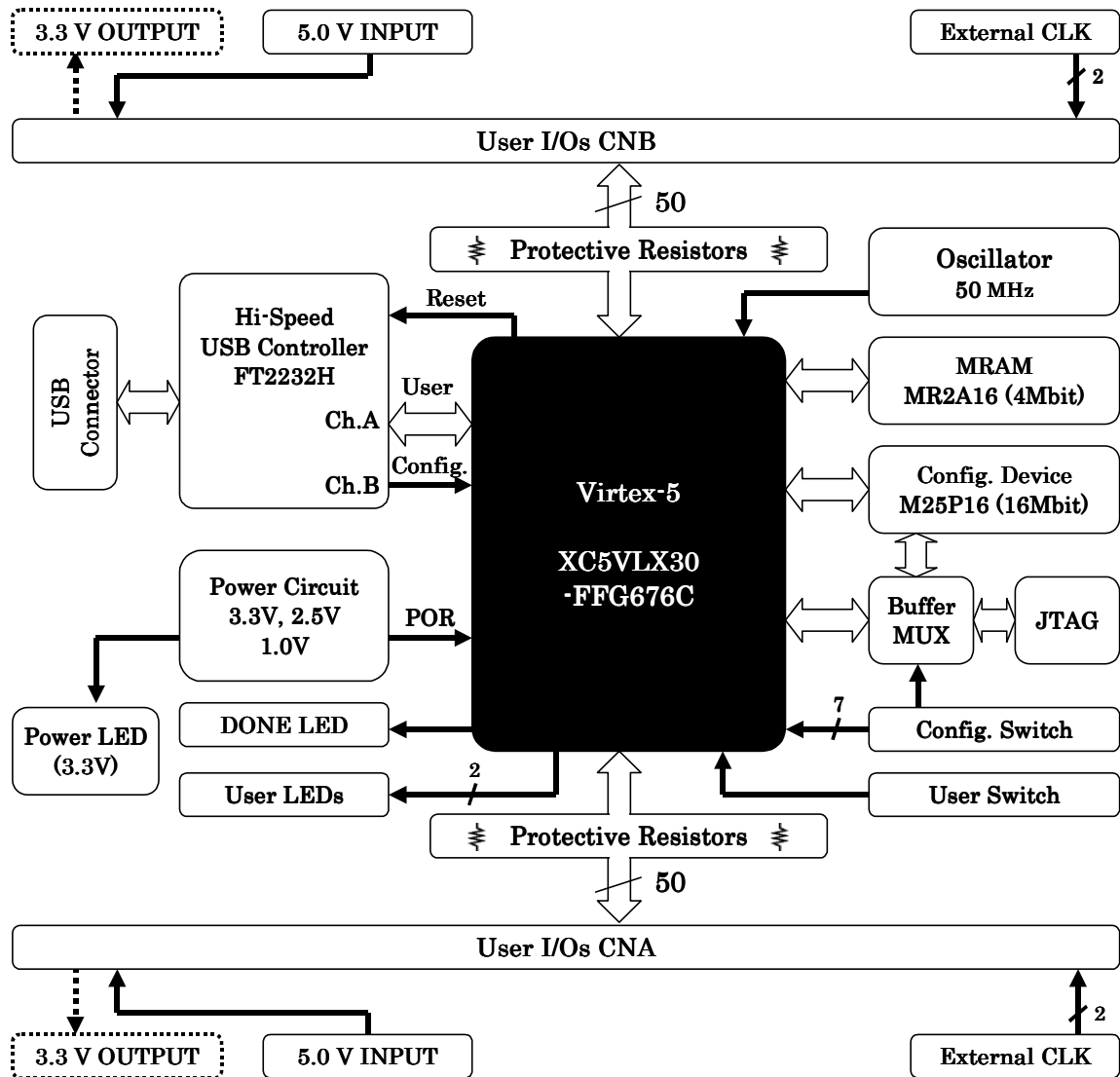


部品面



はんだ面

3.2. ブロック図



3.3. 電源

電源は CNA, CNB より 5V を供給してください。FT2232H はセルフパワーで動作します。バスパワーはご使用になれませんのでご注意ください。

内部で必要になる 3.3V、2.5V、1.0V はオンボードレギュレータにより生成されます。外部から供給する 5.0V 電源は充分安定して、充分な余裕のあるものをご用意ください。立ち上がりは単調増加である必要があります。

詳しくは FPGA のデータシートや回路図などを参照してください。

3.4. クロック

FT2232H へはクリスタルにより 12MHz を、FPGA へは発振器より 50MHz を供給します。

FPGA へは CNA, CNB を介して外部クロックを供給することが可能です。

詳しくは回路図、ピン割付け表をご参照ください。

4. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

製品開発時の ISE 環境は Ver. 10.1.03 です。

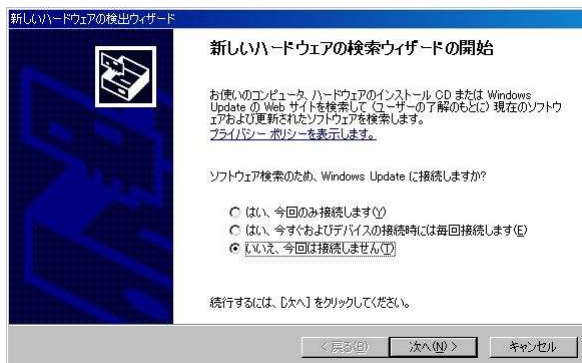
5. USB ドライバ

5.1. インストール

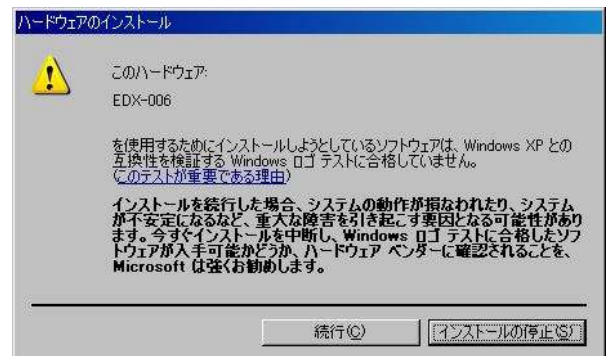
FPGA へのコンフィギュレーションと USB ユーザ通信には、FTDI 社の提供するドライバを PC にインストールする必要があります。ドライバファイルはサポートページにてダウンロードできます。

本章で説明するインストール作業が完了後、USB からの FPGA コンフィギュレーションが可能になります。次の手順に従ってインストール作業を完了してください。

本マニュアルは Windows XP を例に作成しています。



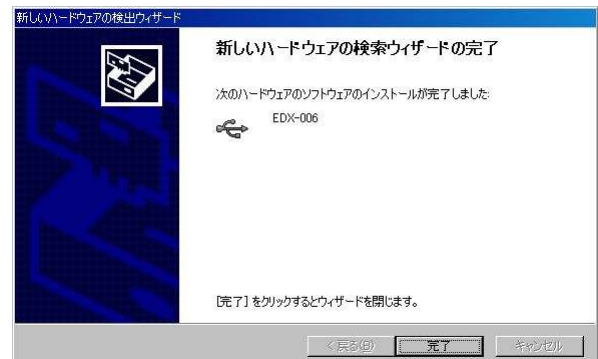
1. 「いいえ、今回は接続しません」とし「次へ」をクリックしてください。



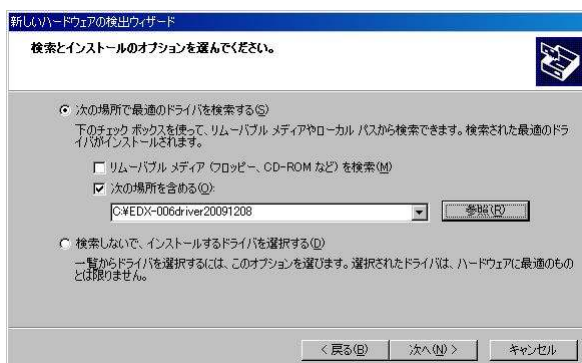
4. 警告が表示されますが「続行」をクリックしてください。



2. 「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください。



5. 「完了」をクリックしてください。



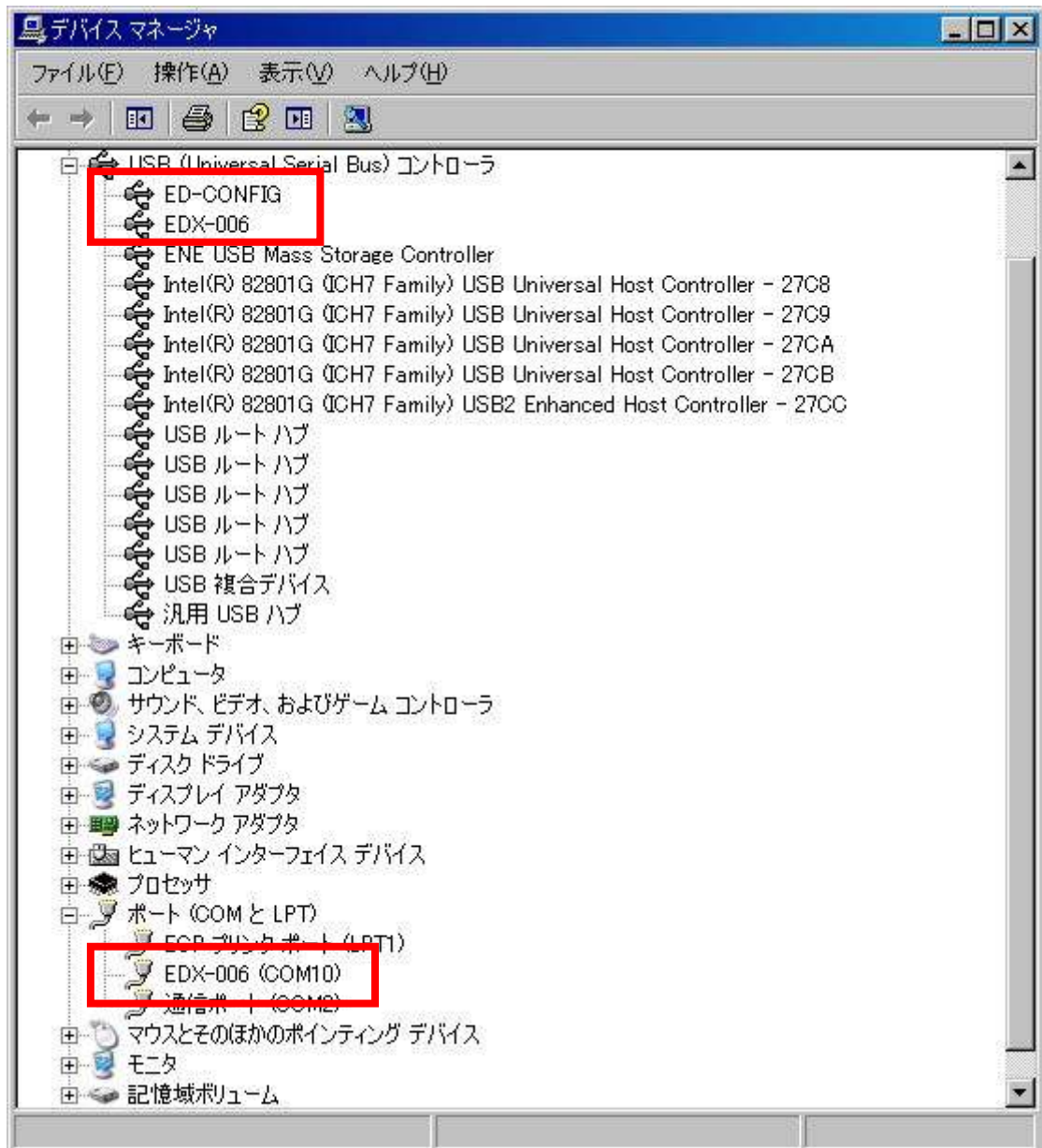
3. ドライバフォルダを指定し「次へ」をクリックしてください。

6. 続けて
 ・ ED-CONFIG
 ・ USB Serial Port
 が認識されます。同様の手順を繰り返してください。

これでドライバの組み込みが完了しました。デバイスマネージャで確認すると下図のようになっているはずです。COMポート番号はお客様の環境により異なります。COMポート番号を確認するためにも一度ご確認を御願いたします。

デバイスマネージャは、**マイコンピュータのプロパティ**を選択し、**ハードウェアタブ**から**デバイスマネージャのボタン**をクリックするか、**マイコンピュータの管理**から、**デバイスマネージャ**をクリックするかのいずれかの方法で起動することができます。

新しいドライバが提供されたときは、弊社のサポートページの説明に従ってください。



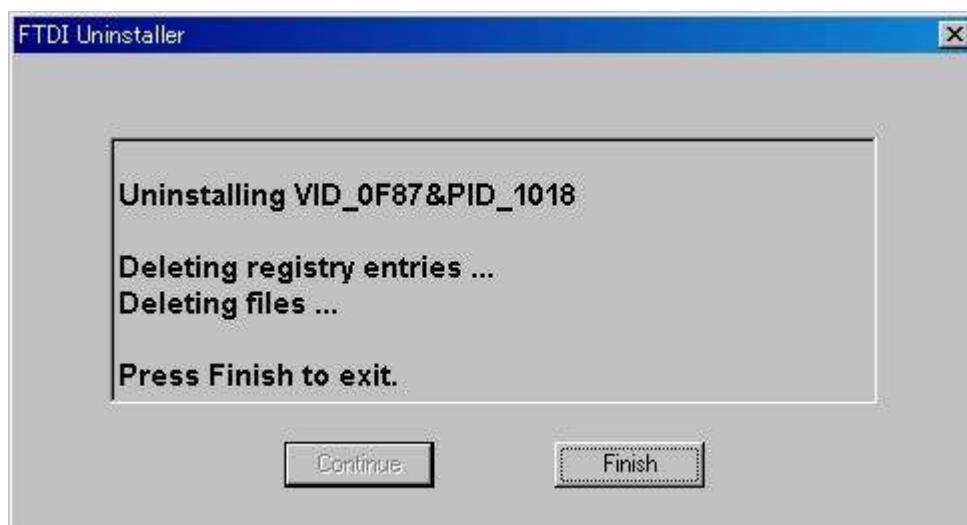
5.2. アンインストール

コントロールパネルの「アプリケーションの追加と削除」から「EDX-006 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。

アンインストールは PC と EDX-006 を接続しない状態で行ってください。



1. 「Continue」をクリックします



2. 「Finish」をクリックすれば完了です。

6. FPGA コンフィギュレーション

6.1. ダウンロードケーブル

FPGA へのコンフィギュレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。

[コンフィギュレーション ROM をご使用になる際は XILINX 社対応ダウンロードケーブルが必要です。](#)

6.2. ディップスイッチ

SW3 により書込み方法を切り替えることが可能です。

SW3

番号	1	2
USB	OFF	OFF
JTAG	X	ON

ON	: LOW (0)
OFF	: HIGH (1)

X : Don't Care

SW1 により JTAG の動作モードなどを変更することが可能です。各ピンの詳細については Virtex-5 ユーザガイドをご参照ください。

SW1

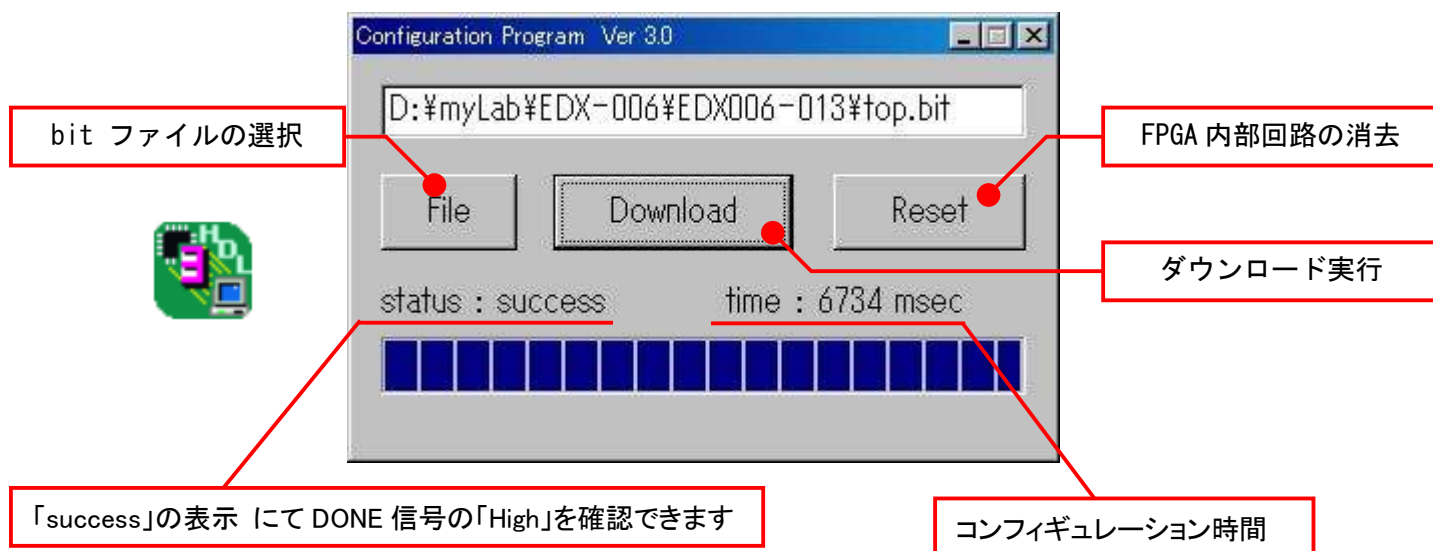
番号	1	2	3	4	5	6	7	8
記号	FS0	FS1	FS2	HSWAP_EN	X_M2	X_M1	X_M0	X_PROG
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	SPI モード変数設定			IO Pull-up	モード設定			ターゲット指定

	マスタ SPI	スレーブシリアル	JTAG
X_M[2..0]の設定値	0 : 0 : 1	1 : 1 : 1	1 : 0 : 1

- **FS0, FS1, FS2**
SPI モード変数設定ピンです。
- **HSWAP_EN**
コンフィギュレーション中の I/O の状態をコントロールします。
ON : プルアップ
OFF : トライステート
- **M2, M1, M0**
動作モードを設定します。上表に示したモードは一部のものです。
- **X_PROG**
JTAG による書込み対象を選択します。
ON : コンフィギュレーション ROM
OFF : FPGA

6.3. USB コンフィギュレーション

弊社アプリケーション「BitCfg.exe」をご使用ください。コンフィギュレーションモードをスレーブシリアルとし、書き込み対象をFPGAとする必要があります。詳しくは6.2節を参照してください。



BAT ファイルを使用して頂くことで、より便利にお使い頂けます。使用できる変数は下記の3つです。

- ・/D= : FT2232 Ch. B のディスクリプション (“EDX-006 HuMANDATA B” 固定)
- ・/C= : コンフィギュレーションレートを指定します
(最大 800000 程度でご使用ください)
- ・/F= : bit ファイルをフルパスで指定します

(使用例)

BitCfg /D="EDX-006 HuMANDATA B" /C=500000 F=D:\myLab\EDX-006\top.bit

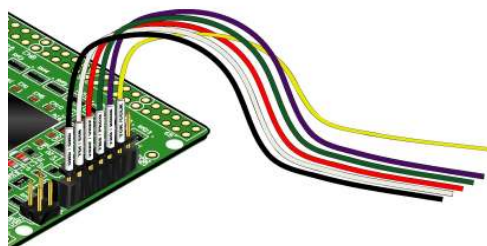
6.4. JTAG コンフィギュレーション

FPGA へのコンフィギュレーション、及び内部マスタ SPI Flash モード時に使用します。ピン配置は次表のとおりです。弊社製ダウンロードケーブル XC3 や XILINX 社の純正ケーブルをお使い頂けます。ケーブル接続時は誤接続に注意してください。

CN1

信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT	5
TDI	IN	6
GND	I/O	7

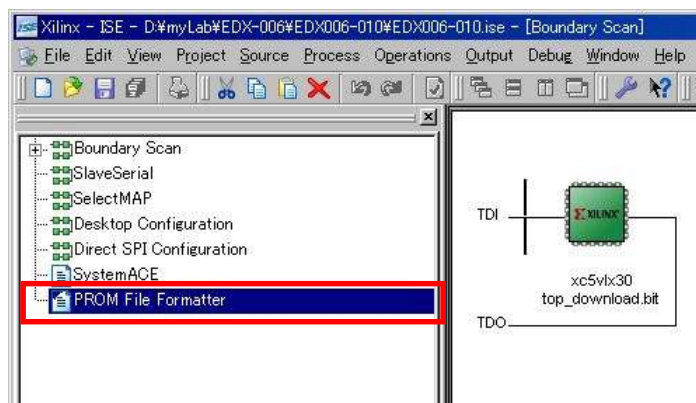
接続例



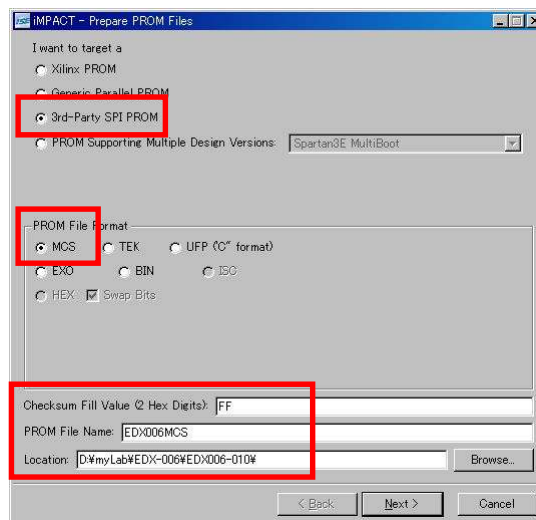
7. コンフィギュレーション ROM

7.1. プログラミングファイルの作成

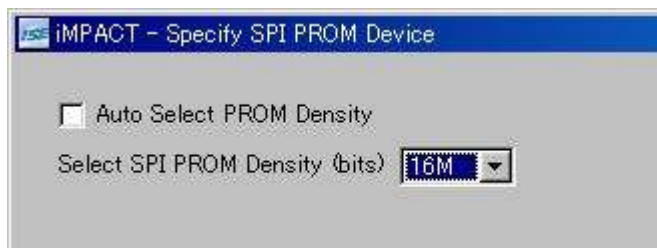
コンフィギュレーション ROM へ書き込むためのファイル (MCS) の作成方法を以下に示します。



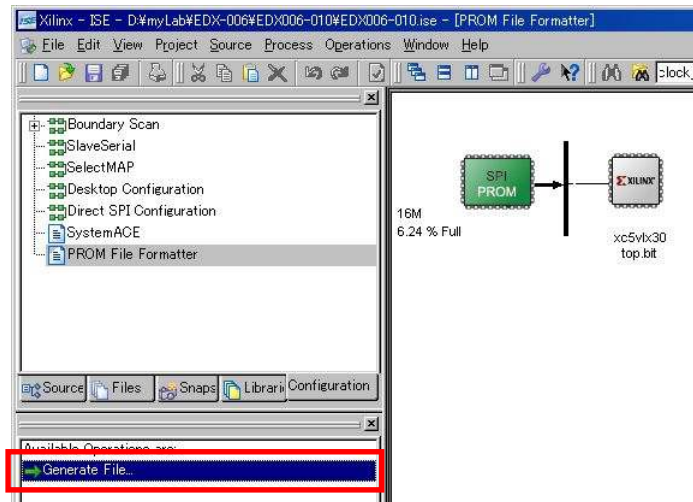
1. iMPACTにて「PROM File Formatter」をダブルクリックします。



2. Targetに「3rd-Party SPI PROM」を選択し、各必要項目を入力します。



3. 「Select SPI PROM Density (bits)」へ「16M」を選択し、Next をクリックします。
4. 使用する bit ファイルを選択します。



5. iMPACT Processes のタブにある「Generate File…」をダブルクリックします。
6. 「PROM File Generation Succeeded」と表記されれば完了です。

7.2. 書込み

コンフィギュレーションROMに書込みする際、コンフィギュレーションモードをマスタSPIに設定する必要があります。下記のように設定しiMPACTから書込みを行ってください。詳細は6.2をご参照ください。

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		■
OFF	X	X	X	X			■	

X : Don't Care

7.3. 消去

デバイスアイコンを選択し、右クリックから「Erase…」をクリックします。成功すると「Erase Succeeded」と表記されます。

7.4. FPGA へのコンフィギュレーション

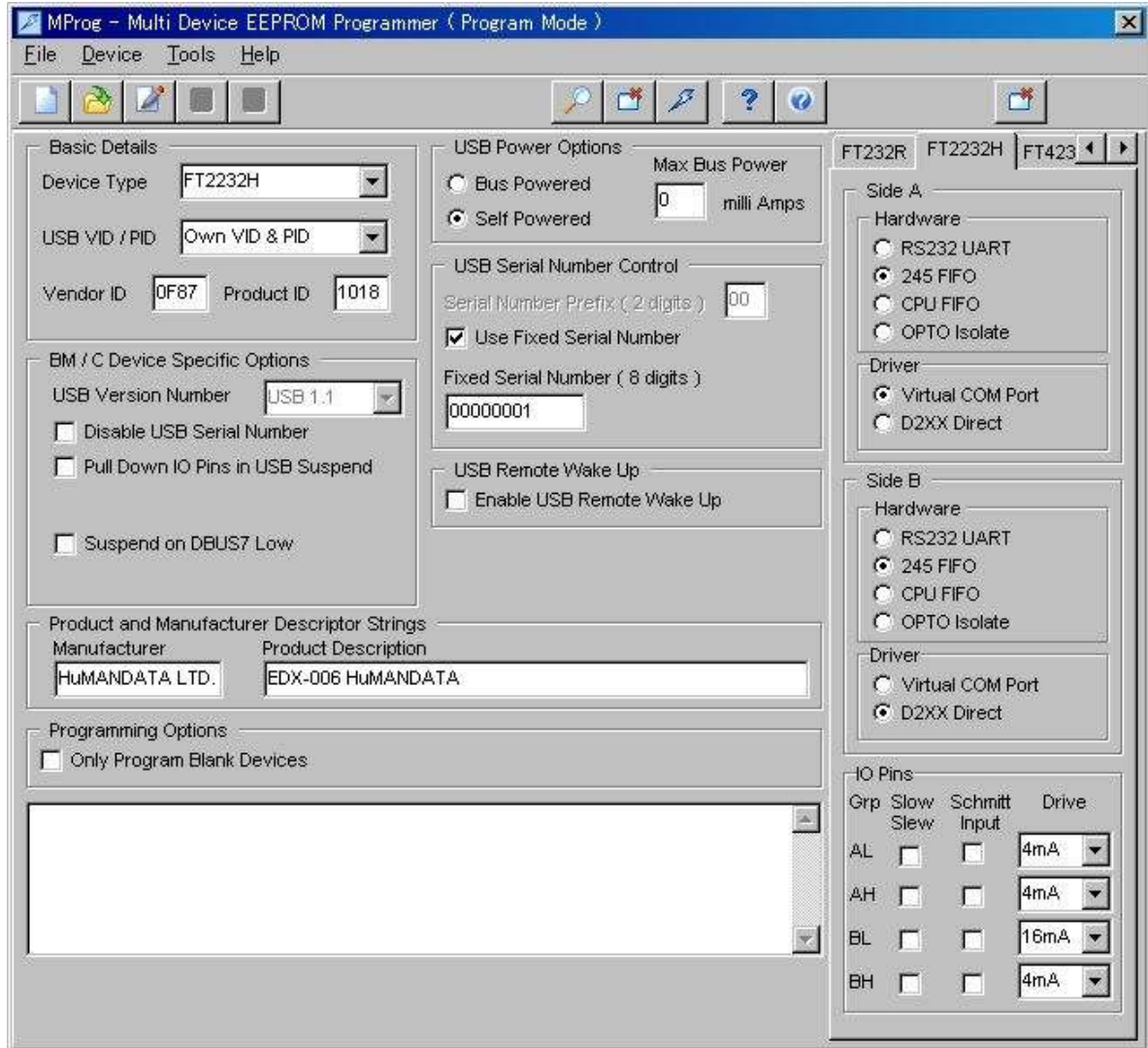
コンフィギュレーションROMからFPGAにコンフィギュレーションする場合は、設定スイッチを下記のように設定してください。

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		
OFF	X	X	X	X			■	■

X : Don't Care

8. FT2232H 用 EEPROM の初期値（参考）

出荷時には下図のように設定されております。



(MPROG Version 3.5)

9. FPGA ピン割付け表

9.1. ユーザ I/O (CNA)

NET LABEL	FPGA Pin	CNA		FPGA Pin	NET LABEL
	3.3V *1 (Output)	1	2	3.3V *1 (Output)	
	5V (input)	3	4	5V (input)	
	GND	5	6	GND	
IOA0	A3	7	8	A2	IOA1
IOA2	B2	9	10	B1	IOA3
IOA4	C1	11	12	D1	IOA5
IOA6	E2	13	14	E1	IOA7
	GND	15	16	GND	
IOA8	F2	17	18	G2	IOA9
IOA10	G1	19	20	H1	IOA11
IOA12	H2	21	22	J1	IOA13
IOA14	K1	23	24	L2	IOA15
	GND	25	26	GND	
IOA16	M2	27	28	M1	IOA17
IOA18	N2	29	30	N1	IOA19
IOA20	P1	31	32	R1	IOA21
IOA22	R2	33	34	T2	IOA23
	GND	35	36	GND	
IOA24	U1	37	38	U2	IOA25
IOA26	V1	39	40	V2	IOA27
IOA28	Y2	41	42	AA2	IOA29
IOA30	AB2	43	44	AB1	IOA31
	GND	45	46	GND	
IOA32	AC2	47	48	AC1	IOA33
IOA34	AD1	49	50	AE1	IOA35
IOA36	AE2	51	52	AF2	IOA37
IOA38	AE3	53	54	AF3	IOA39
	GND	55	56	GND	
IOA40	AC4	57	58	AC3	IOA41
IOA42	AD4	59	60	AD3	IOA43
IOA44	AB7	61	62	AC6	IOA45
IOA46	AD5	63	64	AD6	IOA47
IOA48 *2	AF4	65	66	AF5	IOA49 *3

*1 3.3V 出力。使用する場合は JP1 をショートしてください

*2 抵抗アレイ (RM17) を介して CLK_EX1 に接続しています

*3 抵抗アレイ (RM17) を介して CLK_EX2 に接続しています

9.2. ユーザ I/O (CNB)

NET LABEL	FPGA Pin	CNB		FPGA Pin	NET LABEL
	3.3V *4 (Output)	1	2	3.3V *4 (Output)	
	5V (input)	3	4	5V (input)	
	GND	5	6	GND	
IOB0	A25	7	8	B25	IOB1
IOB2	B26	9	10	C26	IOB3
IOB4	D25	11	12	D26	IOB5
IOB6	E25	13	14	E26	IOB7
	GND	15	16	GND	
IOB8	G26	17	18	H26	IOB9
IOB10	J25	19	20	J26	IOB11
IOB12	K25	21	22	K26	IOB13
IOB14	M25	23	24	M26	IOB15
	GND	25	26	GND	
IOB16	N26	27	28	P26	IOB17
IOB18	R26	29	30	R25	IOB19
IOB20	W26	31	32	W25	IOB21
IOB22	Y26	33	34	Y25	IOB23
	GND	35	36	GND	
IOB24	AB26	37	38	AC26	IOB25
IOB26	M24	39	40	N24	IOB27
IOB28	P24	41	42	P25	IOB29
IOB30	T24	43	44	T25	IOB31
	GND	45	46	GND	
IOB32	U24	47	48	U25	IOB33
IOB34	V23	49	50	V24	IOB35
IOB36	W23	51	52	W24	IOB37
IOB38	Y22	53	54	Y23	IOB39
	GND	55	56	GND	
IOB40	AB25	57	58	AA25	IOB41
IOB42	AB24	59	60	AC24	IOB43
IOB44	AC23	61	62	AC22	IOB45
IOB46	AC21	63	64	AB21	IOB47
IOB48 *5	AB19	65	66	AB20	IOB49 *6

*4 3.3V 出力。使用する場合は JP2 をショートしてください

*5 抵抗アレイ (RM18) を介して CLK_EX3 に接続しています

*6 抵抗アレイ (RM18) を介して CLK_EX4 に接続しています

9.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	GCLK1	D15
	GCLK2	E16
		E17

9.4. 外部クロック入力

コネクタピン	NET LABEL	FPGA Pin
CNA-65	CLK_EX1	F14
CNA-66	CLK_EX2	D13
		E13
CNB-65	CLK_EX3	AC13
CNB-66	CLK_EX4	AC12
		AD11

9.5. USB インタフェース

NET LABEL	FPGA Pin	Operation Mode				
		RS232	245 FIFO (Sync)	Sync/Async Bit-bang	MPSSE	CPU Style FIFO
ADBUS0	B14	TDX	D0	D0	TCK/SK	D0
ADBUS1	A14	RXD	D1	D1	TDI/DO	D1
ADBUS2	B15	RTS#	D2	D2	TDO/DI	D2
ADBUS3	A15	CTS#	D3	D3	TMS/CS	D3
ADBUS4	C16	DTR#	D4	D4	GPIOL0	D4
ADBUS5	B17	DSR#	D5	D5	GPIOL1	D5
ADBUS6	A17	DCD#	D6	D6	GPIOL2	D6
ADBUS7	A18	RI#	D7	D7	GPIOL3	D7
ACBUS0	A8	TXDEN	RXF#	-	GPIOH0	CS#
ACBUS1	B9	-	TXE#	WRSTB#	GPIOH1	A0
ACBUS2	A9	-	RD#	RDSTB#	GPIOH2	RD#
ACBUS3	B10	RXLED#	WR#	-	GPIOH3	WR#
ACBUS4	A10	TXLED#	SIWUA	SIWUA	GPIOH4	SIWUA
ACBUS5	F9	-	CLKOUT *1	-	GPIOH5	-
ACBUS6	B12	-	OE# *1	-	GPIOH6	-
ACBUS7	A12	-	-	-	GPIOH7	-
USB-DET	A19					
XUSBRESET	G14					

*1 Synchronous-FIFO mode

9. 6. MRAM [MR2A16AYS35]

MRAM (U11)		NET LABEL	FPGA Pin
Pin No.	Pin Name		
1	A0	MRAM_A1	N4
2	A1	MRAM_A2	M5
3	A2	MRAM_A3	N3
4	A3	MRAM_A4	M4
5	A4	MRAM_A5	L4
18	A5	MRAM_A6	E3
19	A6	MRAM_A7	D4
20	A7	MRAM_A8	D3
21	A8	MRAM_A9	C2
22	A9	MRAM_A10	C3
23	A10	MRAM_A11	D10
24	A11	MRAM_A12	C9
25	A12	MRAM_A13	D8
26	A13	MRAM_A14	C8
27	A14	MRAM_A15	A7
42	A15	MRAM_A16	C13
43	A16	MRAM_A17	A13
44	A17	MRAM_A18	F13
7	DQL0	MRAM_DQL0	K3
8	DQL1	MRAM_DQL1	K2
9	DQL2	MRAM_DQL2	J4
10	DQL3	MRAM_DQL3	J3
13	DQL4	MRAM_DQL4	H4
14	DQL5	MRAM_DQL5	H3
15	DQL6	MRAM_DQL6	G5
16	DQL7	MRAM_DQL7	F3
29	DQU8	MRAM_DQU8	B7
30	DQU9	MRAM_DQU9	B6
31	DQU10	MRAM_DQU10	A5
32	DQU11	MRAM_DQU11	C4
35	DQU12	MRAM_DQU12	C11
36	DQU13	MRAM_DQU13	B4
37	DQU14	MRAM_DQU14	B5
38	DQU15	MRAM_DQU15	D9
41	G#	MRAM_OE	C12
17	W#	MRAM_WE	G4
6	E#	MRAM_CE	L3
39	LB#	MRAM_BE0	C7
40	UB#	MRAM_BE1	D11

9.7. 汎用スイッチ

SILK	NET LABEL	FPGA Pin
SW2	PSW0	D5

9.8. 汎用 LED

SILK	NET LABEL	FPGA Pin
LED0	LED0	AA23
LED1	LED1	AA22

10. サポートページ

「BitCfg3」「USB ドライバ」は下記より最新のものをダウンロードしご使用ください。

<http://www.hdl.co.jp/EDX-006/index.html>

その他のサポートにつきましては下記アドレスのページをご覧ください。

http://www.hdl.co.jp/support_c.html

搭載デバイスのデータシートは、各社のホームページからダウンロードしてください。

Xilinx 社のホームページ

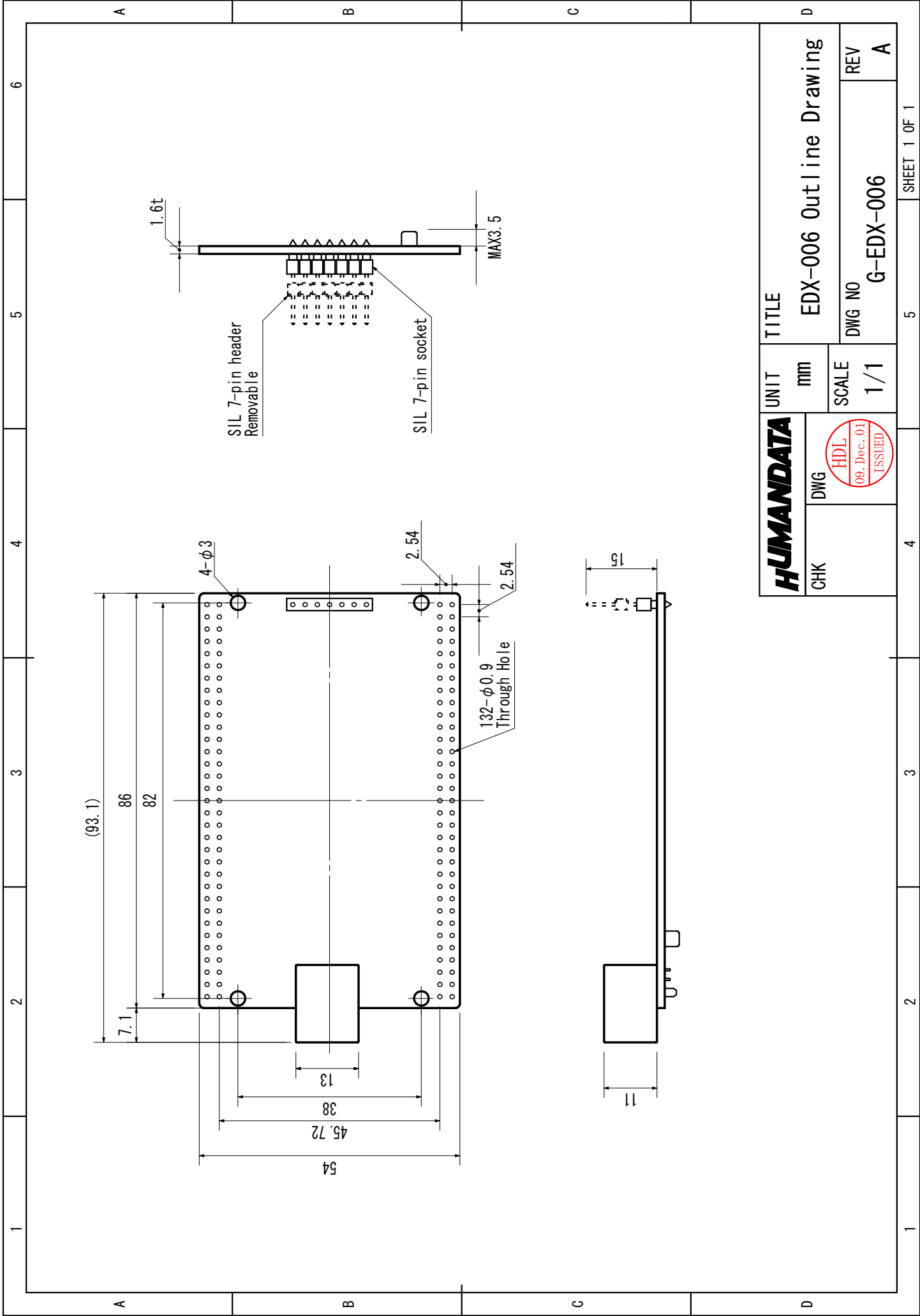
<http://www.XILINX.com/>

FTDI 社のホームページ

<http://www.ftdichip.com/>

11. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA		UNIT		TITLE	
CHK	DWG	mm	EDX-006 Outline Drawing	DWG NO	REV
		SCALE	G-EDX-006		A
		1/1			



Virtex-5 USB-FPGA ボード
EDX-006
ユーザーズマニュアル

2009/12/17 初版

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
