









はじめに	.1
ご注意	1
1. 製品の内容について	. 2
2. 仕様	. 2
3. 製品説明	. 3
3.1. 各部の名称	3
3.2. ブロック図	3
3.3. 開発環境	4
3.4. ダウンロードケーブル	4
3.5. クロック	4
3.6. 電源	4
3.7. FPGA ヘコンフィギュレーション	4
3.8. JTAG コネクタ	5
4. FPGA ピン割付表	. 6
4.1. オンボードクロック	6
4.2. 外部クロック	6
4.3. USB 通信	6
4.4. CNA	7
4.5. CNB	8
5. ドライバのインストール	.9
5.1. USB ドライバのインストール	9
5.2. USB ドライバのアンインストール	12
6. 各種ジャンパ設定	13
6.1. 電源供給設定(JP4)	13
6.2. コンフィギュレーションモード設定(JP5)	13
7. ディップスイッチの説明	14
7.1. USB から FPGA ヘコンフィギュレーション	15
8. インシステムフラッシュメモリへの書込み	16
8.1. インシステム Flash プログラミングファイルの作成	16
8.2. インシステムフ Flash への書込み	20
8.3. インシステム Flash の Erase	21
9. 付属 CD-ROM の内容	22
10. EDX-005 参考資料について	22
11. 付属資料	22



はじめに

この度は、FPGAトレーナ EDX-005 をお買い上げいただきまして、誠にありがとうございます。

XILINX 社対応 FPGA トレーナ EDX-005 は、USB インタフェースをもつPCに接続し、 XILINX 社の開発ソフト(ISE)などにより設計した回路を、USB 経由でコンフィグレーションできる学習用ボードです。

FPGA は、XILINX 社の高性能 FPGA である、Spartan-3AN を搭載しています。 USB インタフェースに FTDI 社の FT2232 を採用し、Ach をコンフィグレーション用に Bch をアプリケーション通信用に使用できます。アプリケーション通信は仮想 COM ポ ートドライバにより行うことができます。

EDX-005 は、専用コンフィギュレーションソフト(exe ファイル1本)により、bit ファイル さえあれば、XILINX 社の開発環境をインストールしていなくても FPGA へのコンフィギ ュレーションが行えますので、検査治具などにも便利にご利用いただけます。

<u>コンフィギュレーション ROM、内部 SPI-ROM への書込みには、XILINX 社対応ダウン</u> ロードケーブルが別途必要になります。

ご注意

	1 本製品には、民生用の一般電子部品が使用されています。
$\mathbf{\cap}$	宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる
	特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
V	2 水中、高湿度の場所での使用はご遠慮ください。
禁止	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの
	使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
	6 本書の内容は、改良のため将来予告なしに変更することがありますので、
	ご了承願います。
	7 本書の内容については万全の記して作成しましたが、万一誤りなど、お気
	づきの点がございましたら、ご連絡をお願いいたします。
注意	8 本製品の運用の結果につきましては、7 項にかかわらず当社は責任を負
	いかわますので、ごて承願います。

9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載され
	ていない使用をされた場合の結果については、当社は責任を負いません。
10	

10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
 12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
 13 静電気にご注意ください。



# 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、 弊社宛にご連絡ください。

FPGAトレーナ EDX-0051付属品1USB ケーブル1付属 CD1マニュアル(本書)1ユーザ登録はがき1

# 2. 仕様

製品型番	EDX-005
搭載 FPGA	XC3S200AN-4FTG256C
電源	DC 5V
消費電流	N/A (詳細は FPGA データシートご参照)
外形寸法	86 × 54 [mm]
質量	約 30g
ユーザーI/0	75 本
I/O コネクタ	66 ピンスルーホール 0.9[mm Ø]x2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 6 層基板 1.6t
クロック	オンボード 50MHz 6MHz 外部供給可能
コンフィギュレーション用リセット回路	内蔵 (240ms TYP)
JTAG コネクタ	DIP7 ピン ピンヘッダ 2.54mm ピッチ
ステータス LED	3 個(POWER-LED , DONE-LED , AWAKE-LED)
付属具	DIP80 ピンヘッダ 2個(任意にカット可能)
	USB ケーブル(1.8m)

\* 互換品と変更になる場合がございます



- 3. 製品説明
  - 3.1. 各部の名称



部品面







#### 3.3. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入カツール、論理合成ツー ルが必要です。これらの開発ツールは、XILINX社が無償配布するISEにて可能で す。使用する際には、インターネットによるライセンス登録が必要となります。

## 3.4. ダウンロードケーブル

FPGA へのコンフィギュレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。



#### 3.5. クロック

クリスタルより 6MHz、発振器より 50MHzを FPGA に供給します。

## 3.6. 電源

電源は USB から 5V が供給されます。FPGA の必要とする 3.3V、1.2V はオンボード レギュレータにより生成されます。

5V は外部から供給することも可能です。(JP4 をオープンとしてください)

外部から電源を供給する場合 5.0V 電源は充分安定して、充分な余裕のあるものを ご用意ください。

外部から電源を供給する場合は、CNA、CNB から供給してください。

いずれも 5.0V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上が りは単調増加である必要があります。良質の電源を使用するようにしてください。

## 3.7. FPGA ヘコンフィギュレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA にコンフィギュレーションすることができます。

コンフィギュレーションが終了し、DONE 信号がHになると、赤色 LED(L4)が点灯し ます。



## 3.8. JTAG コネクタ

FPGA へのコンフィギュレーション及び 内部マスタ SPI Flash モードに使用します。 ピン配置は次表のとおりです。

CN1				JIAG I	<u> </u>
回路図上信号名	ダウンロードケー ブル信号名	ピン番号	ピン番号	ダウンロードケー ブル信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	V33A
XTMS	TMS	5	6	_	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル XC3 や XILINX 社の純正ケーブルなどを用いることが できます。

使用例





# 4. FPGA ピン割付表

# 4.1. オンボードクロック

クロック	NET LABEL	FPGA ピン#
50MHz	GCLK0	C10,D9
50MHz	GCLK1	A9,C9
50MHz	GCLK2	R7,T7
50MHz	GCLK3	P8,T8
6MHz	CLK-6M	K14,15

# 4.2. 外部クロック

コネクタピン NO	NET LABEL	FPGA ピン#
CNA-65	CLKAP	N9,P9
CNA-66	CLKAN	T9,R9
CNB-65	CLKBP	A8,B8
CNB-66	CLKBN	C8,D8

# 4.3. USB 通信

NET LABEL	方向	FPGA ピン#
TXDB	IN	J16
RXDB	OUT	K16
RTSB	IN	H14
CTSB	OUT	J14



# 4.4. CNA

BANK	NET LABEL	FPGA ピン#	CNA	ピン#	FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		5V	3	4	5V		
		GND	5	6	GND		
	IOA0	G2	7	8	H1	IOA1	
	IOA2	H3	9	10	J3	IOA3	
	IOA4	J1	11	12	J2	IOA5	
	IOA6	K1	13	14	K3	IOA7	
		GND	15	16	GND		
	IOA8	N2	17	18	P1	IOA9	
	IOA10	P2	19	20	R1	IOA11	
	IOA12	M1	21	22	N1	IOA13	
	IOA14	L1	23	24	L2	IOA15	
		GND	25	26	GND		
	IOA16	K4	27	28	L3	IOA17	
	IOA18	M3	29	30	L4	IOA19	
	IOA20	M4	31	32	N3	IOA21	
	IOA22	J4	33	34	J6	IOA23	
		GND	35	36	GND		
	IOA24	N7	37	38	P6	IOA25	
	IOA26	N8	39	40	P7	IOA27	
	IOA28	G3	41	42	H4	IOA29	
	IOA30	H6	43	44	H5	IOA31	
		GND	45	46	GND		
	IOA32	T4	47	48	R5	IOA33	
	IOA34	Т5	49	50	Т6	IOA35	
	IOA36	M10	51	52	N10	IOA37	
	IOA38	P11	53	54	N11	IOA39	
		GND	55	56	GND		
	IOA40	P13	57	58	N12	IOA41	
	IOA42	M13	59	60	M14	IOA43	
	IOA44	L13	61	62	K13	IOA45	
	IOA46	M15	63	64	M16	IOA47	
	IOA48 <b>*1</b>	R13	65	66	T13	IOA49 <b>*2</b>	

\*1 抵抗アレイ(RM22)を介して FPGA ピン# N9,P9 (CLKAP) に接続

\*2 抵抗アレイ(RM22)を介して FPGA ピン# T9,R9 (CLKAN) に接続



# 4.5. CNB

BANK	NET LABEL	FPGA ピン#	CNB	ピン#	FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		5V	3	4	5V		
		GND	5	6	GND		
	IOB0	B3	7	8	A3	IOB1	
	IOB2	B4	9	10	A4	IOB3	
	IOB4	E2	11	12	E3	IOB5	
	IOB6	C5	13	14	A5	IOB7	
		GND	15	16	GND		
	IOB8	B6	17	18	A6	IOB9	
	IOB10	F8	19	20	E7	IOB11	
	IOB12	D7	21	22	C6	IOB13	
	IOB14	A7	23	24	C7	IOB15	
		GND	25	26	GND		
	IOB16	B10	27	28	A10	IOB17	
	IOB18	E10	29	30	D10	IOB19	
	IOB20	C11	31	32	A11	IOB21	
	IOB22	A12	33	34	B12	IOB23	
		GND	35	36	GND		
	IOB24	A13	37	38	A14	IOB25	
	IOB26	D11	39	40	C12	IOB27	
	IOB28	D13	41	42	C13	IOB29	
	IOB30	E13	43	44	D14	IOB31	
		GND	45	46	GND		
	IOB32	B14	47	48	B15	IOB33	
	IOB34	C15	49	50	C16	IOB35	
	IOB36	D15	51	52	D16	IOB37	
	IOB38	E14	53	54	F13	IOB39	
		GND	55	56	GND		
	IOB40	F15	57	58	E16	IOB41	
	IOB42	G13	59	60	F14	IOB43	
	IOB44	H13	61	62	G14	IOB45	
	IOB46	F16	63	64	G16	IOB47	
	IOB48 <b>*3</b>	H15	65	66	H16	IOB49 <b>*4</b>	

\*3 抵抗アレイ(RM23)を介して FPGA ピン# A8,B8 (CLKBP) に接続

\*4 抵抗アレイ(RM23)を介して FPGA ピン# C8,D8 (CLKBN) に接続



5. ドライバのインストール

# 5.1. USB ドライバのインストール

FPGA へのコンフィギュレーションと、USB の通信実験の前には、FTDI 社の提供す るドライバを PC にインストールする必要があります。本章で説明するインストール作 業が完了後、FPGA へのコンフィギュレーションが可能になります。 USB コネクタに付属 USB ケーブルを挿入すると「新しいハードウェア」が認識されま す。次の手順に従ってインストール作業を完了してください。 Windows XP を例に作成しています。

いいえ、今回は接続しませんにチェック を入れ「次へ」をクリックしてください。



「一覧または特定の場所からインストー ルする」を選択し「次へ」をクリックしてく ださい。



付属 CD 内の「CDM20406\_・・・」を選択し 「次へ」をクリックしてください。



「続行」をクリックしてください。

ለተቸወ፤	アのインストール
<u>.</u>	መለን-የሚገም ED-CONFIG
	を使用するためにインストールしようとしているソフトウェアは、Windows XP との 互換性を検証する Windows ロゴテストに合格していません。 <u>にのテストが重要である理由</u> )
	インストールを続行した場合、システムの動作が損なわれたり、システム が不安定になるなど、重大な障害を引き起こす要因となる可能性があり ます。今すぐインストールを中断し、Windows ロゴ テストに合格したソフ トウェアが入手可能がどうか、ハードウェア ベンダーに確認されることを、 Microsoft は強くお勧めします。
	続行©」 インストールの停止⑤

#### 「完了」をクリックしてください。



#### いいえ、今回は接続しませんにチェック を入れ「次へ」をクリックしてください。





#### 「一覧または特定の場所からインストー ルする」を選択し「次へ」をクリックしてく ださい。



#### 付属 CD 内の「CDM20406\_・・・」を選択し 「次へ」をクリックしてください。

# 新しないハードウェアの後出りィザード 後素とインストールのオブションを選んでください。 ④ 次の場所で最適のドライバを検索する⑤) 下のチョック ポックスを使って、リムーバブル メディアやローカル パスから検索できます。検索された最適のドライバがゴンストールされます。 「リムーバブル メディア 「クロッピー、CD-ROM など」を検索(M) ※次の場所を含める⑥: 「どたつは「000502024000M00406\_MN/2K,XP\_VISTA ● ●検索しないで、インストールするドライバを選択する② ・雪茄らドライバを選択するこは、このオブションを選びます。選択されたドライバは、ハードウェアに最適のものとは説明ません。 〈戻る⑥ 次へ⑭〉 キャンセル

#### 「続行」をクリックしてください。



# 

#### 「完了」をクリックしてください。



#### いいえ、今回は接続しませんにチェック を入れ「次へ」をクリックしてください。

「一覧または特定の場所からインストー

ルする」を選択し「次へ」をクリックしてく





付属 CD 内の「CDM20406\_・・・」を選択し 「次へ」をクリックしてください。



「続行」をクリックしてください。

1	このハードウェア:
	EDX-005
	を使用するためにインストールしようとしているソフトウェアは、Windows XP との 互換性を検証する Windows ロゴ テストに合格していません。 <u>にのテストが重要である理由</u> )
	インストールを装行した場合、システムの動作が損なわれたり、システム が不安定になるなど、重大な障害を引き起こす要因となる可能性があり ます。今ず〈インストールを中断し、Windows ロゴ テストに合格したソフ トウェアが入手可能かどうか、ハードウェア ベンダーに確認されることを、 Microsoft は強くお勧めします。

「完了」をクリックしてください。



これでドライバの組み込みが完了し ました。

デバイスマネージャで確認すると次 のようになっているはずです。 COM ポートの番号は、お客様の環境に より異なります。COM ポートの番号を確 認するためにも、一度ご確認を御願いし ます。 デバイスマネージャは、マイコンピュー

テバイスマネーシャは、マイコンビュー タのプロパティを選択し、ハードウエアタ ブからデバイスマネージャのボタンをク リックするか、マイコンピュータの管理か ら、デバイスマネージャをクリックするか のいずれかの方法で起動することがで きます。

新しいドライバが提供されたときは、 弊社サイトのサポートページの説明に 従ってください。

ファイル(ビ) 採作(品) 表示(型) ヘルフ(日)	
ד 🕹 🚱 SOSI צ RAID אין דער די	
😑 🙀 😡 White and Carial Caria Data 🛨 🖥	
ED-CONFIG	
CALL FOR THE AND A Starting Controller	1
Intel(R) ICH8 Family USB Universal Host Controller - 2830	
Intel(R) ICH8 Family USB Universal Host Controller - 2831	
💑 Intel(R) ICH8 Family USB Universal Host Controller - 2832	
🥌 🛶 Intel(R) ICH8 Family USB Universal Host Controller - 2834	
🚓 Intel(R) ICH8 Family USB Universal Host Controller - 2835	
Intel(R) ICH8 Family USB2 Enhanced Host Controller - 2836	
Generation (R) ICH8 Family USB2 Enhanced Host Controller - 283A	
USB ルートハブ	
ー 🏟 USB ルート ハブ	
USB ルートハブ	
- ····································	
サウンド、ビデオ、およびゲームコントローラ	
🐵 🪽 システム デバイス	
田 🙅 ディスク ドライブ	
王 聖 ディスブレイ アダプタ	
王 朝夕 イッドノーク アタフタ	
王 🚾 ビエーマン インダーンエイス リノバス	
EDX-005 (COM9)	-
□ 1/2 水→ト (I PT1)	
━- ̄) マウスとそのほかのポインティング デバイス	

# 5.2. USB ドライバのアンインストール

インストールした USB ドライバをアンインストールには、PC と EDX-005 を接続しない状態で「スタート」ー「設定」ー「コントロールパネル」ー「アプリケーションの追加と削除」から「EDX-005 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。

🐻 プログラムの追加	と削除			
	現在インストールされているプログラム	更新プログラムの表示(D)	並べ替え(S): 名前	*
702740 変更と削除(H)	EDX-005 HuMANDATA LTD. サポート情報を参照するには、ここをクリ・	ックしてください。		
プログラムの プログラムの	このプログラムを変更したり、コンピュータ; 	から削除したりするには、【変更と削除】をク	ゆックしてください。 変更と	前順全

「Continue」をクリックします。

ir your	USB device i	s conne	cted, plea	ase unplu	g it no
Press (	Continue to u	ninstall	the drive	rs. or Car	ncel to
	Johnnac to a	mistan	the unite	19, 01 041	100110

次のダイアログで「Finish」をクリックすれば、終了です

Uninstalling VID 0F87	&PID 1017	
Deleting registry entri Deleting files	es	
Droce Finish to svit		



6. 各種ジャンパ設定

## 6.1. **電源供給設定(JP4)**

JP4(ON):USB から 5V 供給



JP4(OFF): CNA、CNB から 5V 供給

# 6.2. コンフィギュレーションモード設定(JP5)

USB から FPGA ヘコンフィギュレーションを行う際、JP5 の設定が必要です。

JP5 \_\_\_\_\_ ターゲット 設定用

JP5	コンフィギュレーション方法
ON	JTAG
OFF	USB

USB からコンフィギュレーション(出荷時)

JP5 (OFF)



JTAG からコンフィギュレーション JP5 (ON)



ー<mark>メモ</mark> 出荷時は USB からコンフィギュレーションの設定になっています。

# 7. ディップスイッチの説明

EDX-005のディップスイッチ(SW4)は以下のように割り付けられています。 SWをONでLowに固定されます。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	X_PROG	X_M0	X_M1	X_M2	VS2	VS1	VS0	X_SUSPEND
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON
説明		Ŧ	モードセレクトピン		SPI コン	フィギュレーショ	ョンモード	SUSPEND モード設定

	内部マスタ SPI	マスタシリアル	マスタ SPI	マスタ BPIUP	JTAG
M[20]モードピンの設定	<0:1:1>	<0:0:0>	<0:0:1>	<0:1:0>	<1:0:1>

## S1:ターゲット設定

OFF: JTAG(FPGA) ON : SPI-ROM

S2、S3、S4:モードセレクトピン

上記を参照し各コンフィギュレーションモードを設定してください。

## S5、6、7: SPI コンフィギュレーションモード

EDX-005 は M25P80 を使用のため OFF 固定。(オプション)

## S8:SUSPEND モード設定

詳しくは Spartan3-AN のデータシートをご覧ください。



# 7.1. USB から FPGA ヘコンフィギュレーション

付属 CD 内にある「BitCfg2.exe」を起動させると次のウィンドウが表示されます。

Configuration	Program Rev 2.	1
File	Download time :	Reset
作成した「bi	t ファイル」を選択	

bit ファイルを選択し、Download をクリックします。

bit ファイルのダウンロード	
Configuration Program Rev 2.1	
File Download Reset FPGA 内部回路の消去	
status : success time : 2794 msec	
「success」の表示 にて DONE 信号の「High」を確認できます コンフィグレーション時間	



# 8. インシステムフラッシュメモリへの書込み

8.1. インシステム Flash プログラミングファイルの作成

この手順は、iMPACTを使用して、単体のビットストリームをインシステムFlashにプログラムする場合は不要です。

PROM File Formatterをダブルクリックしてください。

💱 IMP AC T	
Eile Edit View Operations Options Qutput Debug Window Help	
tti Boundary Scan	
- se SlaveSerial	
****SelectMAP	
Bo Direct SPI Configuration	
Baystemace	
Modes	
IMPACT Processes ×	
Operations	http://www.xilinx.com
× Welcome to iMPACT	
	3
Output Error Warning	3

次に、下図のようにチェックを入れ、File Name と Location(保存先)を指定し<u>Next>をク</u>リックします。

🐉 iMPACT – Prepare PROM Files	
I want to target a Vilinx PROM Generic Parallel PROM 3rd-Party SPI PROM	
PROM Supporting Multiple Design Versions:	Spartan3AN 💌
PROM File Format     MCS O TEK O UFP (C" format)     EXO BIN ISC     HEX Swap Bits	
PROM File Name: EDX-005-TEST	
Location: D:¥xilinx_data¥EDX-005A¥	Browse
	< Back Next > Cancel



次に[xc3a200an]を選択し Next>をクリックします。

그렇게 하는 것이 있어요.				
Select Device:	_xc3s200an	[4194304]	*	
			_	

次に[Bitstream1]にチェックを入れ、Next>をクリックします。

퉳 iMPACT - Spartan3AN	Enter Start Address		
Select the number of Bitstreams The Start Address will be pre-d	: etermined based on the o	levice selection	
🔽 Bitstream ()	0		
🔽 Bitstream 1	202752		
Use Power of 2 for Start Ad	iress		
Add Data Files			
		the Maria N	Course
		in <u>N</u> ext >	Cancer



**<u>F</u>inish**をクリックします。

You have enter	ed following informatio	n:		
ROM Type:		Spartan3AN Device		
ile Format		mcs		
ill Value		FF	FF	
ROM filename	e	EDX-005-test		
lumber of PRO	OMs	1		
Position	Part Name			
0 x	c3s200an			
)lick <sup>«</sup> Finish"	to start adding device	files.		
Nick "Finish"	to start adding device	files.		

OKをクリックします。

🐉 Add	Device	X
٩	Start adding device fi First Bitstream	ile to
	ОК	

次に、作成した bit ファイルを選択します。

Add Device				2 🛛
ファイルの場所の 最近使えたファイル デスクトッフ マイトキュメント マイニンピュータ マイネットワーク	EDX-006A		■ ** 1 → ▼	]-
	ファイル名心): ファイルの種類①:	test FPGA Bit Files (*.bit)	* *	K(©)   キャンセル



OK をクリックします。



次に、作成した bit ファイルを選択します。

Add Device					? 🛛
ファイルの場所の	EDX-005A		•	+ 🗈 💣 🗊•	
して 最近使ったファイル	ineo _xmsgs xst				
<b>1</b> 720197	est.bit				
ک ۲۲ ۴۴۱ ۲۶					
र् इन २७२७-७					
	ファイル名心	Itest		· [	₩K@
	ファイルの種類(①)	FPGA Bit Files (*.bit)		<u> </u>	キャンセル

## OK をクリックします。



次に、iMPACT Processes のタブにある[Generate File...]をダブルクリックします。下記のように[PROM File Generation Succeeded]と表記されれば完了です。

iMPACT - [PROM File Formatter]		
👒 File Edit View Operations Window Help		
	1 N2	666
Soundary Scan     Soundary Scan     SolveSerial     SelectMAP     Desktop Configuration     Direct SPI Configuration     SystemACE     PROM File Formatter     SystemACE	Multi-Boot FLASH First Second [+] Estimate Memory Allocation	
Modes xc3s200an Test.bit IMPACT Processes X Available Operations are: =: Generate File.		
	PROM File Generation Succeeded	
Operations		
X Using user-specified prom size of 512K Writing file "D:/xilinx_data/EDX-005A//ED: Writing file "D:/xilinx_data/EDX-005A//ED: 8	X-005-test.mcs". X-005-test.prm".	<
Output Error Warning PROM File Generation Target MutilBoot: Spartan3A BPI	PROM [ 1,879,360 Bits used ] File: EDX-005-test in Location: Dr/xillinx.data/	EDX-005A/



## 8.2. インシステム Flash への書込み

EDX-005にはインシステム Flash が使用可能です。

インシステム Flashに書込みする場合、ディップスイッチの設定が必要です。ディップス イッチを下記のように設定し iMPACT から書込みを行ってください。

	S1	S2	S3	S4	S5	S6	S7	S8
ON								
OFF								

FPGA へのコンフィギュレーションは iMPACT により行います。 iMPACT を起動し[File]-[Initialize Chain]をクリックすると、FPGA が認識されます。 FGA に対して 6.1 項で作成した mcs ファイルを割り付けてください。 デバイスのアイコン上で右クリックをし、[Program...]をクリックします。



書込みが成功すると、[Program Succeeded]と表記されます。

the second se		
Eile Edit View Operations Qutput	Debug Window Help	
📝 🖥 🔏 🖻 🙆 🗙 🔡	11 日 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	
Balloundary Scan     Balloundary Scan     ScalestMAP     SolectMAP     SolectMAP     SolectSPI Configuration     SystemACE     PROM File Formatter	TDI Ence vs:3:200an ed:c05-test.mcs TDO	
Modes IMPACT Processes X Available Operations are Area Program	Program Succeeded	
w≱Verify w≩Erase wBlank Check ⊻		
wpVerify mpErase mpBlank Check ✓ Operations	PROM File Formatter     Boundary Scan	
Derive     Derec     Derec     Derec     Derec     Derec     Derec     Derec     Toro:IFACT - Address     INFO:IFACT - INFO:IFACT     INFO:IFACT - INFO:IFACT     INFO:IFACT     INFO:IFACT - INFO:IFACT     INFO:I	PROM File Formatter Boundary Scan ted successfully: x00000000 is in page 0. x00002203 is in page 1212. .done. .eted successfully. kting done pindone. fully. kting one pindone. fully.	
Definition     D	PROM File Formatter Bondary Scon ted successfully. x00000000 is in page 0. x000042203 is in page 1212. .done. tered successfully. King done pindone. fully. king done pindone. fully. ation. ec.	
Definition     Definition     Definition     Definition     Definition     The set of the set	PROM File Formatter Bondary Scan ted successfully: x00000000 is in page 0. x00002203 is in page 1212. .done. .eted successfully. king done pindone. fully. king done pindone. fully. ation. teg.	
Verify  Fize  Fize  Stack Check  Corections  I': Programming compl.  NPG:IFACT - Address I': Verifying device.  ': Verifying device.  ': Verifying compl.  NPG:IFACT - '1': Che '': Programmed succes PROGNESS_END - End Ope Elapadet line 4 45	PROM File Formatter Bondary Scon ted successfully: xxd0000000 is in page 0. xxd000020 is in page 1212. .done. .done. Xing done pindone. Xing done pindone. fully. fully. ec.	



## 8.3. インシステム Flash の Erase

デバイスのアイコン上で右クリックをし、[Erase...]をクリックします。



Erase が成功すると[Erase Succeeded]と表記されます。





# 9. 付属 CD-ROM の内容

- 「BitCfg21」 FPGA コンフィグレーションのためのソフトウェア Visual C++ のソースコード
- 「DirectDriver」 USB ドライバ(FTDI 社ダイレクトドライバ)
- 「EDX-005」 「Document」 EDX-005 ユーザーマニュアル(カラー) EDX-005 回路図

最新のデータシートは、各社のホームページからダウンロードしてください。

XILINX 社のホームページ<u>http://www.XILINX.com/</u>

FTDI 社のホームページ<u>http://www.ftdichip.com/</u>

## 10. EDX-005 参考資料について

追加資料や参考資料がつくられた場合は 製品サポートページ http://www.hdl.co.jp/support\_c.html にデータをアップロードすることにいたします。

## 11. 付属資料

- 1. 基板回路図(別紙)
- 2. 基板外形図



Spartan-3AN 教育用ボード EDX-005

ユーザーズマニュアル 2008/05/28 初版 2009/05/13 第2版

有限会社ヒューマンデータ 〒567-0034 大阪府茨木市中穂積1-2-10 ジブラルタ生命茨木ビル TEL 072-620-2002 FAX 072-620-2003 URL http://www.hdl.co.jp