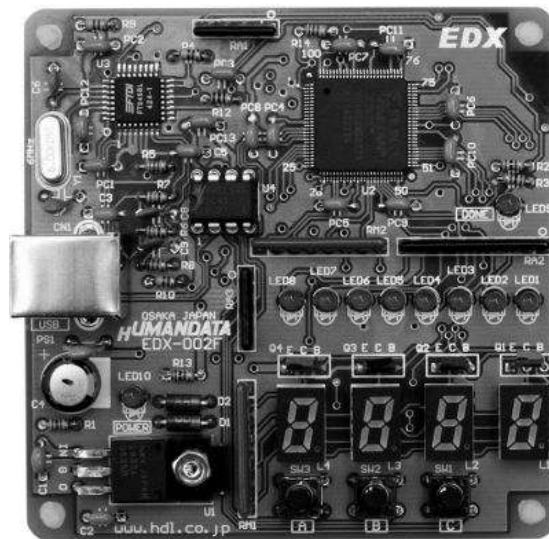




FPGA トレーナ
EDX-002
ユーザーズマニュアル

第 7 版 (Rev2)



ヒューマンデータ

目次

はじめに	1
付属品	1
ご注意事項	1
概要	2
基板外観	2
ブロック図	2
開発環境	3
ダウンロードケーブル	3
クロック	3
7セグメント LED	3
押しボタンスイッチ	3
赤色 LED	3
電源	3
FPGA コンフィグレーション	3
FPGA ピンアサイン表	4
クロック	4
7セグメント LED	4
押しボタンスイッチ	4
7セグメント LED	4
ISE による開発手順	5
プロジェクトの新規作成	5
VHDL による AND 回路	7
新規ソースの追加	7
テストベンチの作成とシミュレーション	10
UCF ファイルの作成	14
BIT ファイルの作成	15
専用ソフトウェアによる FPGA コンフィグレーション	17
動作の確認	18
EDX-002 サンプル回路	19
サンプル回路の動作	19
サンプル回路のコンフィグレーション手順	19
付属 CD-ROM の内容	20

はじめに

この度は、FPGA トレーナ EDX-002 をお買い上げいただきまして、誠にありがとうございます。

EDX-002 は、XILINX 社の FPGA である Spartan- II (XC2S15VQ100 : 15,000 ゲート) を実装したトレーナです。4桁数字表示 LED、汎用 LED、押しボタンスイッチ、クロックモジュール、FPGA コンフィグレーションに使用する USB インターフェースを実装しておりますので、快適に FPGA 設計を進めることができます。

VHDL や Verilog-HDL による論理回路設計の習得に、ご活用ください。

付属品

EDX-002 本体
USB ケーブル
マニュアル(本書)
ユーザー登録はがき
付属 CD-ROM

ご注意事項

1. 本製品及び本書の内容は、改良のために予告なく変更することがあります。
2. 本書の内容については万全を記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご了承承願いたします。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。

開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する WebPack ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

ダウンロードケーブル

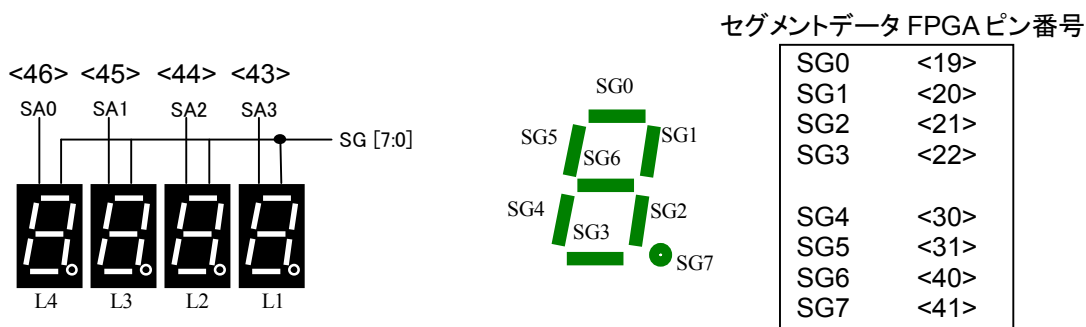
FPGA へのコンフィグレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。

クロック

6MHz セラミック発振子より、USB コントローラと FPGA にクロックを供給します。

7セグメント LED

4 つの 7SEG の一つを選択する信号、SA0,SA1,SA2,SA3 のいずれかを L とし、その他をハイインピーダンスまたはオープンドレインにてオフとします。数 kHz で順番に表示させることによって、連続して点灯しているようにみえます。また、複数を同時に L とすると電流が過大となりますので、注意して下さい。



押しボタンスイッチ

押すと L になります。このピンは FPGA に対して、入力となりますので、出力しないでください。 押しボタンスイッチに対して **FPGA 側から出力するとショートしますので注意**してください。

赤色 LED

赤色 LED は負論理です。Low にて点灯します。完全に消灯させるには、ハイインピーダンスとするか、オープンドレインにてオフとしてください。

電源

電源は USB から 5.0V が供給されます。FPGA が必要とする 3.3V、2.5V はオンボードのレギュレータとダイオードにより生成されます。

FPGA コンフィグレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA をコンフィグレーションすることができます。コンフィグレーションが終了し、DONE 信号が H になると 赤色 LED (LED9) が点灯します。

FPGA ピンアサイン表

クロック

信号名	I/O	ピン番号	備考
CLK0	I	P39	6MHz

7セグメント LED

信号名	I/O	ピン番号	備考
SA0	O	P46	
SA1	O	P45	
SA2	O	P44	
SA3	O	P43	
SG0	O	P19	
SG1	O	P20	
SG2	O	P21	
SG3	O	P22	
SG4	O	P30	
SG5	O	P31	
SG6	O	P40	
SG7	O	P41	小数点

押しボタンスイッチ

信号名	I/O	ピン番号	備考
PSW_A	I	P17	
PSW_B	I	P16	
PSW_C	I	P15	

7セグメント LED

信号名	I/O	ピン番号	備考
LED0	O	P68	
LED1	O	P67	
LED2	O	P66	
LED3	O	P65	
LED4	O	P56	
LED5	O	P55	
LED6	O	P54	
LED7	O	P53	

ISE による開発手順

EDX-002 に搭載されている FPGA をコンフィグレーションするには、bit ファイルが、必要となります。このファイルを生成する手順について説明します。bit ファイルを生成するには、次の開発ツールが必要となります。

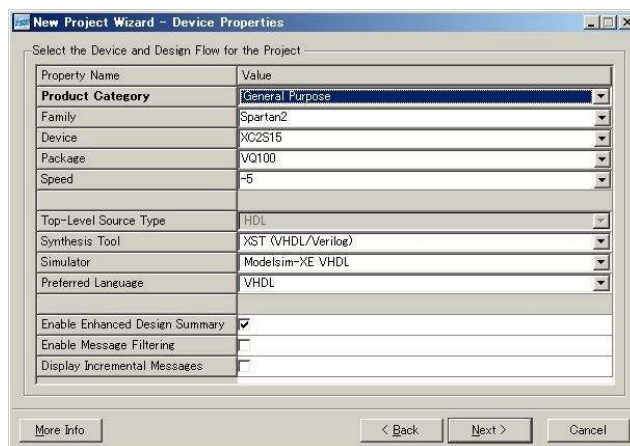
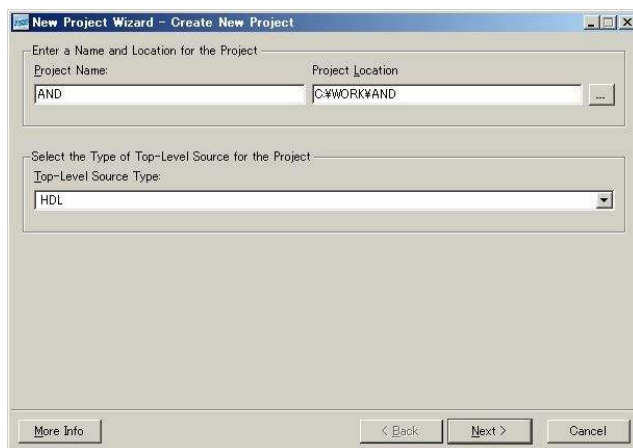
- WebPack ISE もしくは ISE Foundation
- Model Sim

以下、XILINX 社の WebPack ISE 9.1.03i と Model Sim XE III /Starter 6.2c での bit ファイルの生成手順を説明します。

プロジェクトの新規作成

プロジェクトを新規作成するには、[File] → [New Project] をクリックします。ここで、ディレクトリとプロジェクト名、ターゲットとなるデバイスも選択します。

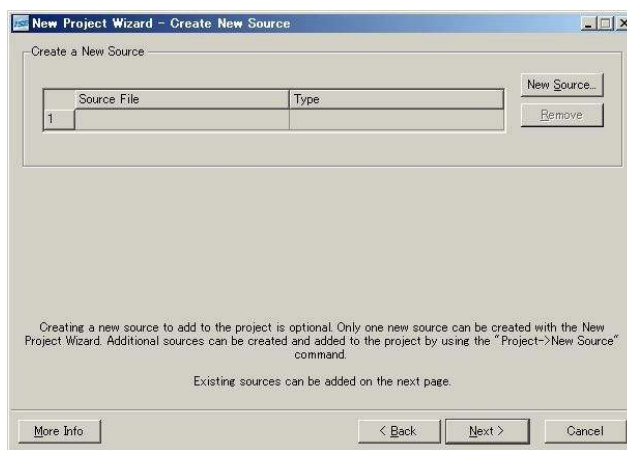
プロジェクトディレクトリは「C: ¥WORK」とします。プロジェクト名を「AND」と入力すると、自動的に「C: ¥ WORK ¥ AND」に変更されます。



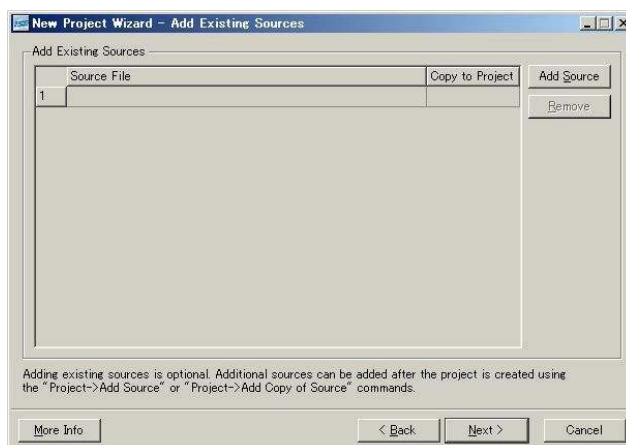
上ウインドウのように EDX-002 に搭載されているデバイスに変更します。次の値に変更してください。

Property Name	Value
Product Category	General Purpose
Family	Spartan2
Device	XC2S15
Package	VQ100
Speed	-5
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL / verilog)
Simulator	Modelsim-XE VHDL
Preferred Language	VHDL

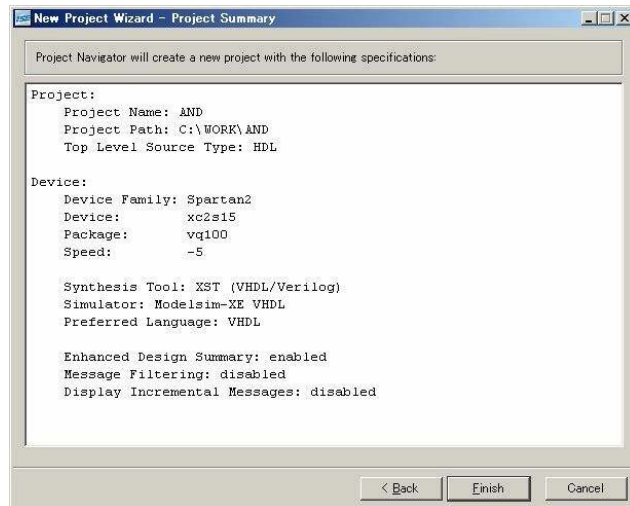
「Next」をクリックすると下のように表示されますが、何も入力せずに「Next」をクリックします。



下のように表示されますが、何も入力せずに「Next」をクリックします。

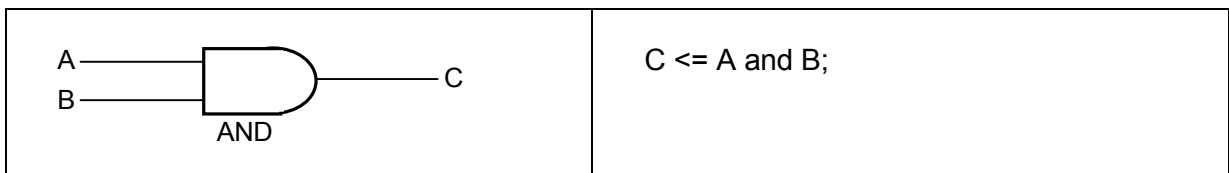


下のような確認画面が表示されますので、間違いがなければ「Finish」をクリックしてください。



VHDL による AND 回路

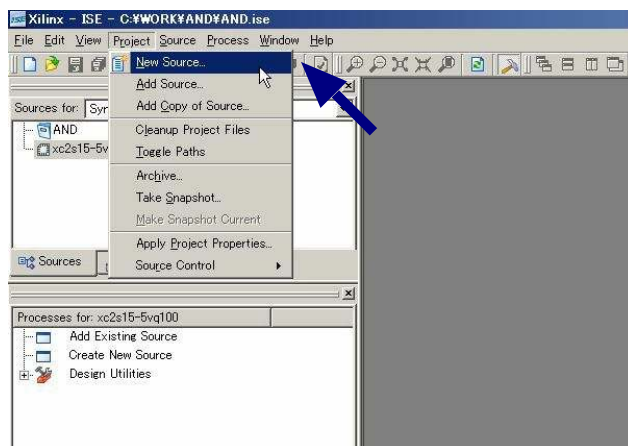
VHDL では、AND 回路は次のように記述します。



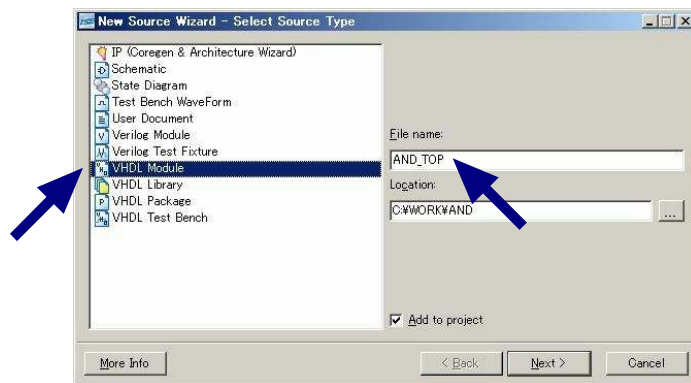
入力 A を「押しボタンスイッチ」の「SW3(A)」、入力 B を「押しボタンスイッチ」の「SW2(B)」とします。出力 C は「赤色 LED」の「LED1」とします。実装する手順について説明します。

新規ソースの追加

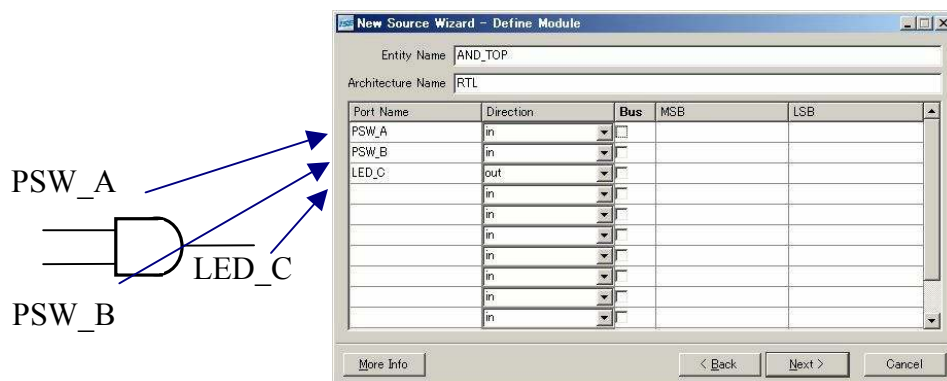
[Project] – [New Source] を選択します。



次に[VHDL Module] を選択し、ファイル名を付けます。ここでは「AND_TOP」としています。



次に信号名を付けます。入力信号 (A, B) と出力信号 C を定義します。



「Next」をクリックすると下のような確認画面が表示されますので間違いがなければ「Finish」をクリックしてください。



自動的に次のような VHDL コードの雛型が生成されます。このコードに追加します。

```

10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22 use IEEE.STD_LOGIC_ARITH.ALL;
23 use IEEE.STD_LOGIC_UNSIGNED.ALL;
24
25 ---- Uncomment the following library declaration if instantiating
26 ---- any Xilinx primitives in this code.
27 --library UNISIM;
28 --use UNISIM.VComponents.all;
29
30 entity AND_TOP is
31     Port ( PSW_A : in  STD_LOGIC;
32           PSW_B : in  STD_LOGIC;
33           LED_C  : out STD_LOGIC);
34 end AND_TOP;
35
36 architecture RTL of AND_TOP is
37
38 begin
39

```

次の一行を追加します。

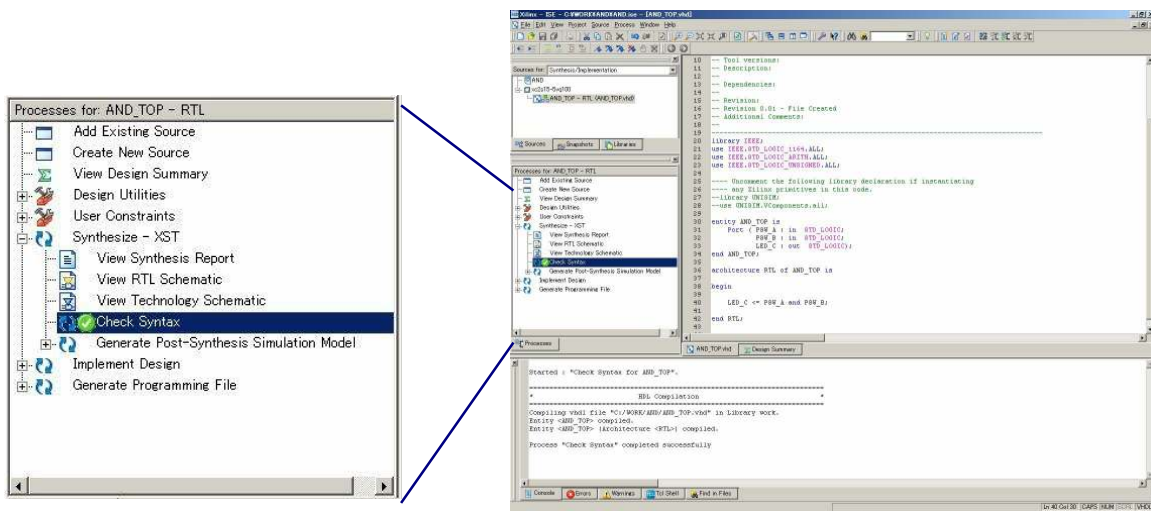
```

29
30 entity AND_TOP is
31     Port ( PSW_A : in  STD_LOGIC;
32           PSW_B : in  STD_LOGIC;
33           LED_C  : out STD_LOGIC);
34 end AND_TOP;
35
36 architecture RTL of AND_TOP is
37
38 begin
39
40     LED_C <= PSW_A and PSW_B;
41
42 end RTL;
43

```

追加

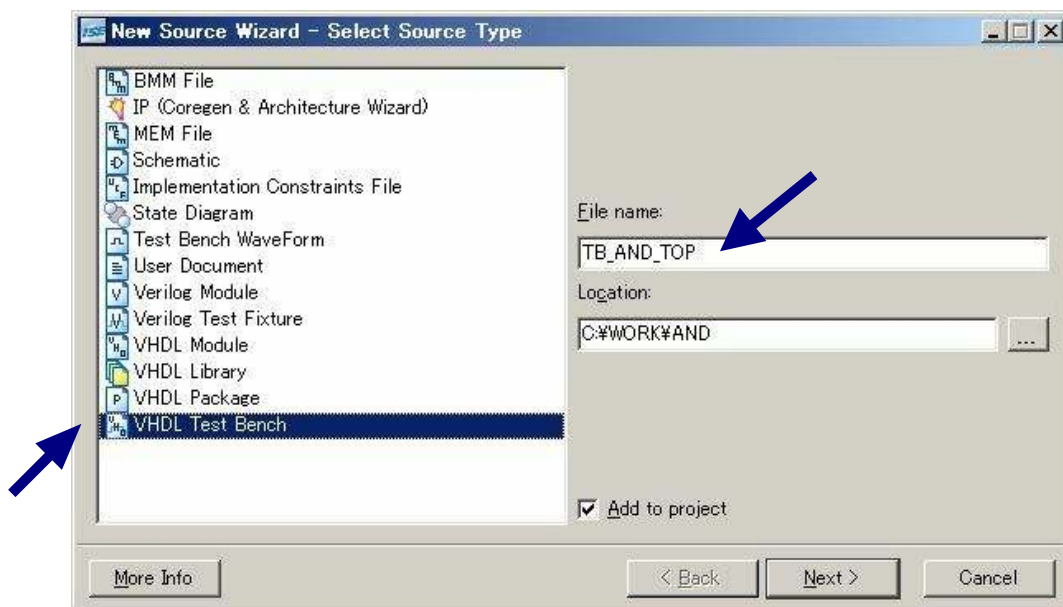
プロセスウインドウの「Synthesize-XST」→「Check Syntax」をダブルクリックし、文法チェックを確認します。緑のチェックマークが付けば正常です。もし赤色の×マークが付けば文法の誤りが存在しますので、修正してください。



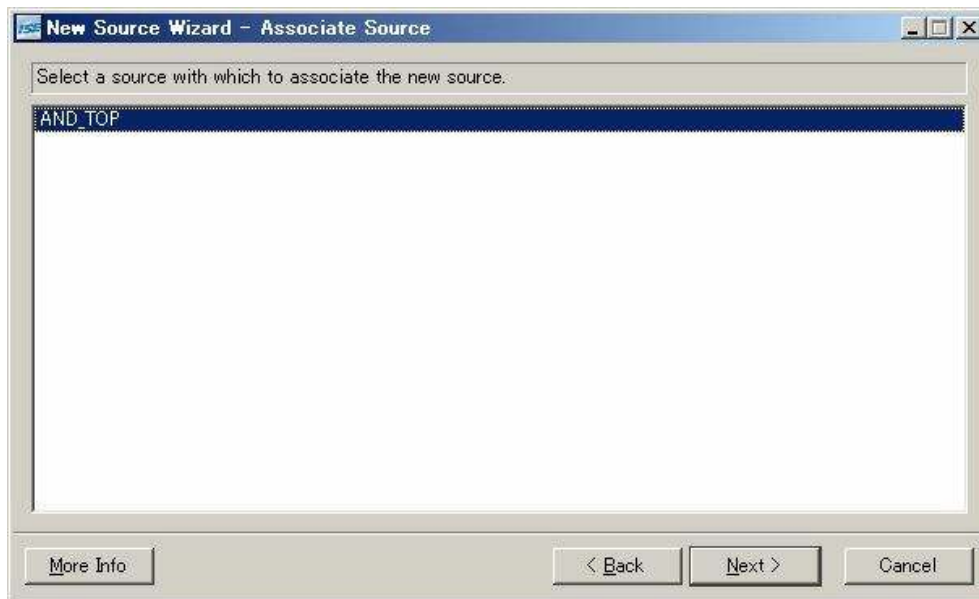
テストベンチの作成とシミュレーション

次にシミュレーションに必要なテストベンチを生成します。VHDL ソース同様に[Project]→[New Source] を選択します。「VHDL Test Bench」を選択し、ファイル名を「TB_AND_TOP」として「Next」をクリックします。

(シミュレーションを行うためには XILINX 社の ModelSim が、インストールされていることが、必要です。)



対象の VHDL コードである「AND_TOP」を選択して、「Next」をクリックします。



下のような確認画面が表示されますので、間違いがなければ「Finish」をクリックすれば VHDL のテストベンチが自動生成されます。



自動的に生成されたテストベンチの雛型に次の4行を追加します。

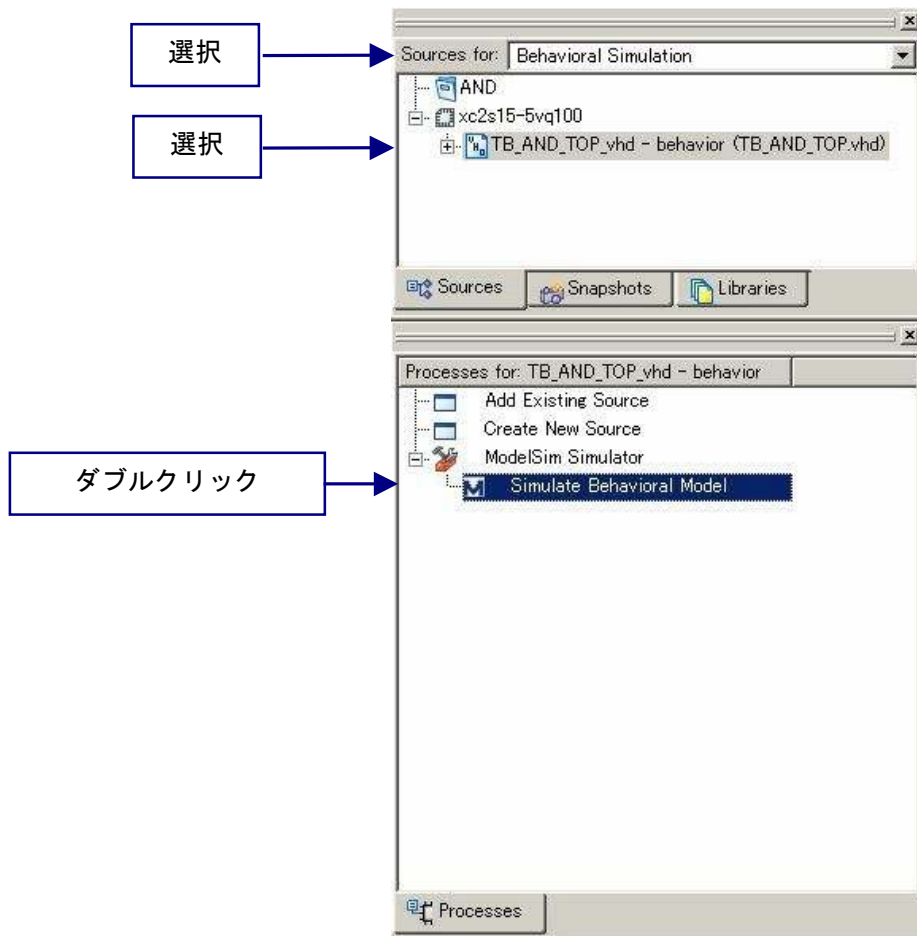
```

55 BEGIN
56
57 -- Instantiate the Unit Under Test (UUT)
58 uut: AND_TOP PORT MAP(
59     PSW_A => PSW_A,
60     PSW_B => PSW_B,
61     LED_C => LED_C
62 );
63
64 tb : PROCESS
65 BEGIN
66 -----
67     PSW_A <= '0'; PSW_B <= '0'; wait for 100 ns;
68     PSW_A <= '0'; PSW_B <= '1'; wait for 100 ns;
69     PSW_A <= '1'; PSW_B <= '0'; wait for 100 ns;
70     PSW_A <= '1'; PSW_B <= '1'; wait for 100 ns;
71 -----
72     -- Wait 100 ns for global reset to finish
73     wait for 100 ns;
74
75     -- Place stimulus here
76
77     wait; -- will wait forever
78 END PROCESS;
79
80 END;
81

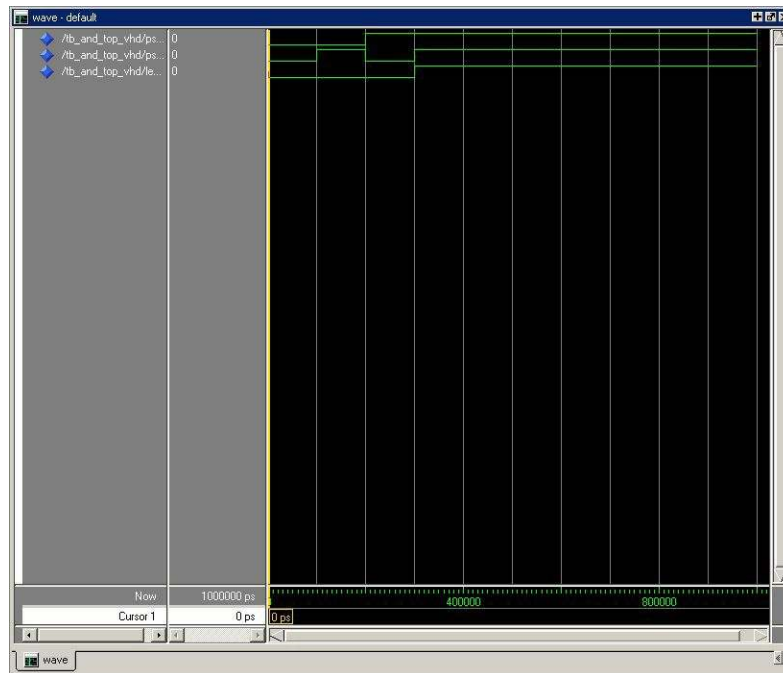
```

追加

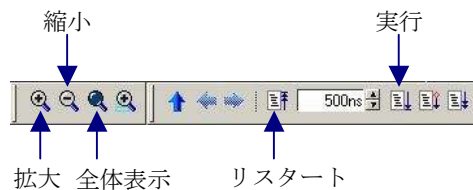
Sources タブの Sources for を[Behavioral Simulation]にします。
次に[TB_AND_TOP_vhd-behavior(TB_AND_TOP.vhd)] を選択した状態で
「Simulate Behavioral Model」をダブルクリックします。



Model Sim が、自動的に起動すると次のように波形の確認ができます。



再実行するにはツールバーの「Restart」をクリックしてください。波形ウインドウのツールバーは次のようになっています。

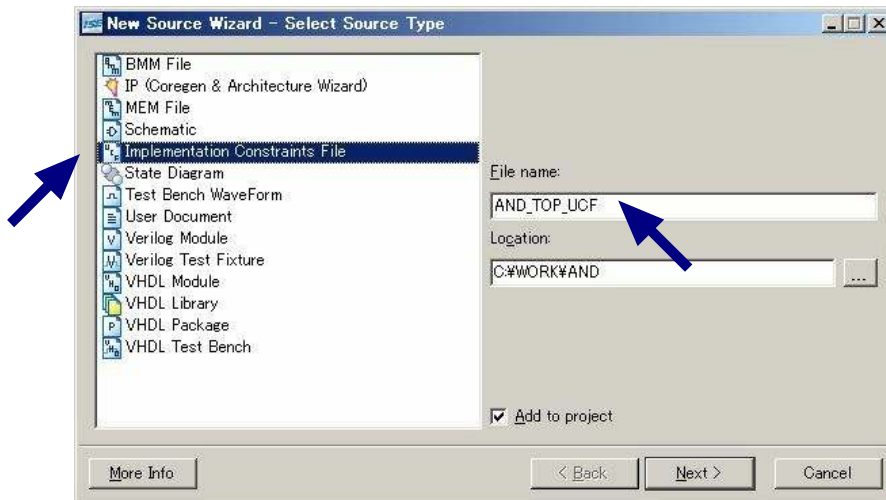


Model Sim は非常に豊富な機能をもっております。詳細につきましては、[Help]-[PDF Documentation]からユーザーズマニュアルを参照してください。



UCF ファイルの作成

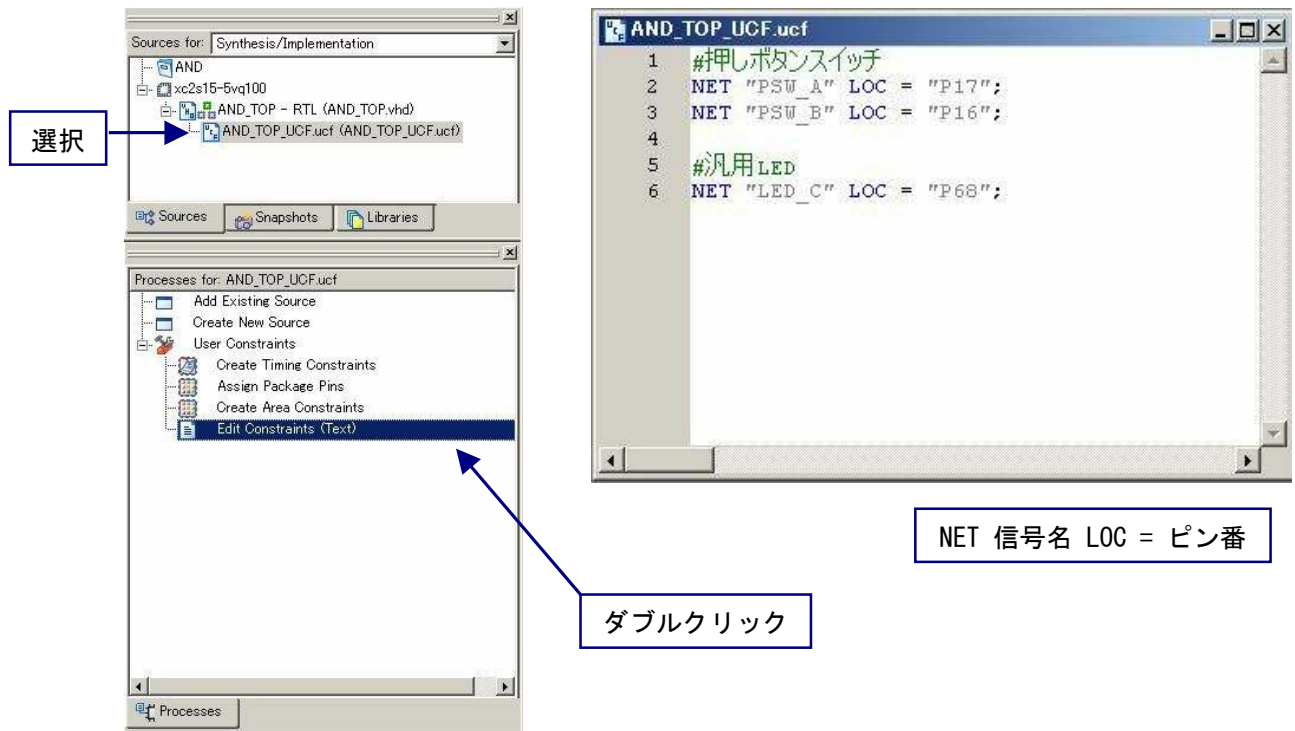
FPGA のピンを固定するために、UCF ファイルを作成します。VHDL ソース同様に[Project]—[New Source] を選択します。[Implementation Constraints File]を選択し、ファイル名を「AND_TOP_UCF」として「Next」をクリックします。



下のような確認画面が表示されますので、間違いがなければ「Finish」をクリックします。

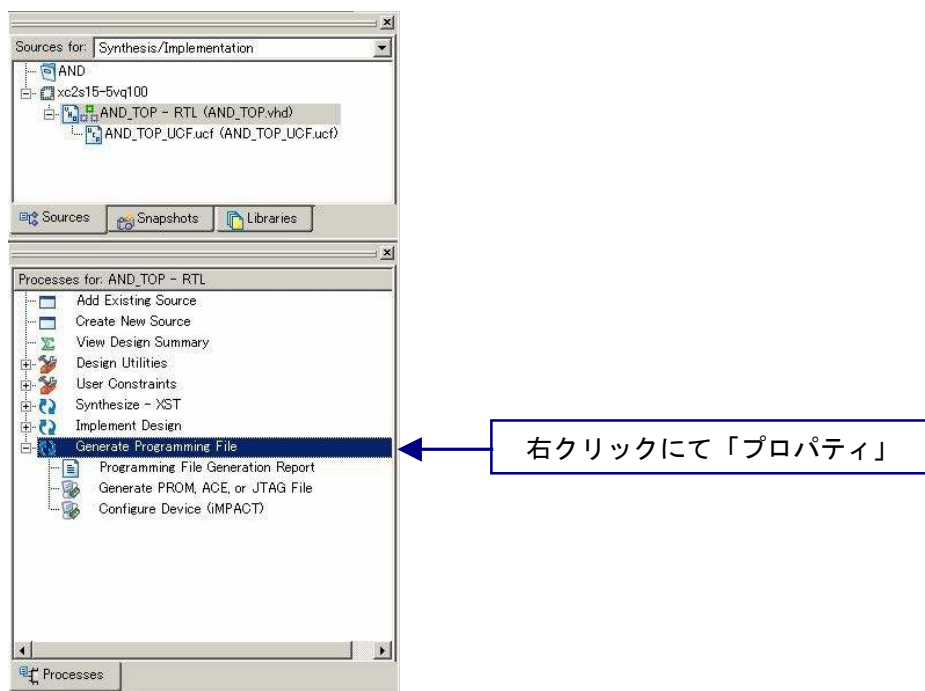


次のように「Edit Constraints (Text)」をダブルクリックし、ピン定義を行います。



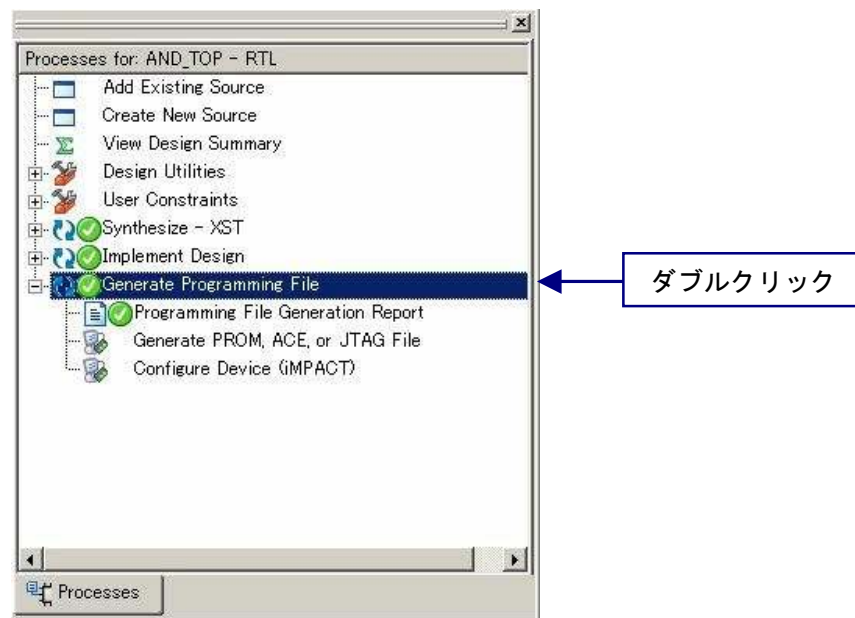
BIT ファイルの作成

BIT ファイルの「FPGA Start -Up Clock」は「CCLK」である必要があります。





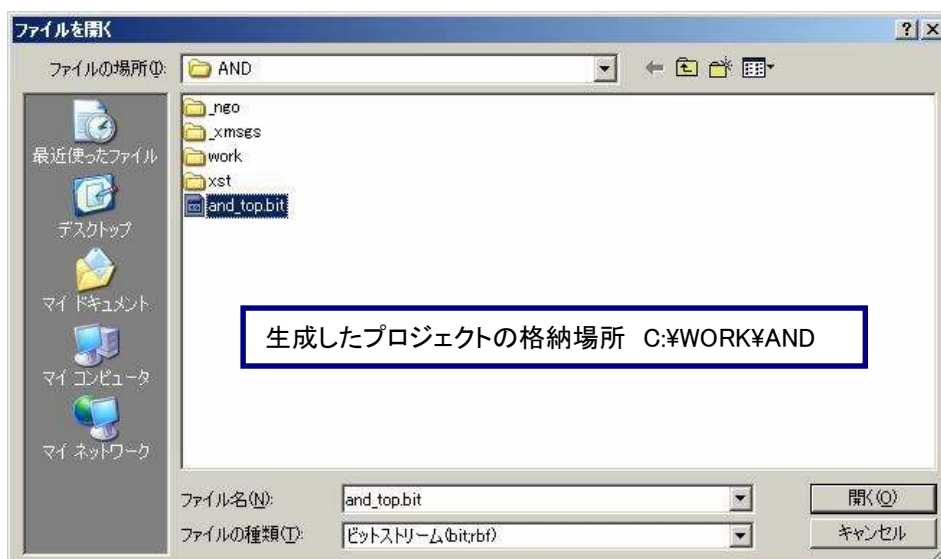
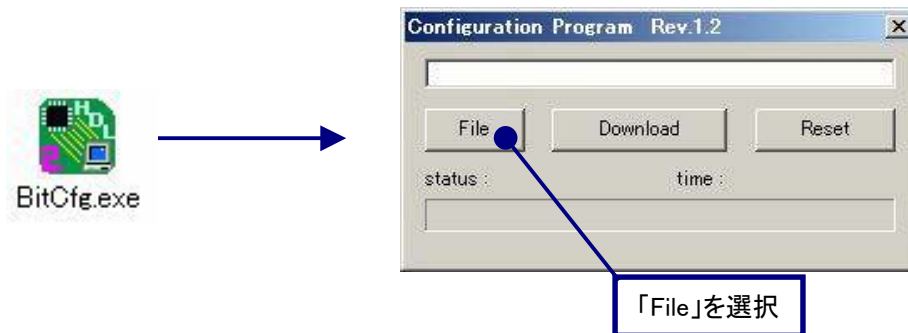
ダブルクリックにて BIT ファイルが、生成されます。正常に生成された場合には、緑のチェックが次のウインドウのようになります。



EDX-002 の FPGA へのコンフィグレーションは USB 経由で行うため、XILINX 社 iMPACT を利用することはできません。付属の専用ソフトウェアにて、USB コンフィグレーションを行ってください。

専用ソフトウェアによる FPGA コンフィグレーション

付属 CD 内にある「BitCfg.exe」を起動させると、次のウィンドウが起動します。

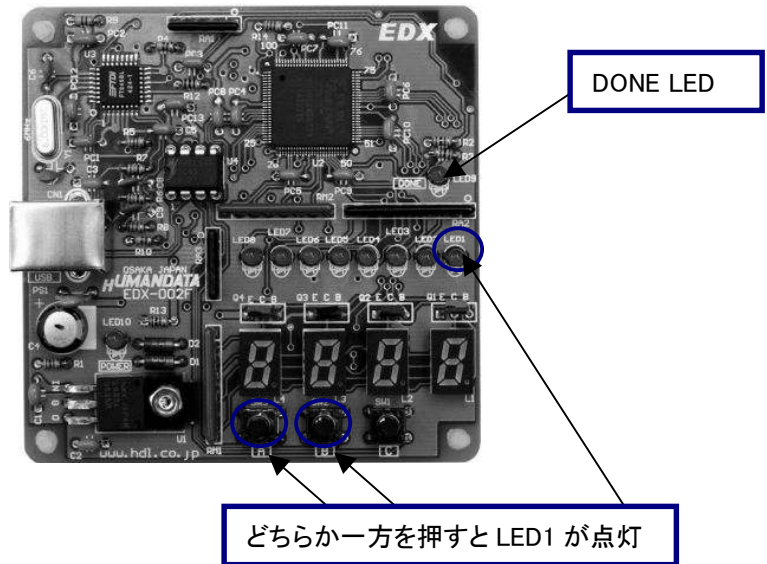


生成した AND 回路「and_top.bit」を選択し、「Download」を選択します。「DONE LED」が点灯し、ウィンドウの「status:success」であれば正常に FPGA にコンフィグレーションであることを意味します。

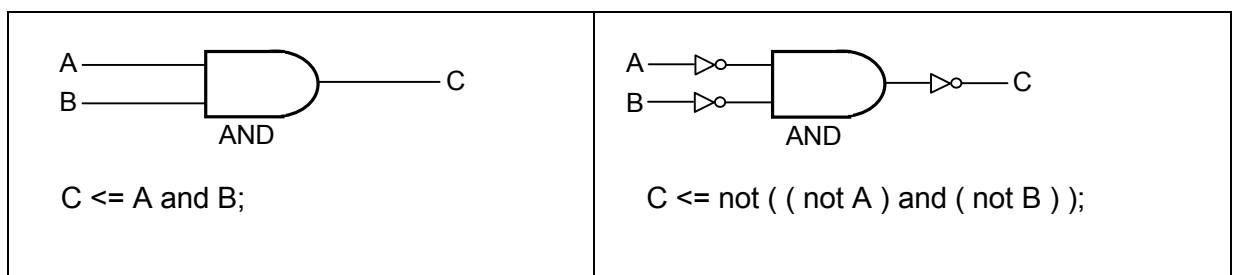


動作の確認

赤色 LED と押しボタンスイッチが負論理であるため、押すと点灯するのではなく両方の押しボタンを押していない状態で消灯し、それ以外は点灯となっています。



両方、押した時だけ点灯させるには、次のように「インバータ」を挿入します。

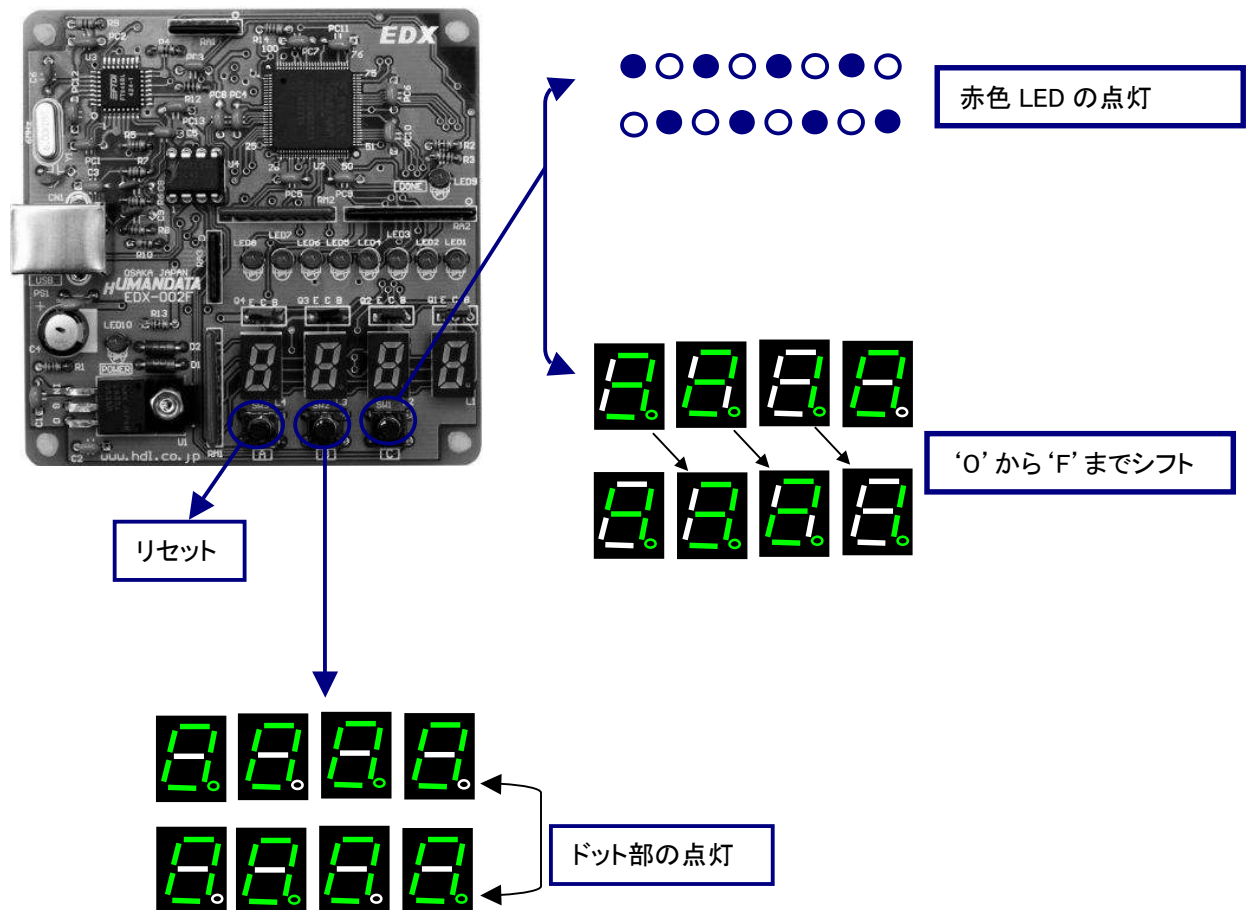


EDX-002 サンプル回路

これまでに説明した回路をもとに、サンプル回路の VHDL ソースコードを含む ISE プロジェクトを付属の CD に収録しています。EDX-002 用の USB ドライバがインストールされた状態で FPGA のコンフィグレーションを行ってください。

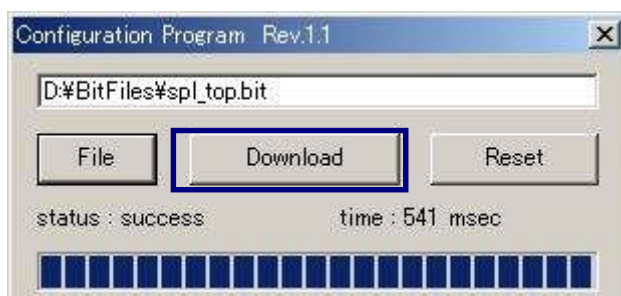
サンプル回路の動作

押しボタンスイッチ『A』『B』『C』を押すことによって、7セグメント LED と赤色 LED が点灯します。以下に動作を図示します。



サンプル回路のコンフィグレーション手順

1. 付属 CD 内の『BitCfg.exe』を起動する。
2. 付属 CD 内の『spl_top.bit』を指定し、「Download」ボタンを押す。



付属 CD-ROM の内容

CD 内の「readme.txt」をご覧ください。

最新のデータシートは、各社のホームページからダウンロードしてください。

XILINX 社のホームページ <http://www.xilinx.com/>

FTDI 社のホームページ <http://www.ftdichip.com/>

Spartan- II FPGA トレーナ

EDX-002

ユーザーズマニュアル

2004/10/05 第 2 版

2006/06/12 第 2 版(A)

2006/06/27 第 3 版

2007/04/13 第 4 版

2008/03/18 第 5 版

2008/06/25 第 6 版

2009/01/06 第 7 版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp>

このマニュアルは2色で印刷されております