

EDX-002 ユーザーズマニュアル

第 2 版

目次

はじめに.....	2
付属品.....	2
ご注意事項.....	2
概要.....	3
基板外観.....	3
ブロック図.....	3
開発環境.....	4
ダウンロードケーブル.....	4
クロック.....	4
7セグメント LED.....	4
押しボタンスイッチ.....	4
赤色 LED.....	4
電源.....	4
FPGA コンフィグレーション.....	4
FPGA ピンアサイン表.....	5
クロック.....	5
7セグメント LED.....	5
押しボタンスイッチ.....	5
7セグメント LED.....	5
USB ドライバのインストール.....	6
USB ドライバのアンインストール.....	8
ISE による開発手順.....	10
プロジェクトの新規作成.....	10
VHDL による AND 回路.....	12
新規ソースの追加.....	12
テストベンチの作成とシミュレーション.....	15
UCF ファイルの作成.....	19
BIT ファイルの作成.....	21
専用ソフトウェアによる FPGA コンフィグレーション.....	22
動作の確認.....	23
EDX-002 サンプル回路.....	24
サンプル回路の動作.....	24
サンプル回路のコンフィグレーション手順.....	24
付属 CD-ROM の内容.....	25

はじめに

この度は、FPGA トレーナ EDX-002 をお買い上げいただきまして、誠にありがとうございます。

EDX-002 は、Xilinx 社の FPGA であるスパルタン (XC2S15VQ100 : 15,000 ゲート) を実装したトレーナです。4桁数字表示 LED、汎用 LED、押しボタンスイッチ、クロックモジュール、FPGA コンフィグレーションに使用する USB インターフェースを実装しておりますので、快適に FPGA 設計を進めることができます。

VHDL や Verilog-HDL による論理回路設計の習得に、ご活用ください。

付属品

EDX - 002 本体
USB ケーブル
マニュアル(本書)
ユーザー登録はがき
付属 CD-ROM(P25 参照)

ご注意事項

本製品及び本書の内容は、改良のために予告なく変更することがあります。

本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。

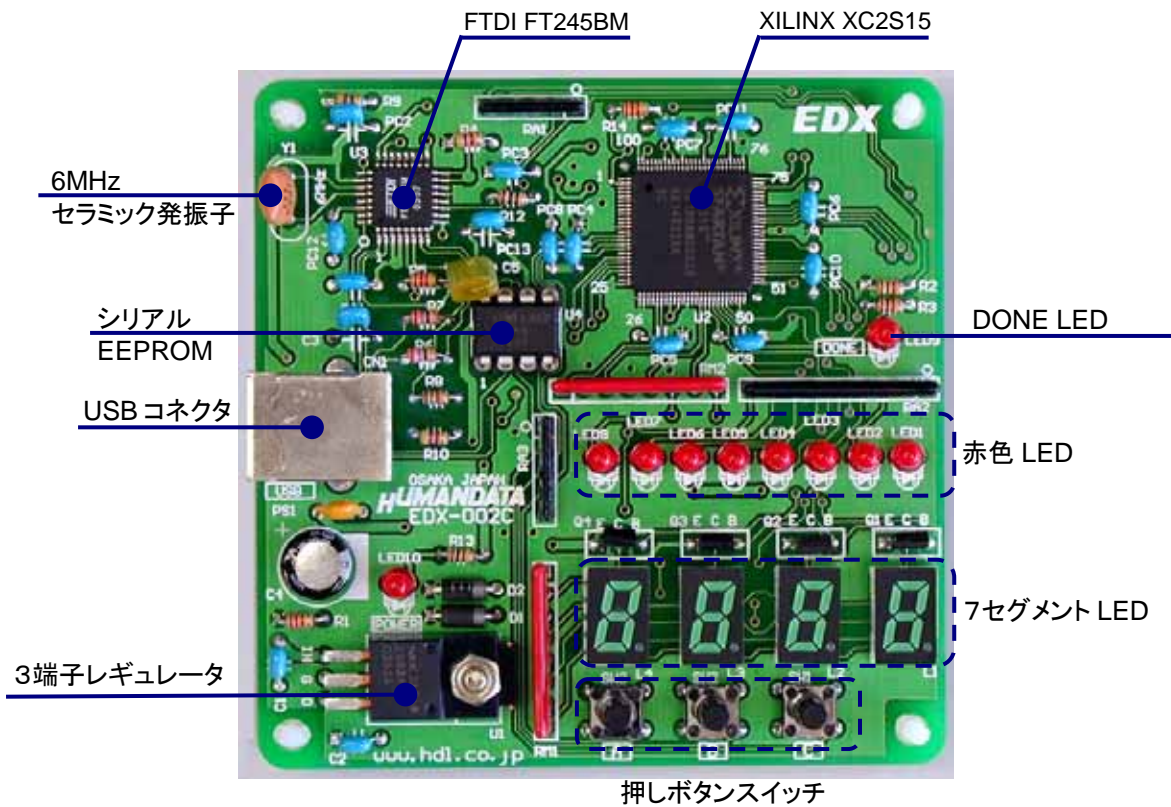
本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。

本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。

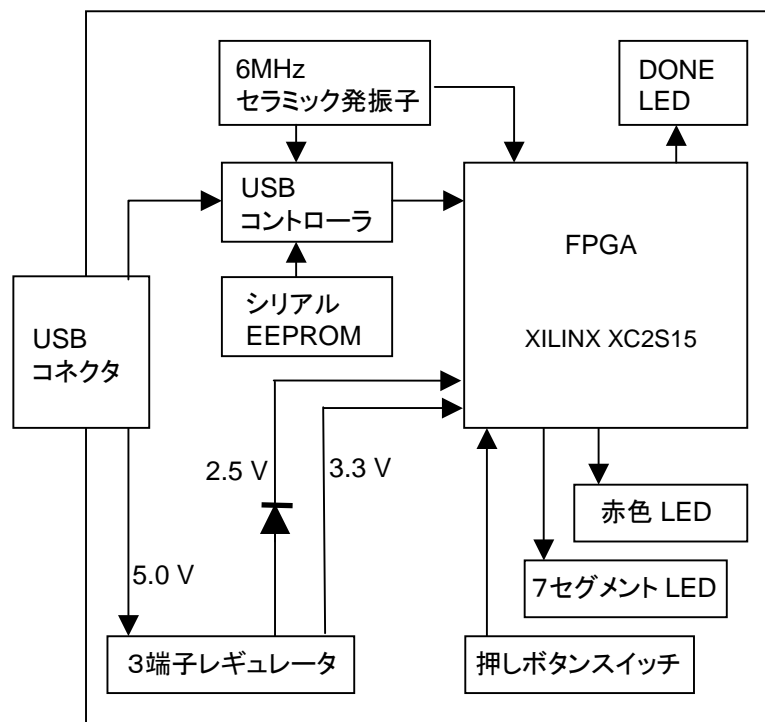
本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

概要

基板外観



ブロック図



開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、Xilinx 社が無償配布する WebPack ISE にて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

ダウンロードケーブル

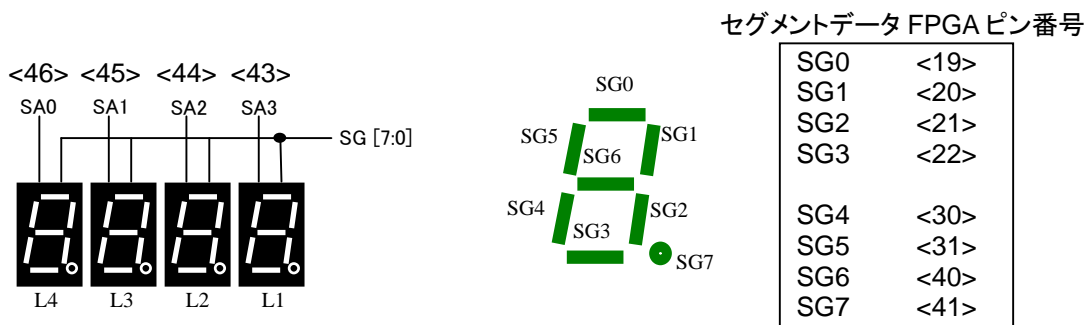
FPGA へのコンフィグレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。

クロック

6MHz セラミック発振子より、USB コントローラと FPGA にクロックを供給します。

7セグメント LED

4 つの 7SEG の一つを選択する信号 SA0,SA1,SA2,SA3 のいずれかを L とし、その他をハイインピーダンスまたはオープンレインにてオフとします。数 kHz で順番に表示させることによって、連続して点灯しているようにみえます。また、複数を同時に L とすると電流が過大となりますので、注意して下さい。



押しボタンスイッチ

押すと L になります。このピンは FPGA に対して、入力となりますので、出力しないでください。 押しボタンスイッチに対して **FPGA 側から出力するとショートします**ので注意してください。

赤色 LED

赤色 LED は負論理です。Low にて点灯します。完全に消灯させるには、ハイインピーダンスとするか、オープンレインにてオフとしてください。

電源

電源は USB から 5.0V が供給されます。FPGA が必要とする 3.3V、2.5V はオンボードのレギュレータとダイオードにより生成されます。

FPGA コンフィグレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA をコンフィグレーションすることができます。コンフィグレーションが終了し、DONE 信号が H になると 赤色 LED (LED9) が点灯します。

FPGA ピンアサイン表

クロック

信号名	I/O	ピン番号	備考
CLK0	I	P39	6MHz

7セグメント LED

信号名	I/O	ピン番号	備考
SA0	O	P46	
SA1	O	P45	
SA2	O	P44	
SA3	O	P43	
SG0	O	P19	
SG1	O	P20	
SG2	O	P21	
SG3	O	P22	
SG4	O	P30	
SG5	O	P31	
SG6	O	P40	
SG7	O	P41	小数点

押しボタンスイッチ

信号名	I/O	ピン番号	備考
PSW_A	I	P17	
PSW_B	I	P16	
PSW_C	I	P15	

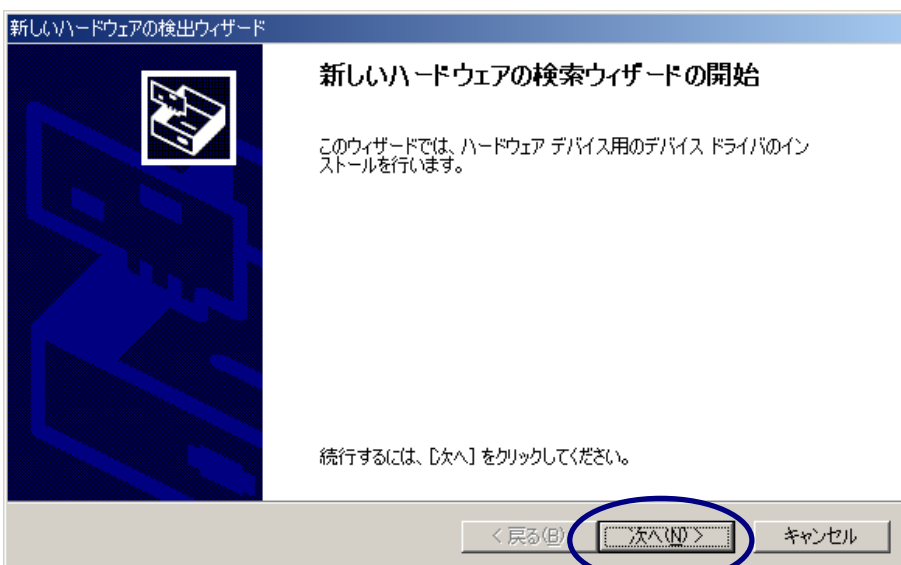
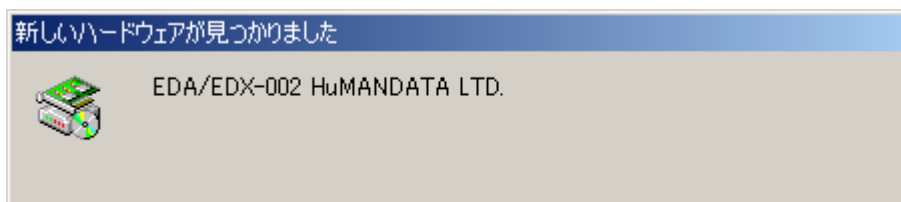
7セグメント LED

信号名	I/O	ピン番号	備考
LED0	O	P68	
LED1	O	P67	
LED2	O	P66	
LED3	O	P65	
LED4	O	P56	
LED5	O	P55	
LED6	O	P54	
LED7	O	P53	

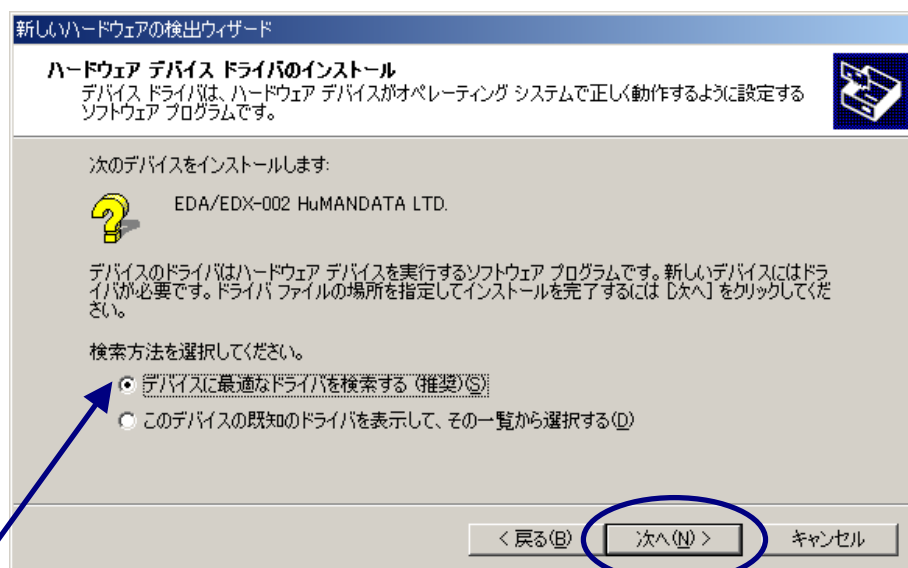
USB ドライバのインストール

FPGA へのコンフィグレーションと、USB の通信実験の前には、FTDI 社の提供するドライバを PC にインストールする必要があります。本章で説明するインストール作業が完了後、FPGA のコンフィグレーションが可能となります。

USB コネクタに付属 USB ケーブルを挿入すると、「新しいハードウェア」が認識され、次のダイアログが表示されます。次の手順に従ってインストール作業を完了ください。

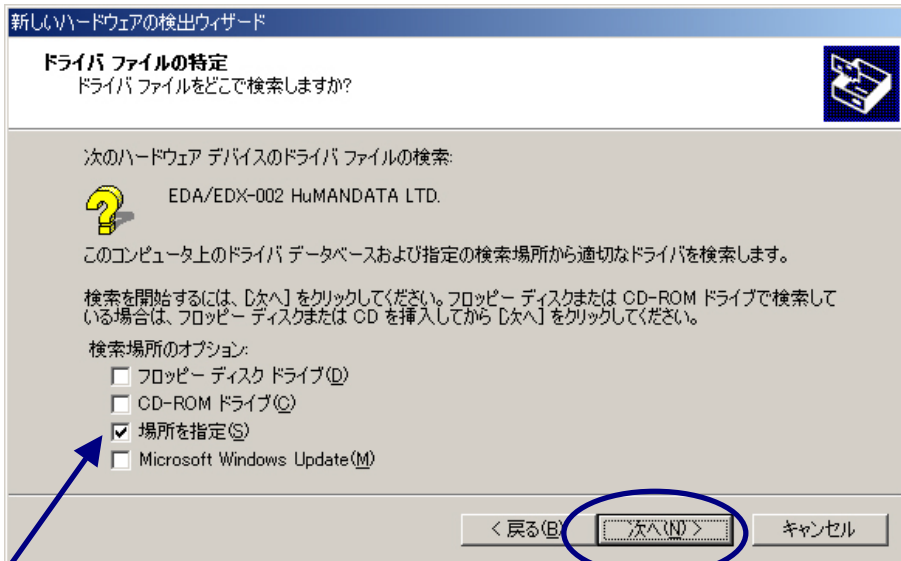


「次へ」をクリック



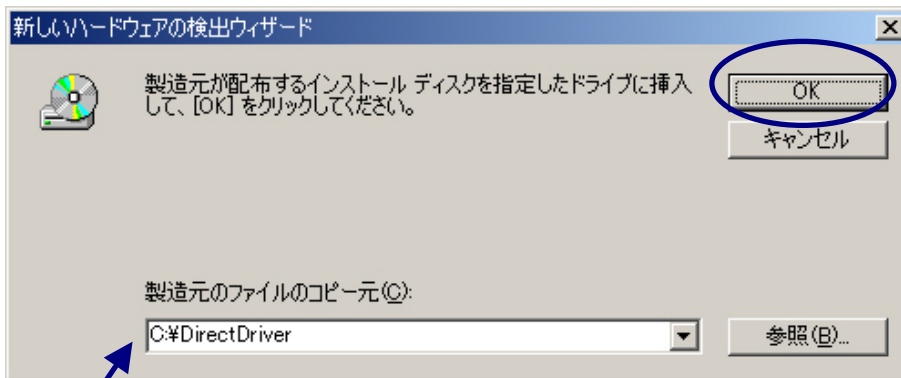
「次へ」をクリック

「デバイスに最適なドライバを検索する(推奨)」を選択



「場所を指定」を選択

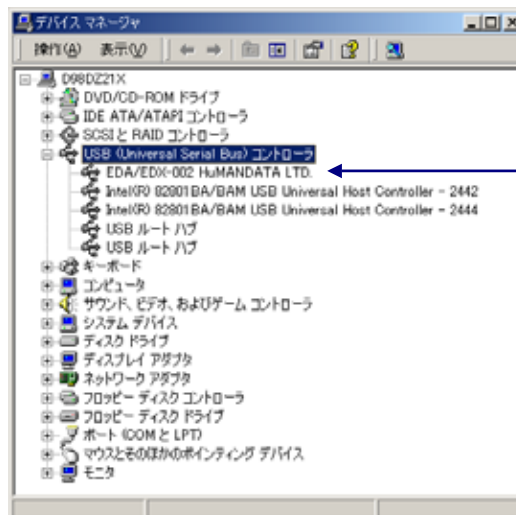
「次へ」をクリック



「OK」をクリック

「ftd2xx.inf」の格納場所を指定します。付属 CD の DirectDriver を選択して下さい

コントロールパネルのデバイスマネージャを開いてください。USB (Universal Serial Bus) コントローラとポートの項目に、「EDA / EDX-002 HuMANDATA LTD.」が追加されているか確認してください。



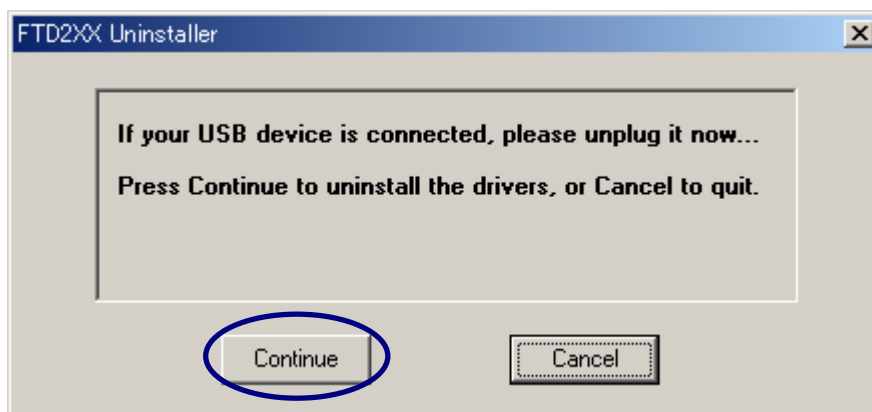
「EDA/EDX-002 HuMANDATA LTD.」
正常にインストールされた状態

USB ドライバのアンインストール

インストールした USB ドライバをアンインストールには、**PC と EDX-002 を接続しない状態で**「スタート」 - 「設定」 - 「コントロールパネル」 - 「アプリケーションの追加と削除」から「EDA/EDX-002 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。

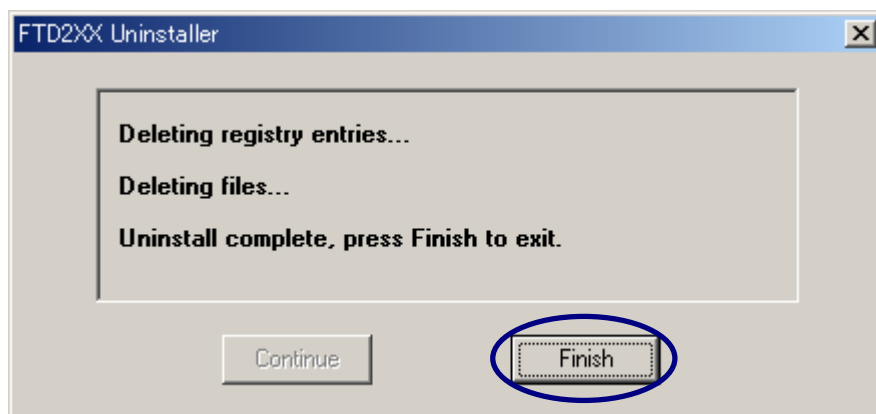


実行すると、次のようなダイアログが表示されます。



「Continue」をクリック

次のダイアログで「Finish」をクリックすれば、終了です。



「Finish」をクリック

ISE による開発手順

EDX-002 に搭載されている FPGA をコンフィグレーションするには、bit ファイルが、必要となります。このファイルを生成する手順について説明します。bit ファイルを生成するには、次の開発ツールが必要となります。

WebPack ISE もしくは Foundation ISE
Model Sim

以下、XILINX 社の WebPack ISE 6.2.03i と Model Sim EX II /Starter5.7g での bit ファイルの生成手順を説明します。

プロジェクトの新規作成

プロジェクトを新規作成するには、[File] [New Project] をクリックします。ここで、ディレクトリとプロジェクト名、ターゲットとなるデバイスも選択します。

プロジェクトディレクトリは「C: ¥ WORK」とします。プロジェクト名を「AND」と入力すると、自動的に「C: ¥ WORK ¥ AND」に変更されます。

New Project

Enter a Name and Location for the Project

Project Name: AND Project Location: C:¥WORK¥AND

Select the type of Top-Level module for the Project

Top-Level Module Type: HDL

< 戻る(B) 次へ(N) > キャンセル ヘルプ

New Project

Select the Device and Design Flow for the Project

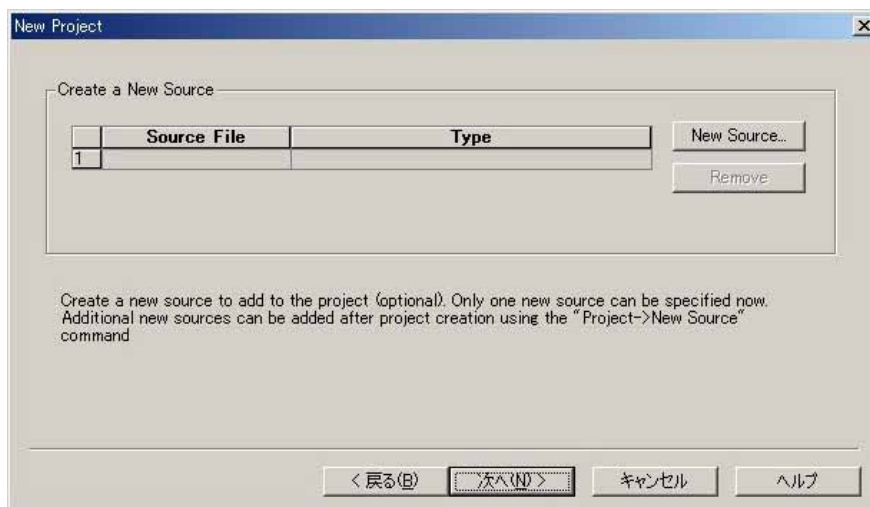
Property Name	Value
Device Family	Spartan2
Device	xc2s15
Package	vq100
Speed Grade	-5
Top-Level Module Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	Modelsim
Generated Simulation Language	VHDL

< 戻る(B) 次へ(N) > キャンセル ヘルプ

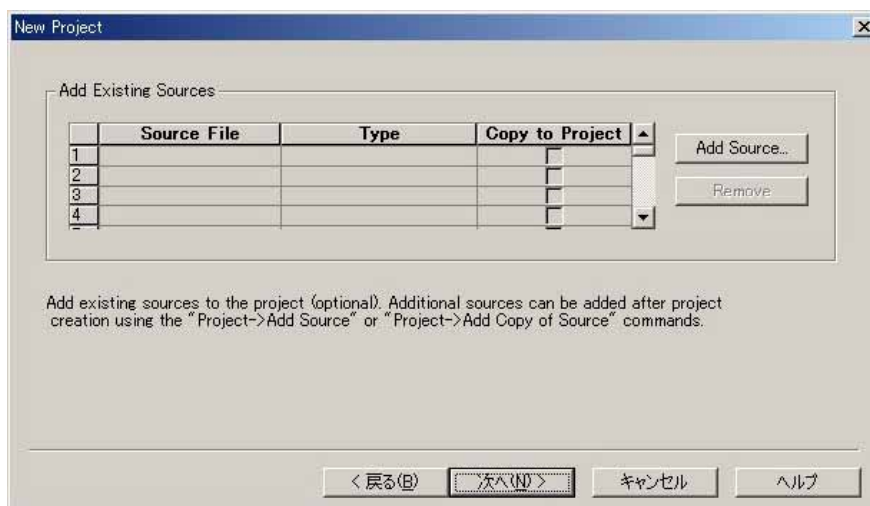
上ウインドウのように EDX-002 に搭載されているデバイスに変更します。次の値に変更してください。

Property Name	Value
Device Family	Spartan2
Device	xc2s15
Package	Vq100
Speed Grade	-5
Top-Level Module Type	HDL
Synthesis Tool	XST (VHDL / verilog)
Simulator	Modelsim
Generated Simulation Language	VHDL

「次へ」をクリックすると下のように表示されますが、「次へ」をクリックします。



下のように表示されますが、「次へ」をクリックします。

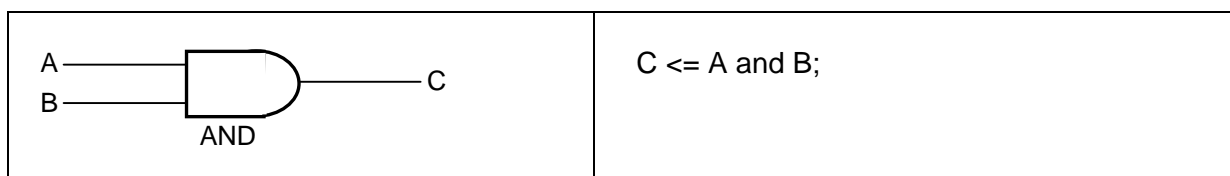


下のような確認画面がでますので、間違いがなければ「完了」をクリックしてください。



VHDL による AND 回路

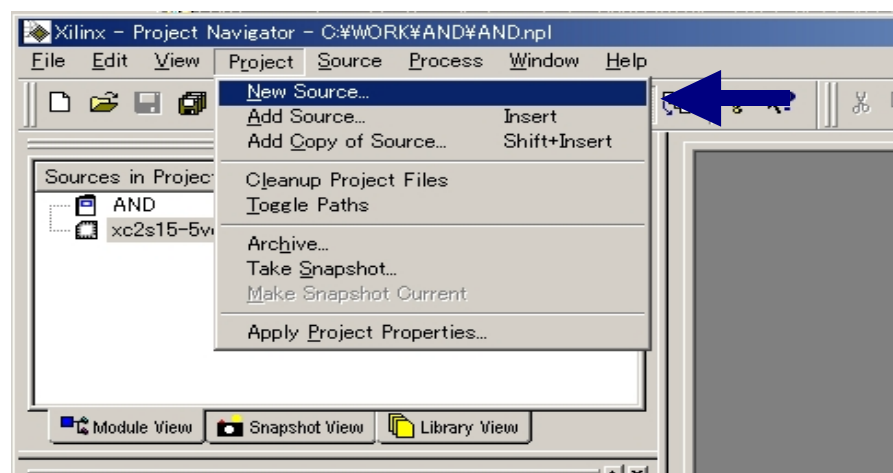
VHDL では、AND 回路は次のように記述します。



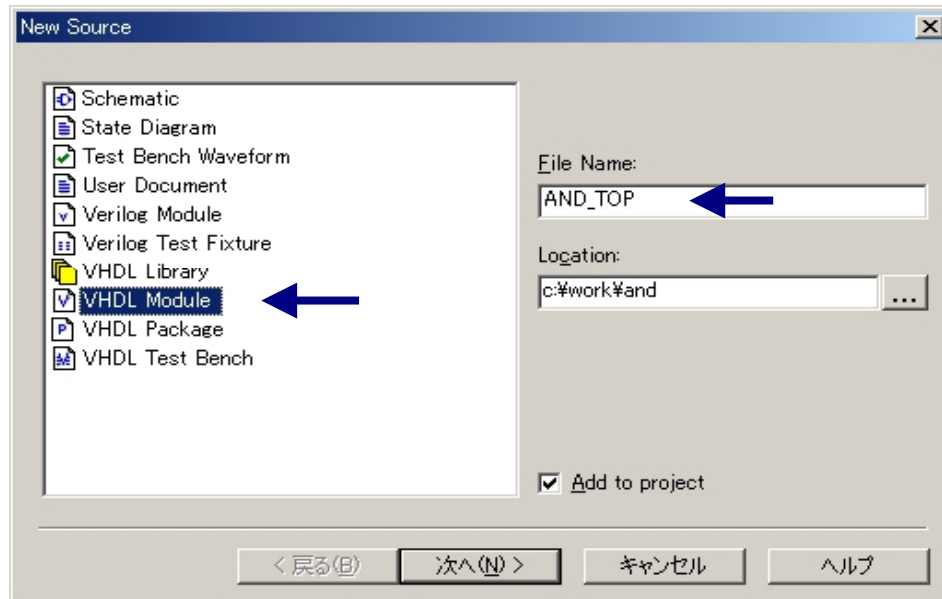
入力 A を「押しボタンスイッチ」の「SW3(A)」、入力 B を「押しボタンスイッチ」の「SW2(B)」とします。出力 C は「赤色 LED」の「LED1」とします。実装する手順について説明します。

新規ソースの追加

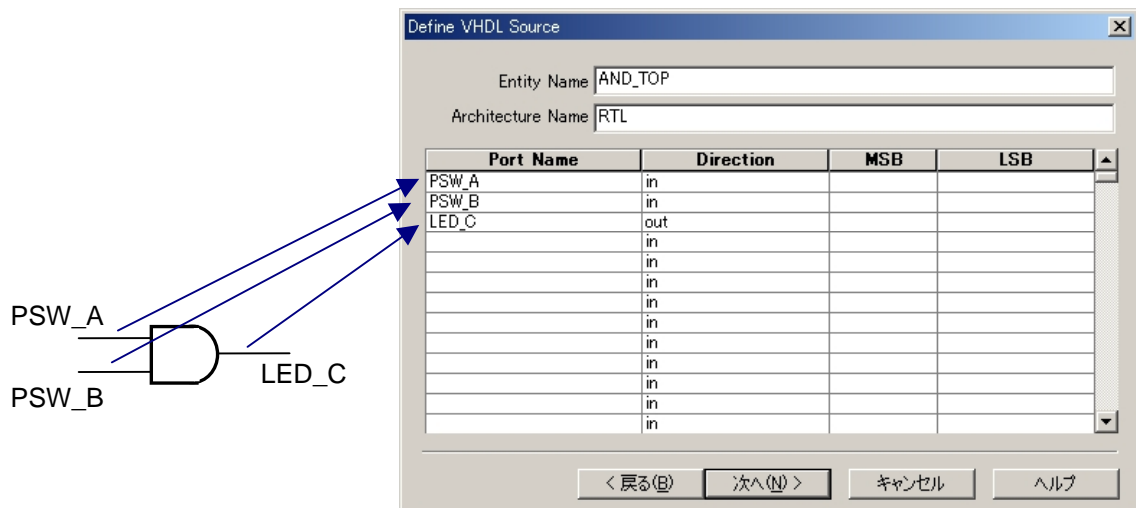
[Project] - [New Source] を選択します。



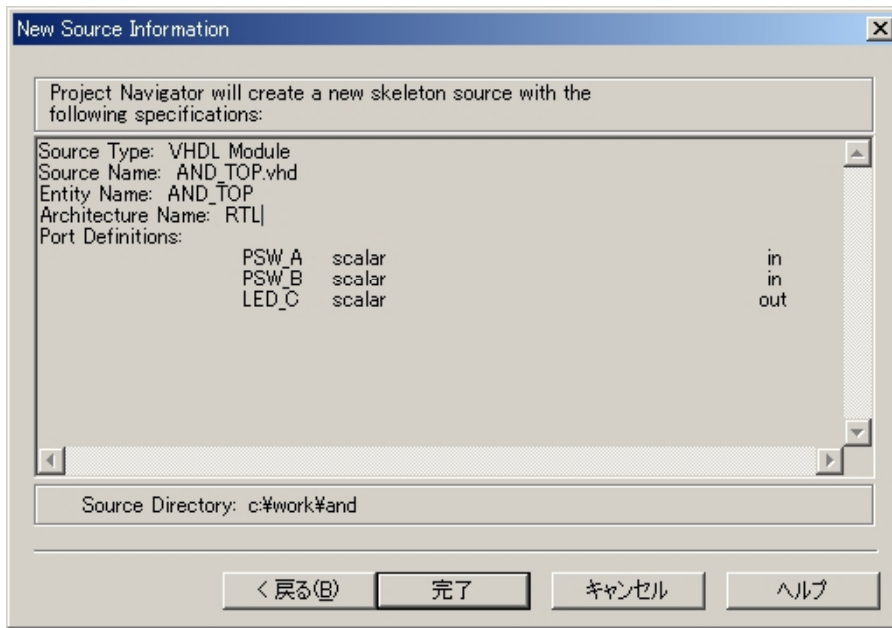
次に[VHDL Module] を選択し、ファイル名を付けます。ここでは「AND_TOP」としています。



次に信号名を付けます。入力信号 (A、B) と出力信号 C を定義します。



「次へ」をクリックすると下のような確認画面がでますので間違いがなければ「完了」をクリックしてください。



自動的に次のようなVHDLコードの雛型が生成されます。このコードに追加します。

```

AND_TOP.vhd
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_ARITH.ALL;
4  use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6  -- Uncomment the following lines to use the declarations that are
7  -- provided for instantiating Xilinx primitive components.
8  --library UNISIM;
9  --use UNISIM.VComponents.all;
10
11 entity AND_TOP is
12     Port ( PSW_A : in std_logic;
13           PSW_B : in std_logic;
14           LED_C  : out std_logic);
15 end AND_TOP;
16
17 architecture RTL of AND_TOP is
18
19 begin
20
21
22 end RTL;
23

```

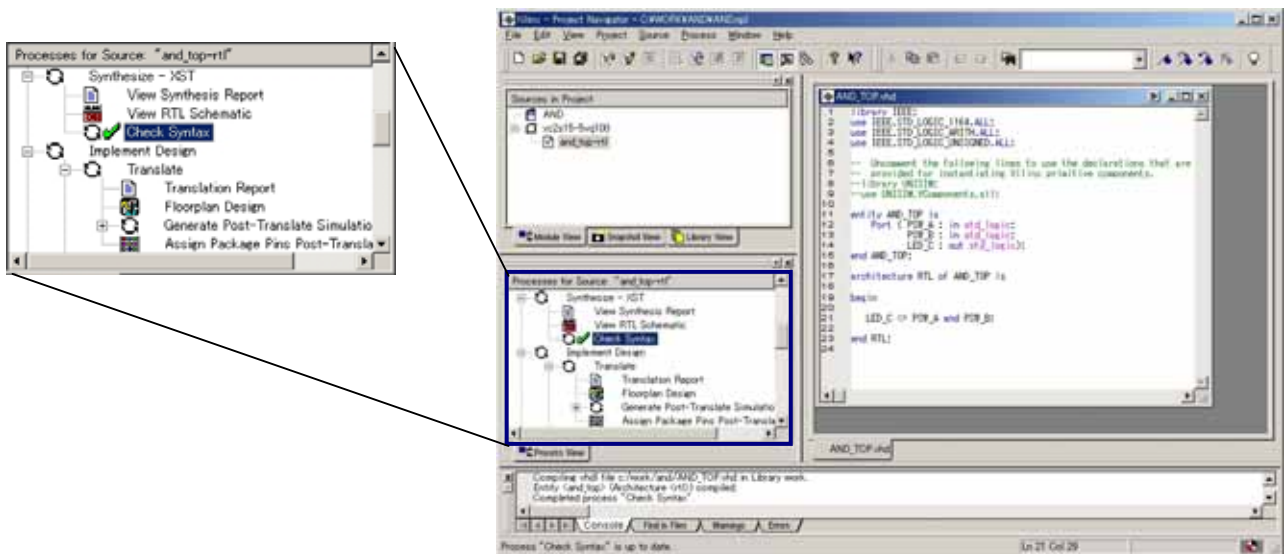
次の一行を追加します。

```

11  entity AND_TOP is
12     Port ( PSW_A : in std_logic;
13           PSW_B : in std_logic;
14           LED_C  : out std_logic);
15 end AND_TOP;
16
17  architecture RTL of AND_TOP is
18
19  begin
20
21     LED_C <= PSW_A and PSW_B; ← 追加
22
23  end RTL;
24

```

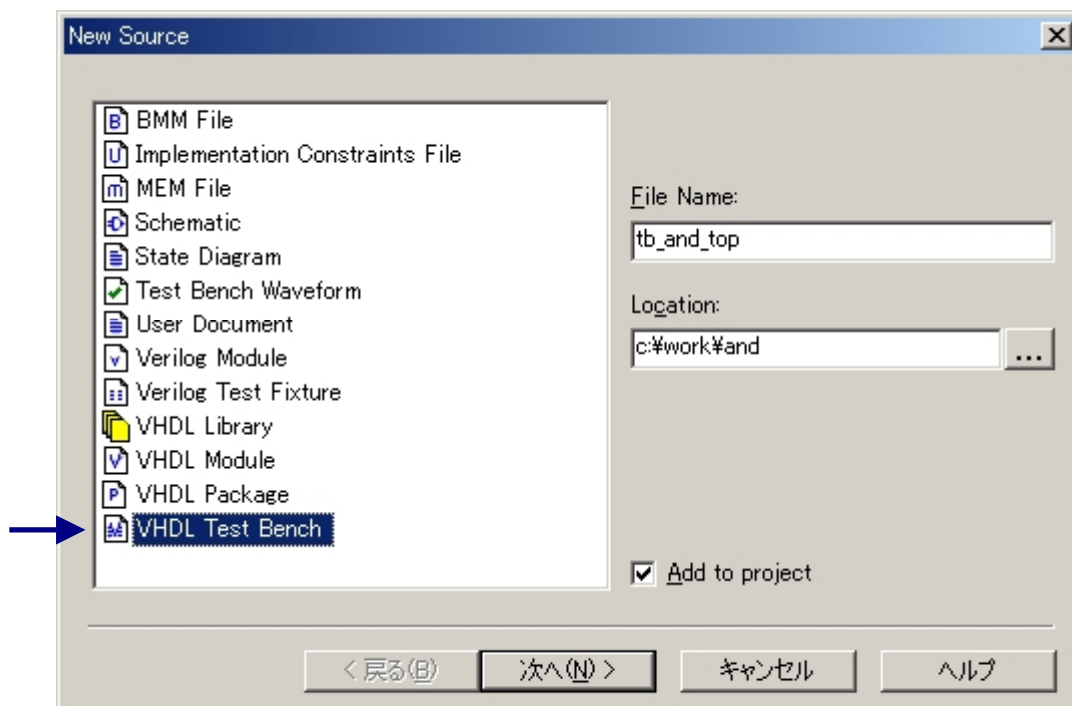

プロセスウィンドウの「Synthesize」 - 「Check Syntax」をダブルクリックし、文法チェックを確認します。緑のチェックマークが付けば正常です。もし赤色の×マークが付けば文法の誤りが存在しますので、修正してください。



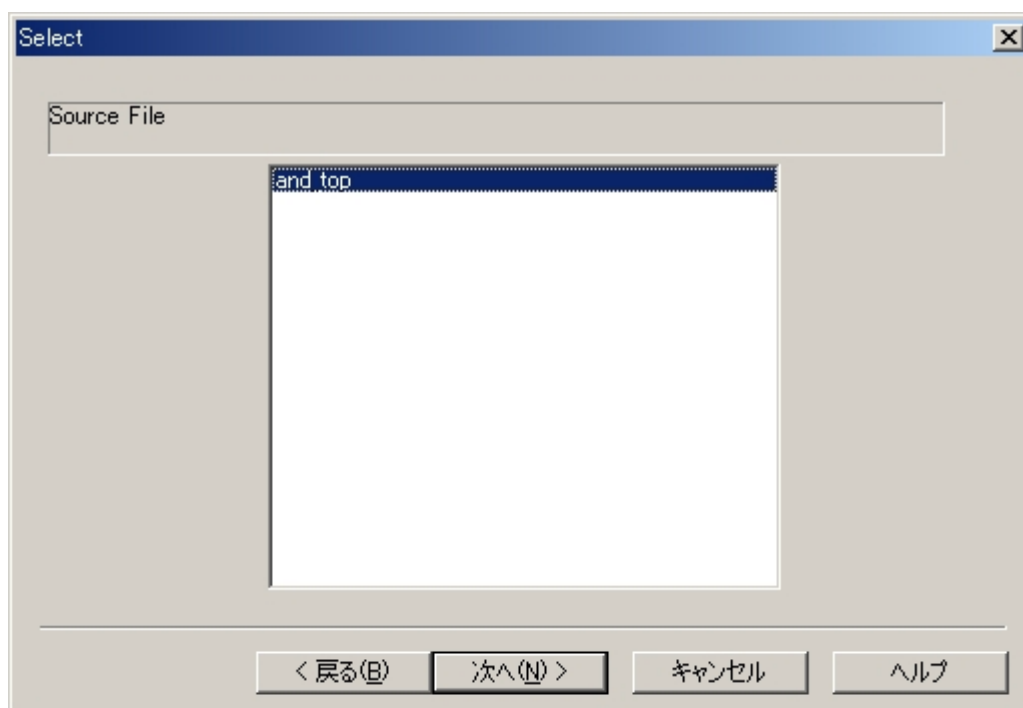
テストベンチの作成とシミュレーション

次にシミュレーションに必要なテストベンチを生成します。VHDL ソース同様に[Project] - [New Source] を選択します。「VHDL Test Bench」を選択し、ファイル名を「tb_and_top」として「次へ」をクリックします。

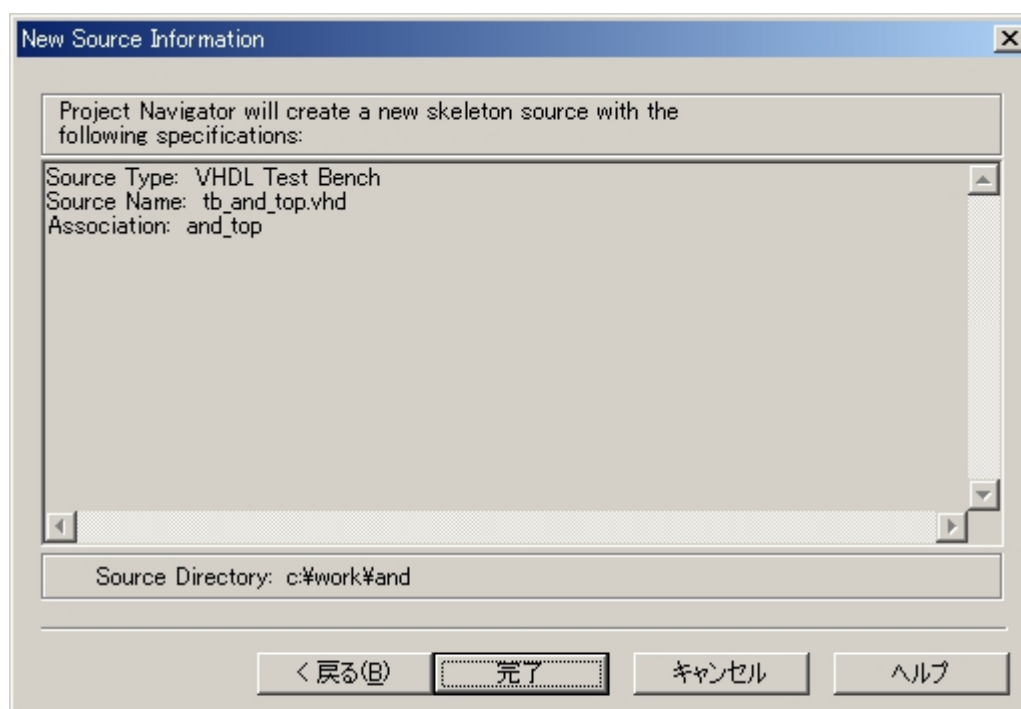
(シミュレーションを行うためには Xilinx 社の ModelSim が、インストールされていることが、必要です。)



対象の VHDL コードである「and_top」を選択して、「次へ」をクリックします。



下のような確認画面が、でますので間違いがなければ「完了」をクリックすれば VHDL のテストベンチが自動生成されます。



自動的に生成されたテストベンチの雛型に次の4行を追加します。

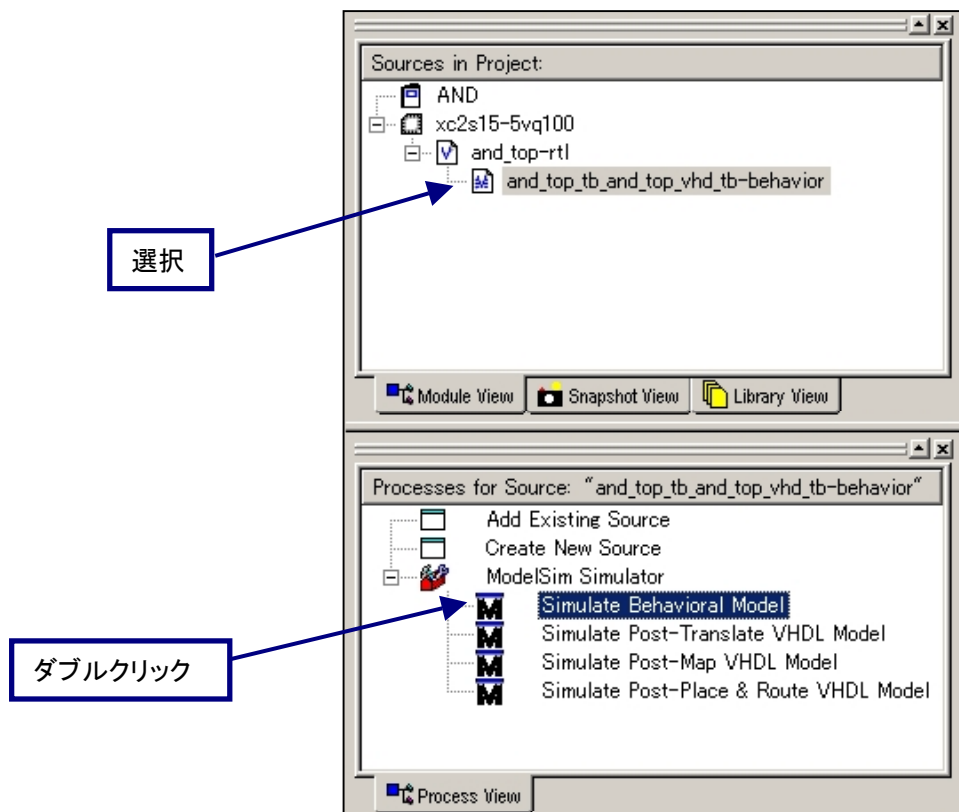
```

33
34 uut: and_top PORT MAP(
35     PSW_A => PSW_A,
36     PSW_B => PSW_B,
37     LED_C => LED_C
38 );
39
40
41 -- *** Test Bench - User Defined Section ***
42 tb : PROCESS
43 BEGIN
44 -----
45     psw_a <= '0'; psw_b <= '0'; wait for 100 ns;
46     psw_a <= '0'; psw_b <= '1'; wait for 100 ns;
47     psw_a <= '1'; psw_b <= '0'; wait for 100 ns;
48     psw_a <= '1'; psw_b <= '1'; wait for 100 ns;
49 -----
50     wait; -- will wait forever
51 END PROCESS;
52 -- *** End Test Bench - User Defined Section ***
53
54 END;
55

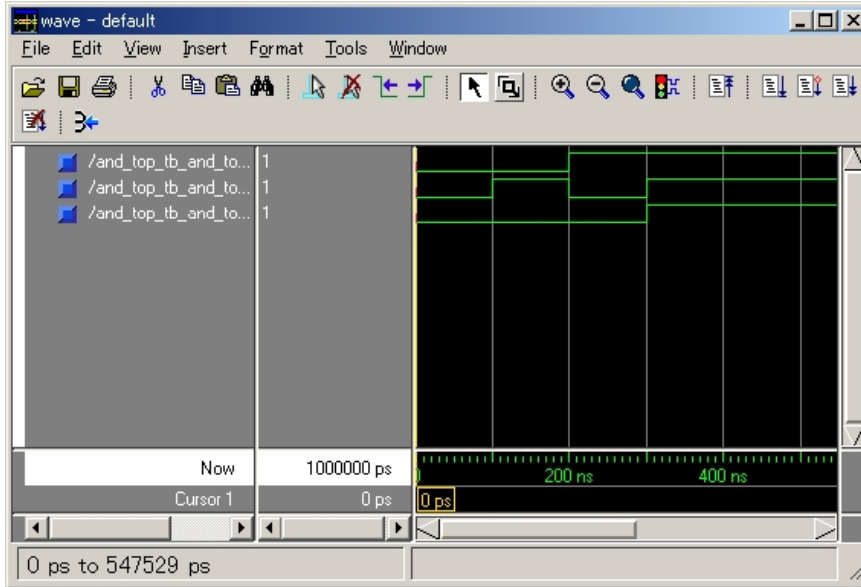
```

追加

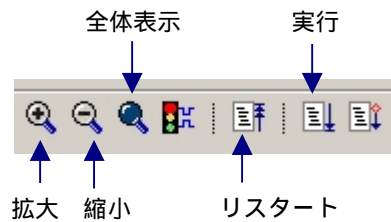
[and_top_tb_and_top_vhd_tb-behavior] を選択した状態で、「Simulate Behavioral Model」をダブルクリックします。



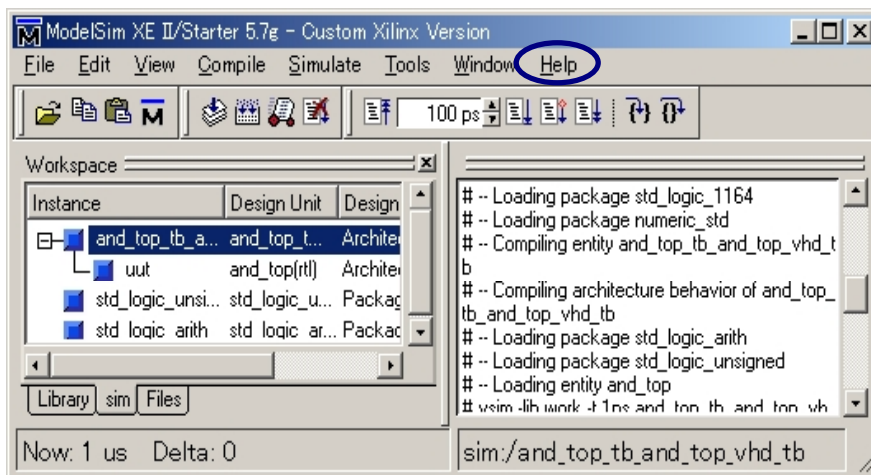
Model Sim が、自動的に起動すると次のように波形の確認ができます。



再実行するにはツールバーの「Restart」をクリックしてください。波形ウインドウのツールバーは次のようになっています。

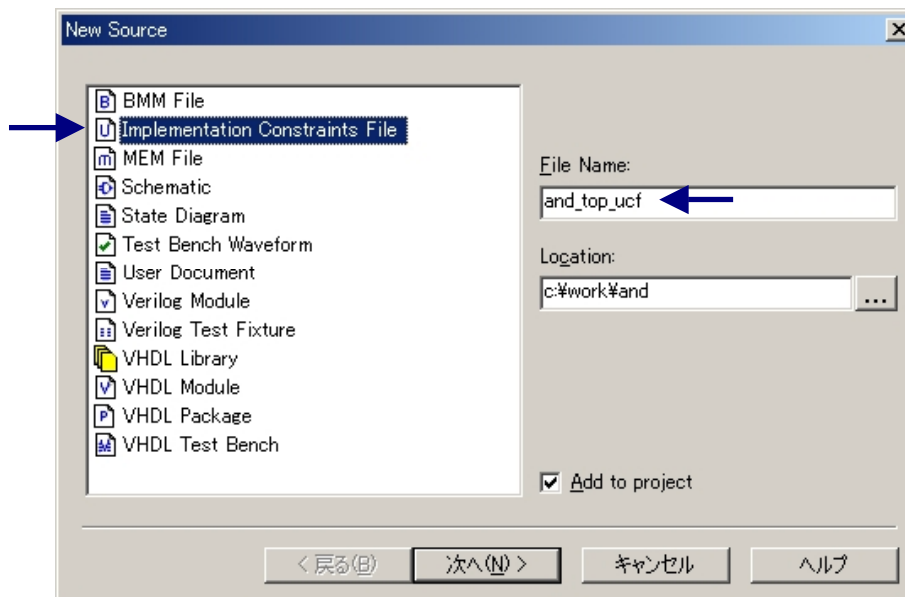


Model Sim は非常に豊富な機能をもっております。詳細につきましては、[Help]-[PDF Documentation]からユーザーズマニュアルを参照してください。

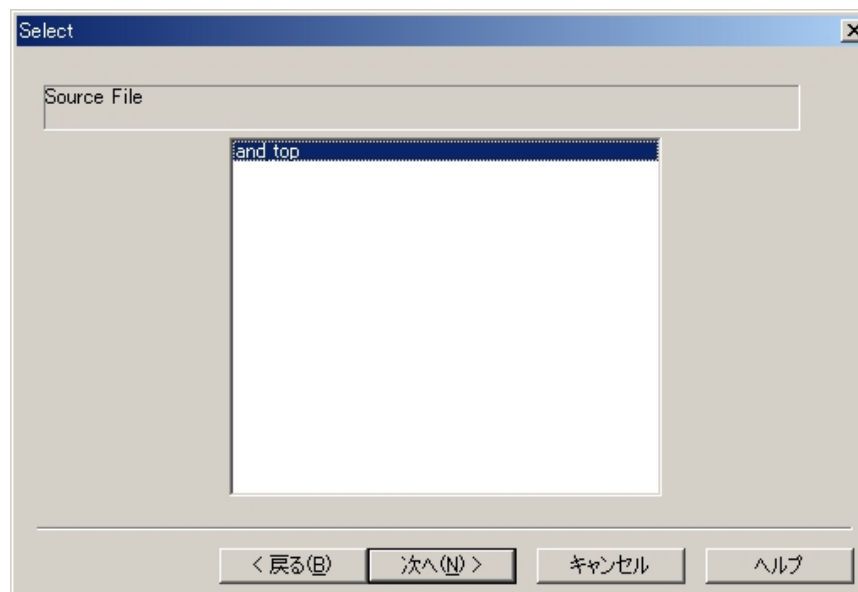


UCF ファイルの作成

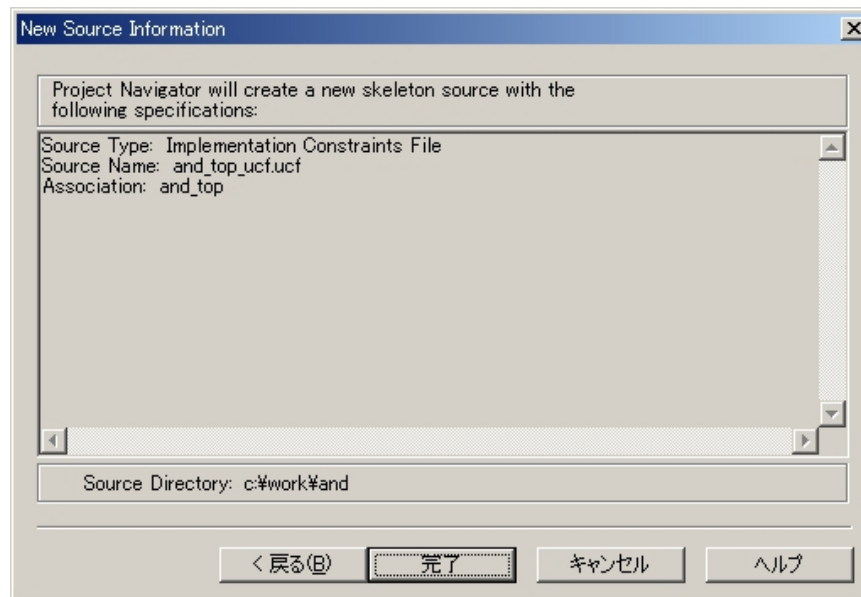
FPGA のピンを固定するために、UCF ファイルを作成します。VHDL ソース同様に[Project] - [New Source] を選択します。[Implementation Constraints File]を選択し、ファイル名を「and_top_ucf」として「次へ」をクリックします。



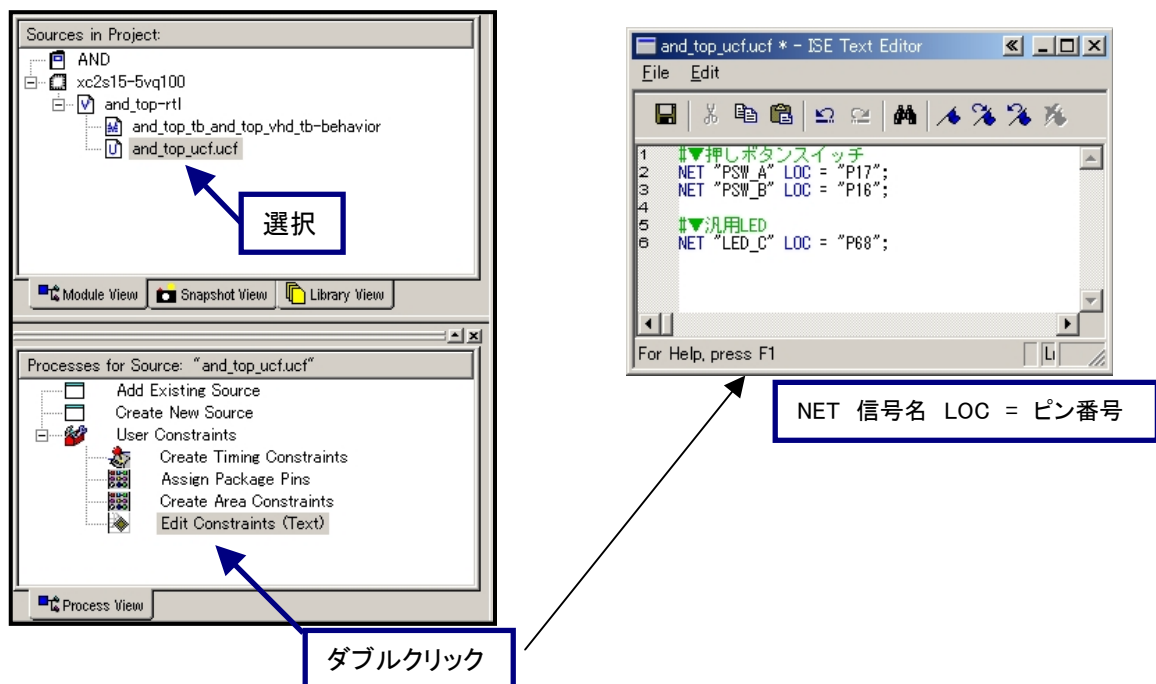
対象の VHDL コードである「and_top」を選択して、「次へ」をクリックします。



下のような確認画面が、でますので間違いがなければ「完了」をクリックします。

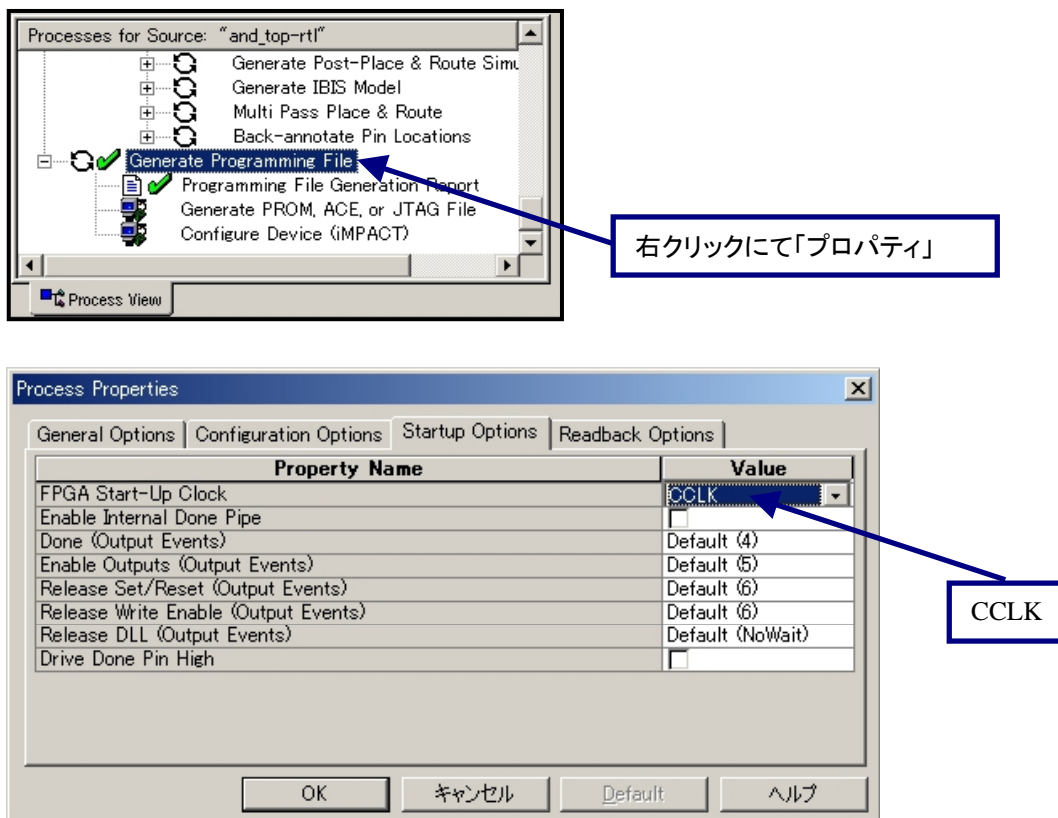


次のように「Edit Constraints (Text)」をダブルクリックし、ピン定義を行います。

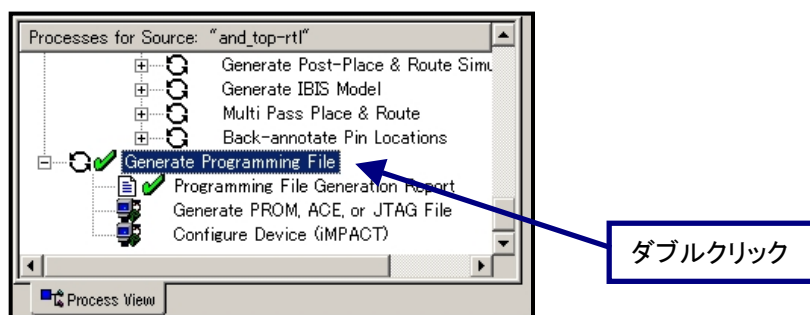


BIT ファイルの作成

BIT ファイルの「FPGA Start-Up Clock」は「CCLK」である必要があります。



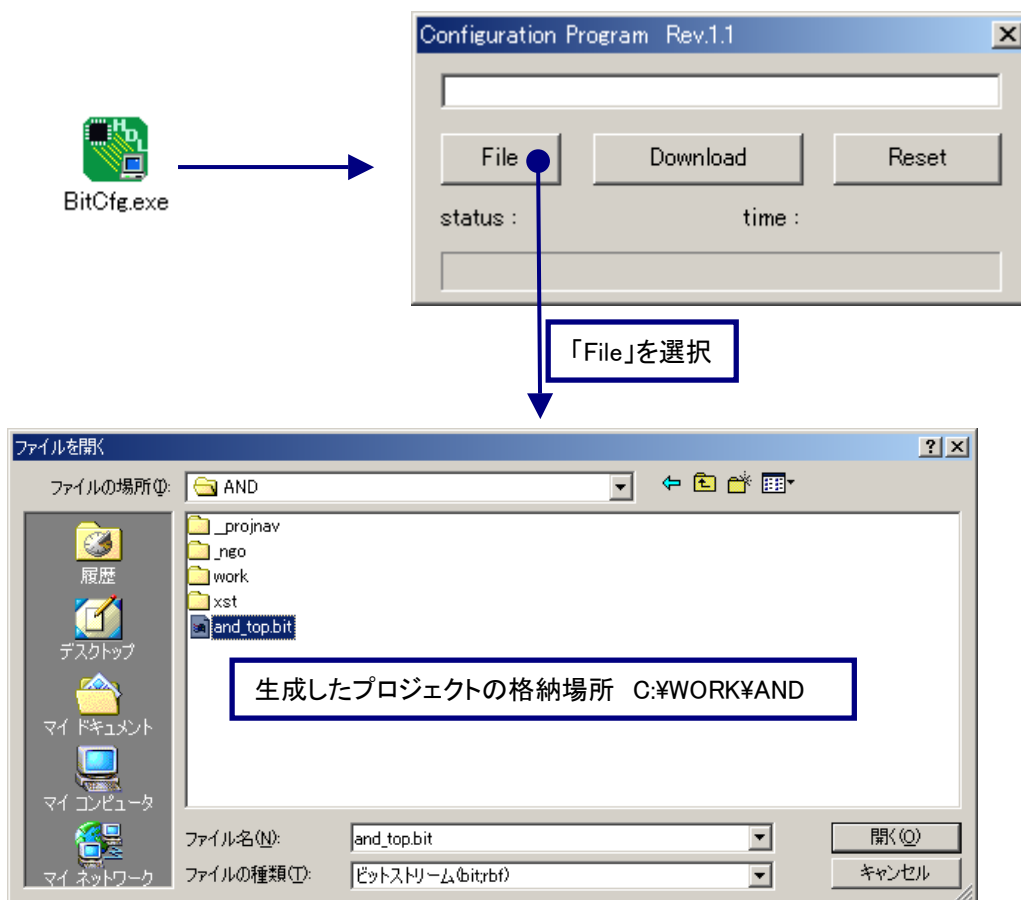
ダブルクリックにて BIT ファイルが、生成されます。正常に生成された場合には、緑のチェックが、次のウィンドウのようになります。



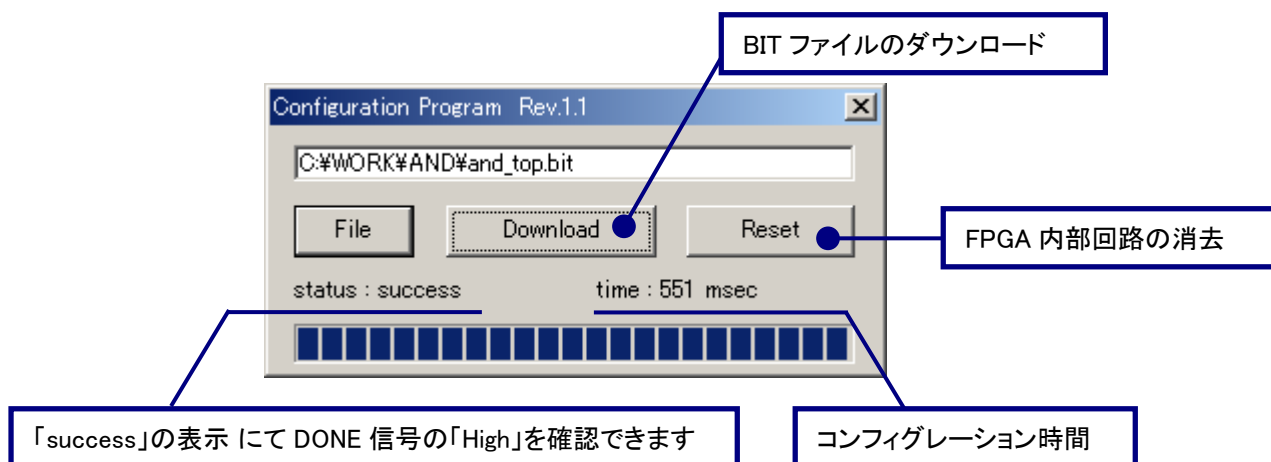
EDX-002 の FPGA へのコンフィグレーションは USB 経由で行うため、XILINX 社 iMPACT を利用することはできません。付属の専用ソフトウェアにて、USB コンフィグレーションを行ってください。

専用ソフトウェアによる FPGA コンフィグレーション

付属 CD 内にある「BitCfg.exe」を起動させると、次のウィンドウが起動します。

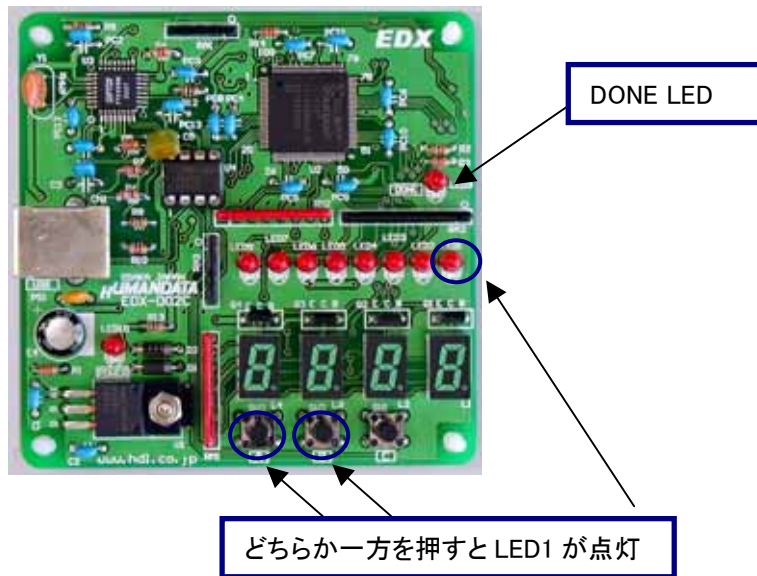


生成した AND 回路「and_top.bit」を選択し、「Download」を選択します。「DONE LED」点灯し、ウィンドウの「status:success」であれば正常に FPGA にコンフィグレーションであることを意味します。

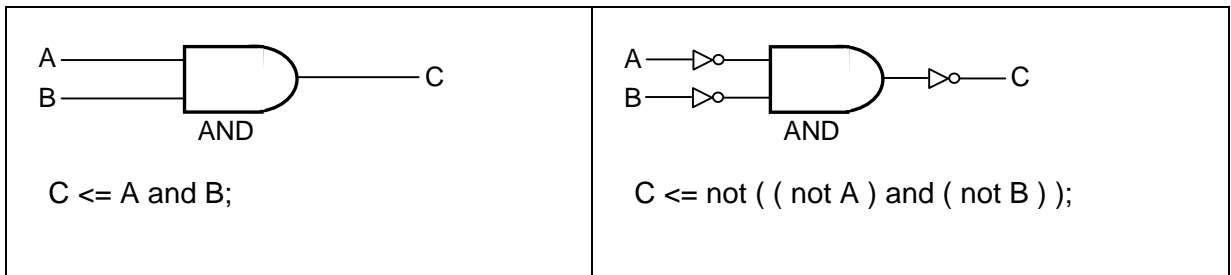


動作の確認

赤色 LED と押しボタンスイッチが負論理であるため、押すと点灯するのではなく両方の押しボタンを押していない状態で消灯し、それ以外は点灯となっています。



両方、押した時だけ点灯させるには、次のように「インバータ」を挿入します。

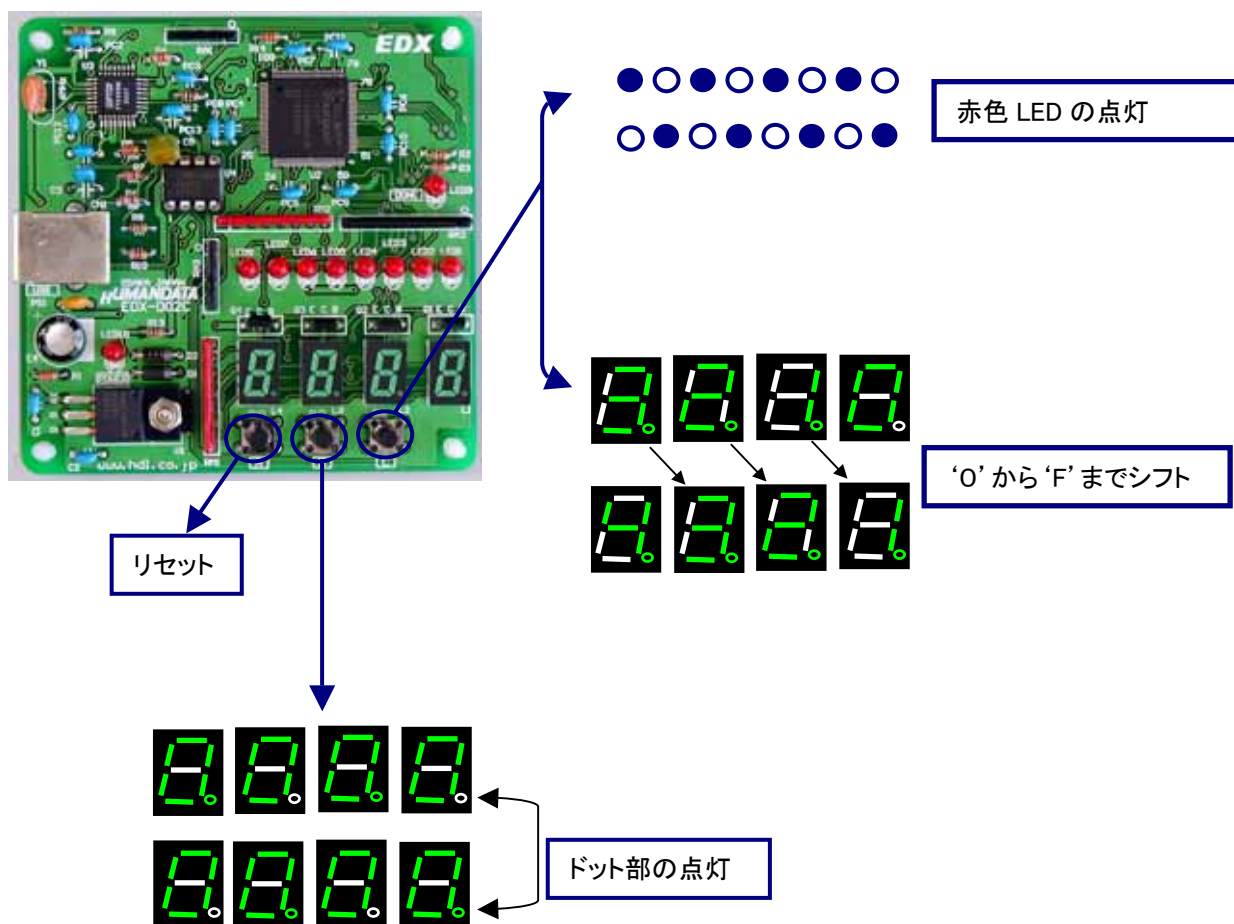


EDX-002 サンプル回路

これまでに説明した回路をもとに、サンプル回路の VHDL ソースコードを含む ISE プロジェクトを付属の CD に収録しています。EDX-002 用の USB ドライバがインストールされた状態で FPGA のコンフィグレーションを行ってください。

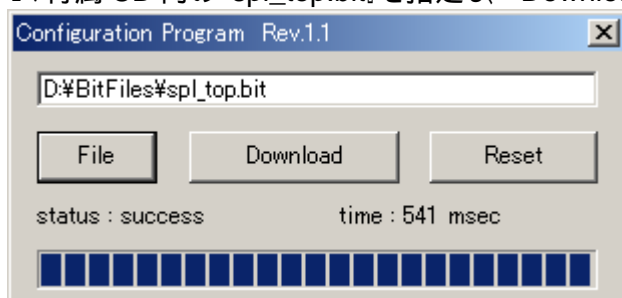
サンプル回路の動作

押しボタンスイッチ『A』『B』『C』を押すことによって、7セグメントLEDと赤色LEDが点灯します。以下に動作を図示します。



サンプル回路のコンフィグレーション手順

1. 付属 CD 内の『BitCfg.exe』を起動する。
2. 付属 CD 内の『spl_top.bit』を指定し、「Download」ボタンを押す。



付属 CD-ROM の内容

【BitCfg】

FPGA コンフィグレーションのためのソフトウェア
Visual C++ のソースコード

【DirectDriver】

USB ドライバ (FTDI 社ダイレクトドライバ)

【EDA-002】

【DataSheet】

EP1K10TC100-3 (ALTERA 社 FPGA) acex.pdf
FT245BM (FTDI 社 USB FIFO) ds245b14.pdf

【Quartus】

「AND 回路 (and.zip)」と「応用回路 (spl.zip)」の Quartus II プロジェクト

【Document】

EDA-002 ユーザーマニュアル(カラー) EDA002man.pdf
EDA-002 回路図 EDA002B.sch.pdf

【RbfFiles】

マニュアルで説明した「AND 回路 (and.rbf)」と「応用回路 (spl.rbf)」の rbf ファイル

【EDX-002】

【DataSheet】

XC2S15VQ100 (XILINX 社 FPGA) ds001.pdf
FT245BM (FTDI 社 USB FIFO) ds245b14.pdf

【ISEprj】

「AND 回路 (and.zip)」と「応用回路 (spl.zip)」の ISE プロジェクト

【Document】

EDX-002 ユーザーマニュアル(カラー) EDX002man.pdf
EDX-002 回路図 EDX002C.sch.pdf
ModelSim インストールマニュアル modelsim.html

【BitFiles】

マニュアルで説明した「AND 回路 (and.bit)」と「応用回路 (spl.bit)」の BIT ファイル

最新のデータシートは、各社のホームページからダウンロードしてください。

XILINX 社のホームページ <http://www.xilinx.com/>

ALTERA 社のホームページ <http://www.altera.com/>

FTDI 社のホームページ <http://www.ftdichip.com/>

スパルタン 2 FPGA トレーナ
EDX-002

ユーザーズマニュアル
2004/10/05 第 2 版

有限会社ヒューマンデータ
〒567-0034

大阪府茨木市中穂積1-2-51

シャトー春日第3ビル5F

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp>

Mail support@hdl.co.jp
