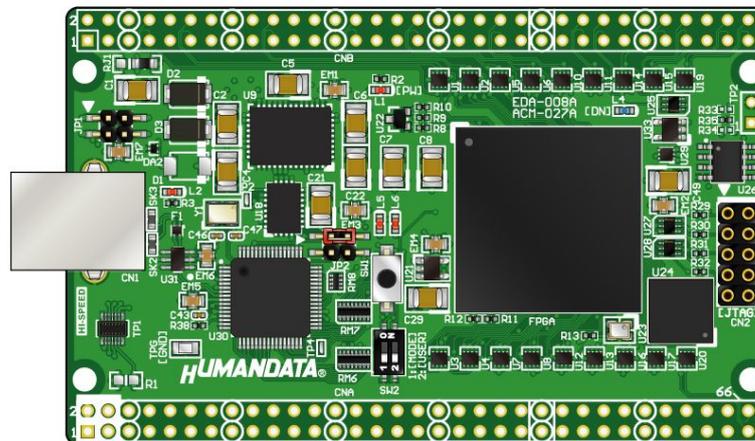


Cyclone V USB-FPGA ボード



EDA-008 シリーズ
ユーザーズマニュアル

Ver. 1.0



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 開発環境	2
2. 製品の内容について	2
3. 仕様	3
4. 製品説明	4
4.1. 各部の名称	4
4.2. ブロック図	5
4.3. 発振器	5
4.4. MRAM	5
4.5. 電源	6
4.6. VIO(B) 設定用ジャンパ抵抗	6
4.7. FT2232H設定ジャンパ	7
4.8. 設定スイッチ	7
5. FPGA コンフィギュレーション	8
5.1. 専用ツールを使用する	8
5.2. JTAGダウンロードケーブルを使用する	8
5.3. コンフィギュレーションROMを使用する	9
6. デバイスドライバ	9
7. FT2232H EEPROM の初期値 (参考)	10
8. FPGA ピン割付け表	11
8.1. ユーザI/O (CNA)	11
8.2. ユーザI/O (CNB)	12
8.3. MRAM	13
8.4. オンボードクロック	13
8.5. 汎用LED	13
8.6. 汎用スイッチ	13
8.7. USBインタフェース	14
9. サポートページ	15
10. 付属資料	15
11. お問い合わせについて	15

● はじめに

この度は Cyclone V 搭載 USB-FPGA ボード EDA-008 をお買い上げ頂き、ありがとうございます。

EDA-008 は、USB インタフェースをもつ PC に接続し、ALTERA 社の開発ソフト (Quartus II) により設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。

USB コントローラに FTDI 社の FT2232H を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信には仮想 COM ポートドライバにより行うことができます。

専用コンフィギュレーションツール“BBC[EDA-008]”により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことができます。

ALTERA 社提供の開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。

 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2014/04/02	1.0	初版発行

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

USB-FPGA ボード EDA-008	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

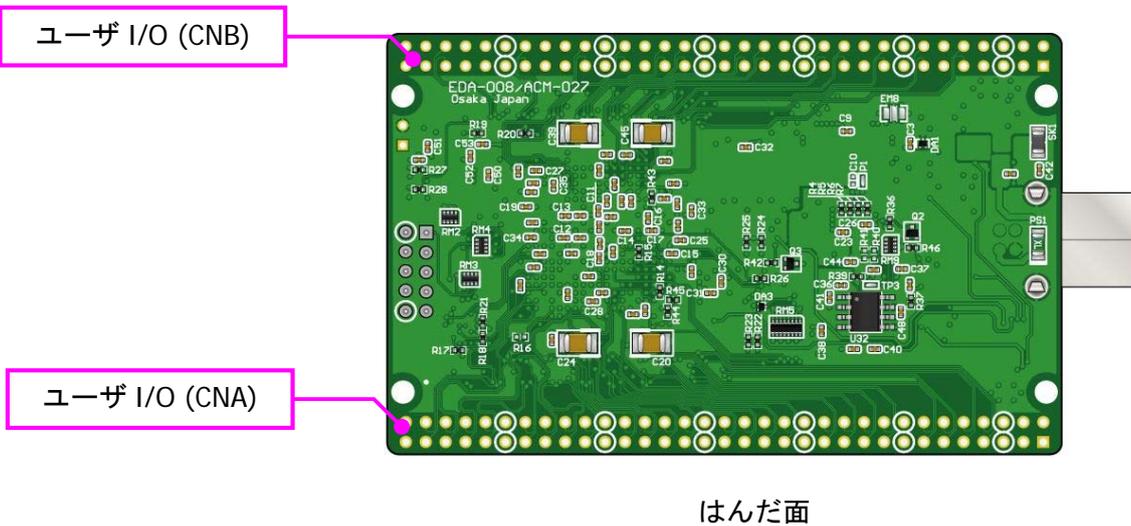
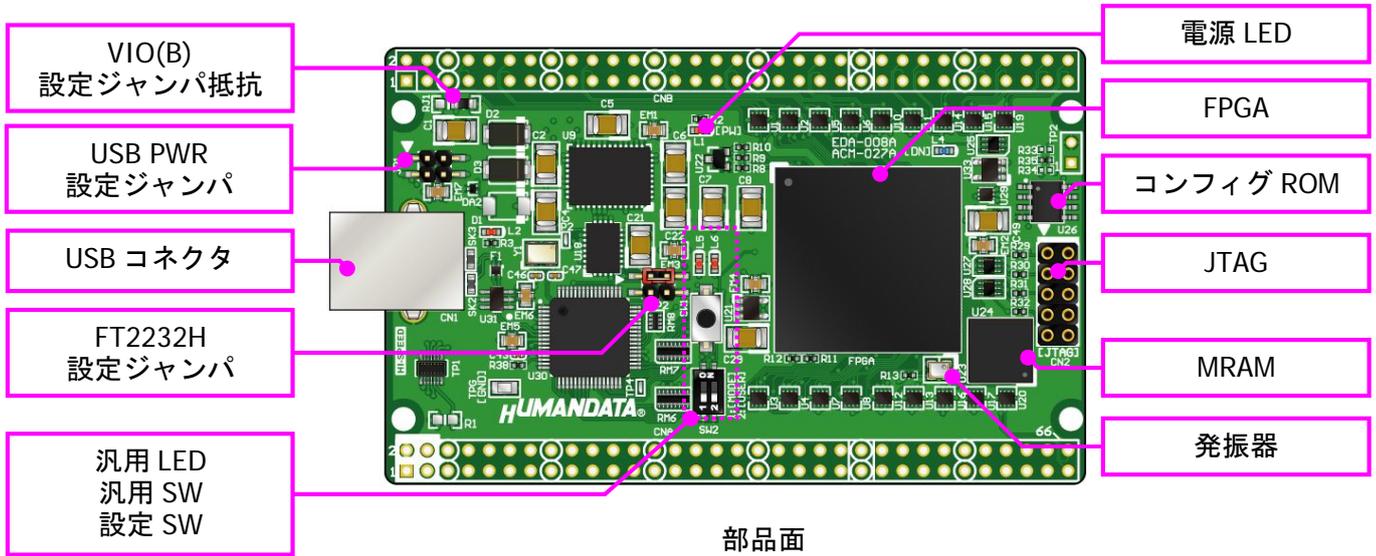
3. 仕様

製品型番	EDA-008-A4
搭載 FPGA	5CEBA4F23C8N
USB インタフェース	FT2232H (FTDI, チャンネル A をユーザ通信に使用可)
ユーザ I/O	100 本 (CNA:50, CNB:50)
コンフィグ ROM	N25Q032 (Micron, 32Mbit)
MRAM	MR2A16AMA35 (Everspin, 4Mbit)
電源入力	DC 5.0V (内部電源はオンボードレギュレータにより生成)
オンボードクロック	50MHz (外部供給可能)
汎用 LED	2 個
汎用スイッチ	2 個 (押しボタン x1, DIP スイッチ x1bit)
ステータス LED	2 個 (POWER, DONE)
リセット回路	搭載 (240ms typ.)
I/O コネクタ	66 ピンスルーホール 0.9 (typ.) [mmφ] x2 組 (2.54mm ピッチ)
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ
プリント基板	ガラスエポキシ 8 層基板 1.6t
基板寸法	54 x 86 [mm]
質量	約 35 [g]
付属品	DIL10 ロングピンヘッダ 1 個
	DIL80 ピンヘッダ 2 個 (任意にカット可能)
	USB ケーブル (1.8m) x1

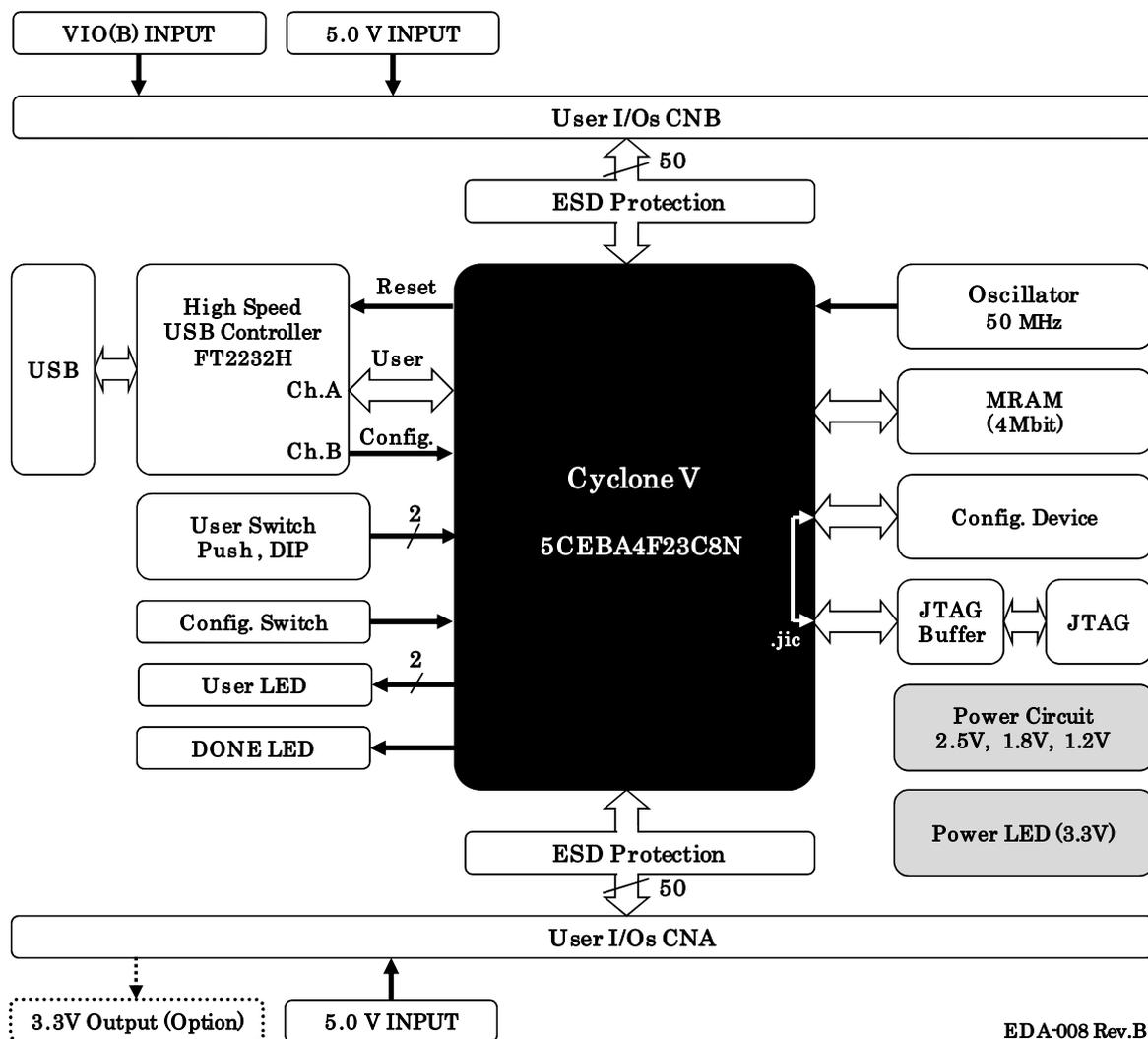
* これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部の名称



4.2. ブロック図



EDA-008 Rev.B

4.3. 発振器

オンボードクロックとして 50MHz (U23) を搭載しています。また、一部汎用 I/O がクロック入力ピンと兼用になっています。詳しくは回路図をご参照ください。

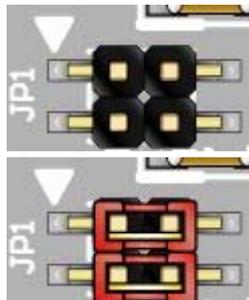
4.4. MRAM

不揮発性のメモリです。書き換え回数が事実上無制限とのことで、RAM としても ROM としても使える便利なメモリです。

4.5. 電源

DC 5.0V 単一電源で動作します。CNA・CNB コネクタの 3, 4 番ピンより、十分な余裕のある電源を供給してください。

JP1 の設定により、USB バスパワーを使用できます。



- ◆ オープン（出荷時設定）
 - ユーザコネクタからの電源入力のみを使用します
- ◆ 1-2, 3-4 間をショート
 - USB バスパワーをボードに接続します
(FPGA の設計によっては供給電流が不足する場合があります)

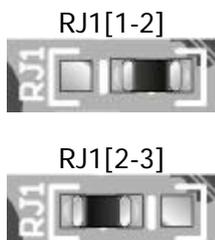
4.6. VIO(B) 設定用ジャンパ抵抗

本ボードでは、FPGA のバンクを下表のように 2 グループに分けています。

FPGA BANK	Vccio 接続	Bank Group
3A	V33A	A
3B	V33A	A
4A	V33A	A
5A	V33A	A
5B	V33A	A
7A	VIO(B)	B
8A	VIO(B)	B

Bank Group A/B の Vccio は分離されており、Group A は V33A(3.3V) に固定されています。Bank Group B は出荷時 V33A に固定されていますが、ジャンパ抵抗“RJ1”の取り付け位置を変更することにより CNB からの入力を供給することが可能です。詳しくは回路図を参照してください。

Vccio に供給可能な電圧に関しては FPGA のデータシートをご参照ください。

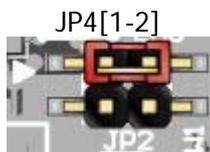


- オンボード 3.3V (V33A) を VIO(B) に使用します（出荷時）
- CNB からの外部入力を VIO(B) に使用します
設計に合った電圧を CNB から供給することができます

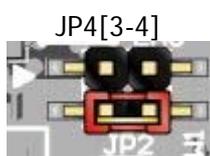
4.7. FT2232H 設定ジャンパ

USB コントローラ IC として、FTDI 社の FT2232H を搭載しています。デュアルチャンネル IC ですので2つのチャンネル(A/B)が PC に認識されます。チャンネル A をユーザ通信用として使用できます。

JP4 により、FPGA からのリセット制御と、FT2232H の起動モードを設定できます。



SHORT: FT2232H 用 EEPROM を使用する (出荷時設定)
 OPEN : FT2232H 用 EEPROM を使用しない
 - EEPROM を削除する場合に使用します



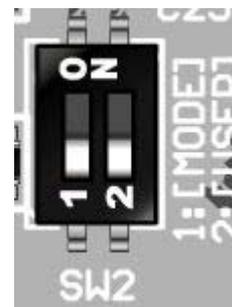
SHORT: FPGA ピンを FT2232H リセットに接続する
 - FPGA の接続ピンを High とすると FT2232H にリセットをかけることが出来ます
 OPEN : 接続しない (出荷時設定)
 - BBC[EDA-008]を使用する場合は OPEN としてください

4.8. 設定スイッチ

SW2 により FPGA のコンフィギュレーションモードを変更できます

1	2	コンギュレーションモード
MSEL1	ASW22	
ON	汎用	PS
OFF	汎用	AS

※ON=Low レベル



- PS: JTAG または BBC[EDA-008] を使用する
- AS: コンフィギュレーション ROM を使用する

5. FPGA コンフィギュレーション

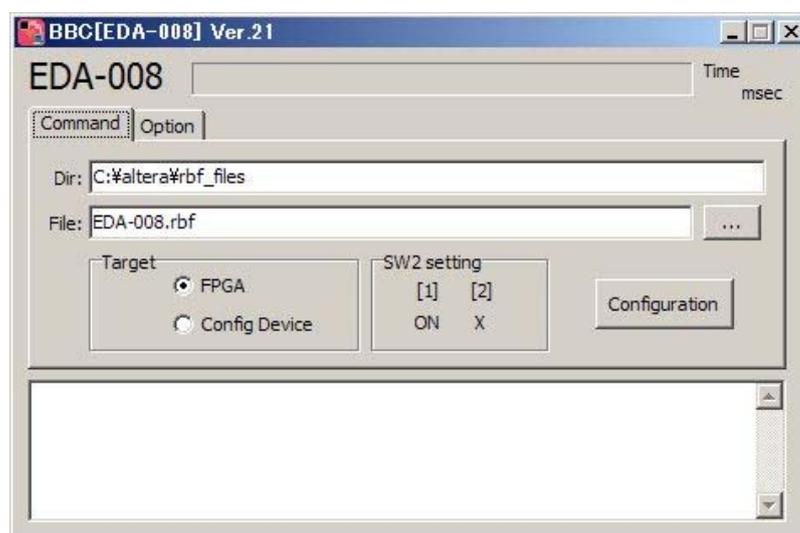
5.1. 専用ツールを使用する

BBC[EDA-008]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書込み, 消去

製品サポートページからダウンロードしてご活用ください。

※コンフィギュレーションモードを“PS”としてください



*画面は開発中のものです

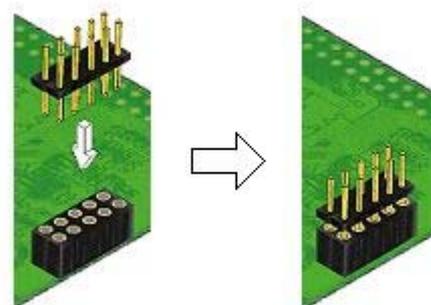
5.2. JTAG ダウンロードケーブルを使用する

ALTERA のツール (SignalTap など) を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

ダウンロードケーブルとの接続には、本体取付けのロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

CN2

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



使用例

5.3. コンフィギュレーション ROM を使用する

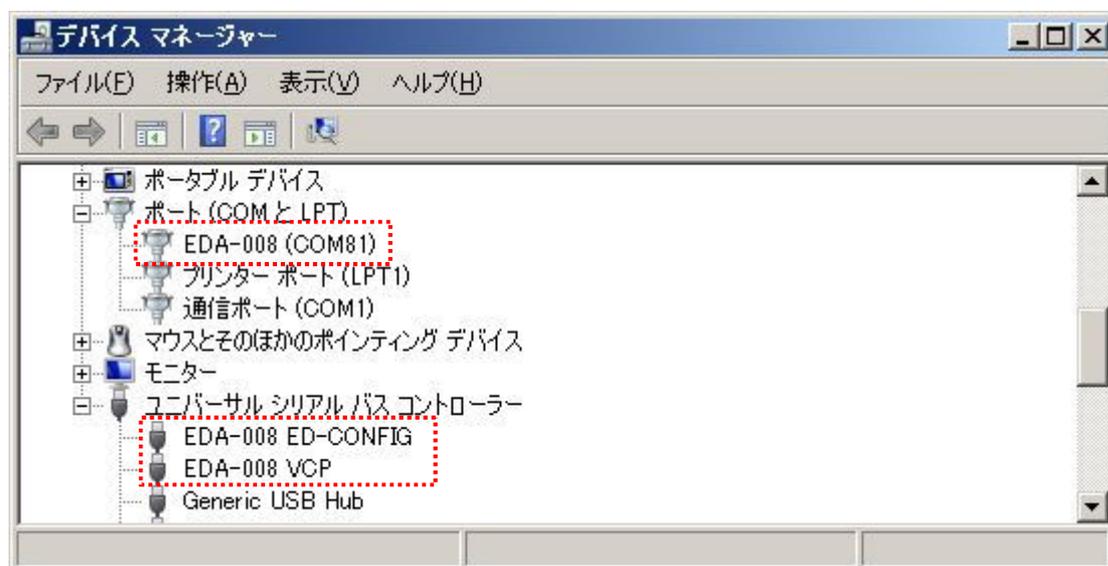
コンフィギュレーションモードを AS とすることで、FPGA はコンフィギュレーション ROM に書込まれた回路データでコンフィギュレーションされます。（電源投入時）

ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

6. デバイスドライバ

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。お使いの OS の指示に従いインストールを行ってください。

デバイスドライバファイル、デバイスドライバインストールガイドは製品サポートページにて公開しておりますのでご参照ください。



（デバイスドライバでの正常な認識例）

7. FT2232H EEPROM の初期値 (参考)

出荷時には以下のように設定されております。掲載の無い項目は初期設定のままです。

Device Tree	Property	Value
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A Port B IO Pins 	Chip Type: FT2232H Vendor ID: 0x0F87 Product ID: 0x1027 Product Description: EDA-008 HuMANDATA LTD. Serial Number: EDA-008	Property Value FT EEPROM Structural representation of the contents of the EEPROM of an FTDI device.
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A <ul style="list-style-type: none"> Hardware Driver Port B <ul style="list-style-type: none"> Hardware Driver IO Pins 	RS232 UART: <input type="radio"/> 245 FIFO: <input checked="" type="radio"/> CPU FIFO: <input type="radio"/> OPTO Isolate: <input type="radio"/>	Property Value Hardware Each channel can be independently configured as RS232 UART/245FIFO/CPU FIFO or OPTO Isolate. See the Datasheets available from the FTDI website for further details.
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A <ul style="list-style-type: none"> Hardware Driver Port B <ul style="list-style-type: none"> Hardware Driver IO Pins 	RS232 UART: <input type="radio"/> 245 FIFO: <input checked="" type="radio"/> CPU FIFO: <input type="radio"/> OPTO Isolate: <input type="radio"/>	Property Value Hardware Each channel can be independently configured as RS232 UART/245FIFO/CPU FIFO or OPTO Isolate. See the Datasheets available from the FTDI website for further details.
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A <ul style="list-style-type: none"> Hardware Driver Port B <ul style="list-style-type: none"> Hardware Driver IO Pins 	Virtual COM Port: <input checked="" type="radio"/> D2XX Direct: <input type="radio"/>	Property Value Virtual COM Port / D2XX The driver that is installed and used by each channel can be set by selecting Virtual COM Port or D2XX Direct option.
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A <ul style="list-style-type: none"> Hardware Driver Port B <ul style="list-style-type: none"> Hardware Driver IO Pins 	Virtual COM Port: <input type="radio"/> D2XX Direct: <input checked="" type="radio"/>	Property Value Virtual COM Port / D2XX The driver that is installed and used by each channel can be set by selecting Virtual COM Port or D2XX Direct option.
<ul style="list-style-type: none"> Template: EDA-008_Master_2014032 FT EEPROM <ul style="list-style-type: none"> Chip Details USB Device Descriptor USB Config Descriptor USB String Descriptors Hardware Specific <ul style="list-style-type: none"> Suspend DBUS7 TPRDRV Port A <ul style="list-style-type: none"> Hardware Driver Port B <ul style="list-style-type: none"> Hardware Driver IO Pins 	Bus Powered: <input type="radio"/> Self Powered: <input checked="" type="radio"/> Max. Bus Power: 100 mAmps USB Remote Wakeup: <input type="checkbox"/> Pull Down IO Pins in USB Suspend: <input type="checkbox"/>	Property Value USB Config Descriptors Power settings for the device.

※内容確認時は PDF ファイルにて拡大表示してください。
サポートページよりダウンロードできます。

8. FPGA ピン割付け表

8.1. ユーザ I/O (CNA)

BANK Group	ネットラベル	FPGA ピン	CNA		FPGA ピン	ネットラベル	BANK Group
		3.3V* (出力)	1	2	3.3V* (出力)		
		5V (入力)	3	4	5V (入力)		
		GND	5	6	GND		
A	IOA0	AB8	7	8	AA8	IOA1	A
A	IOA2	AB7	9	10	AA7	IOA3	A
A	IOA4	U8	11	12	U7	IOA5	A
A	IOA6	AB11	13	14	AB10	IOA7	A
		GND	15	16	GND		
A	IOA8	AA10	17	18	AA9	IOA9	A
A	IOA10	W9	19	20	W8	IOA11	A
A	IOA12	AA14	21	22	AA13	IOA13	A
A	IOA14	AB13	23	24	AB12	IOA15	A
		GND	25	26	GND		
A	IOA16	Y9	27	28	Y10	IOA17	A
A	IOA18	AB18	29	30	AB17	IOA19	A
A	IOA20	AA15	31	32	AB15	IOA21	A
A	IOA22	V9	33	34	V10	IOA23	A
		GND	35	36	GND		
A	IOA24	AB21	37	38	AB20	IOA25	A
A	IOA26	AA20	39	40	AA19	IOA27	A
A	IOA28	Y11	41	42	AA12	IOA29	A
A	IOA30	Y14	43	44	Y15	IOA31	A
		GND	45	46	GND		
A	IOA32	U10	47	48	T9	IOA33	A
A	IOA34	U11	49	50	U12	IOA35	A
A	IOA36	U15	51	52	T14	IOA37	A
A	IOA38	Y17	53	54	Y16	IOA39	A
		GND	55	56	GND		A
A	IOA40	V13	57	58	U13	IOA41	A
A	IOA42	AA17	59	60	AA18	IOA43	A
A	IOA44	Y19	61	62	Y20	IOA45	A
A	IOA46	W19	63	64	V20	IOA47	A
A	IOA48	V16	65	66	W16	IOA49	A

※使用する場合は R1 をショートしてください

8.2. ユーザ I/O (CNB)

BANK Group	ネットラベル	FPGA ピン	CNB		FPGA ピン	ネットラベル	BANK Group
		VIO(B) * 入力	1	2	VIO(B) * 入力		
		5V (入力用)	3	4	5V (入力用)		
		GND	5	6	GND		
B	IOB0	E7	7	8	F7	IOB1	B
B	IOB2	B5	9	10	A5	IOB3	B
B	IOB4	G6	11	12	H6	IOB5	B
B	IOB6	A7	13	14	A8	IOB7	B
		GND	15	16	GND		
B	IOB8	A9	17	18	A10	IOB9	B
B	IOB10	D9	19	20	E9	IOB11	B
B	IOB12	A12	21	22	B12	IOB13	B
B	IOB14	A13	23	24	B13	IOB15	B
		GND	25	26	GND		
B	IOB16	B7	27	28	B6	IOB17	B
B	IOB18	A14	29	30	A15	IOB19	B
B	IOB20	B16	31	32	C16	IOB21	B
B	IOB22	B10	33	34	C9	IOB23	B
		GND	35	36	GND		
B	IOB24	C11	37	38	B11	IOB25	B
B	IOB26	E12	39	40	D12	IOB27	B
B	IOB28	C6	41	42	D6	IOB29	B
B	IOB30	B15	43	44	C15	IOB31	B
		GND	45	46	GND		
B	IOB32	F15	47	48	E15	IOB33	B
B	IOB34	C8	49	50	D7	IOB35	B
B	IOB36	G11	51	52	F12	IOB37	B
B	IOB38	C13	53	54	D13	IOB39	B
		GND	55	56	GND		
B	IOB40	E14	57	58	F13	IOB41	B
B	IOB42	E16	59	60	D17	IOB43	B
B	IOB44	F14	61	62	G15	IOB45	B
B	IOB46	H15	63	64	H16	IOB47	B
B	IOB48	G13	65	66	H13	IOB49	B

※使用する場合はジャンパ抵抗“RJ1”の取り付け位置を変更してください

8.3. MRAM

ネットラベル	FPGA ピン	ネットラベル	FPGA ピン
MRAM_WE	N21	MRAM_BE1	T17
MRAM_OE	AA22	MRAM_BE0	AB22
MRAM_DQU15	L17	MRAM_A17	P17
MRAM_DQU14	M20	MRAM_A16	P19
MRAM_DQU13	M18	MRAM_A15	M22
MRAM_DQU12	N16	MRAM_A14	N20
MRAM_DQU11	P16	MRAM_A13	K21
MRAM_DQU10	T19	MRAM_A12	K17
MRAM_DQU9	T20	MRAM_A11	L22
MRAM_DQU8	U17	MRAM_A10	K22
MRAM_DQL7	M21	MRAM_A9	L18
MRAM_DQL6	P22	MRAM_A8	L19
MRAM_DQL5	R22	MRAM_A7	P18
MRAM_DQL4	R21	MRAM_A6	R17
MRAM_DQL3	T22	MRAM_A5	R16
MRAM_DQL2	U22	MRAM_A4	U20
MRAM_DQL1	U21	MRAM_A3	T18
MRAM_DQL0	V21	MRAM_A2	W21
MRAM_CE	W22	MRAM_A1	Y22
		MRAM_A0	Y21

8.4. オンボードクロック

周波数	ネットラベル	FPGA ピン
50MHz	GCLK50_4A	V15

8.5. 汎用LED

LED	ネットラベル	FPGA ピン
L6	ULED6	M7
L5	ULED5	P12

8.6. 汎用スイッチ

SW	ネットラベル	FPGA ピン
SW2[1]	ASW22	M6
SW1	PSW1	N8

8.7. USB インタフェース

NET LABEL	FPGA ピン
ADBUS0	R11
ADBUS1	R10
ADBUS2	T8
ADBUS3	P6
ADBUS4	R12
ADBUS5	T10
ADBUS6	R9
ADBUS7	T7
ACBUS0	P9
ACBUS1	R6
ACBUS2	R5
ACBUS3	P8
ACBUS4	N6
ACBUS5	M9
ACBUS6	P7
ACBUS7	N9
XUSBRESET	M8
XUSBDET	U6

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/EDA-008/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- デバイスドライバ
- デバイスドライバ インストールガイド
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

10. 付属資料

1. 基板外形図
2. 基板回路図（別紙）

11. お問い合わせについて

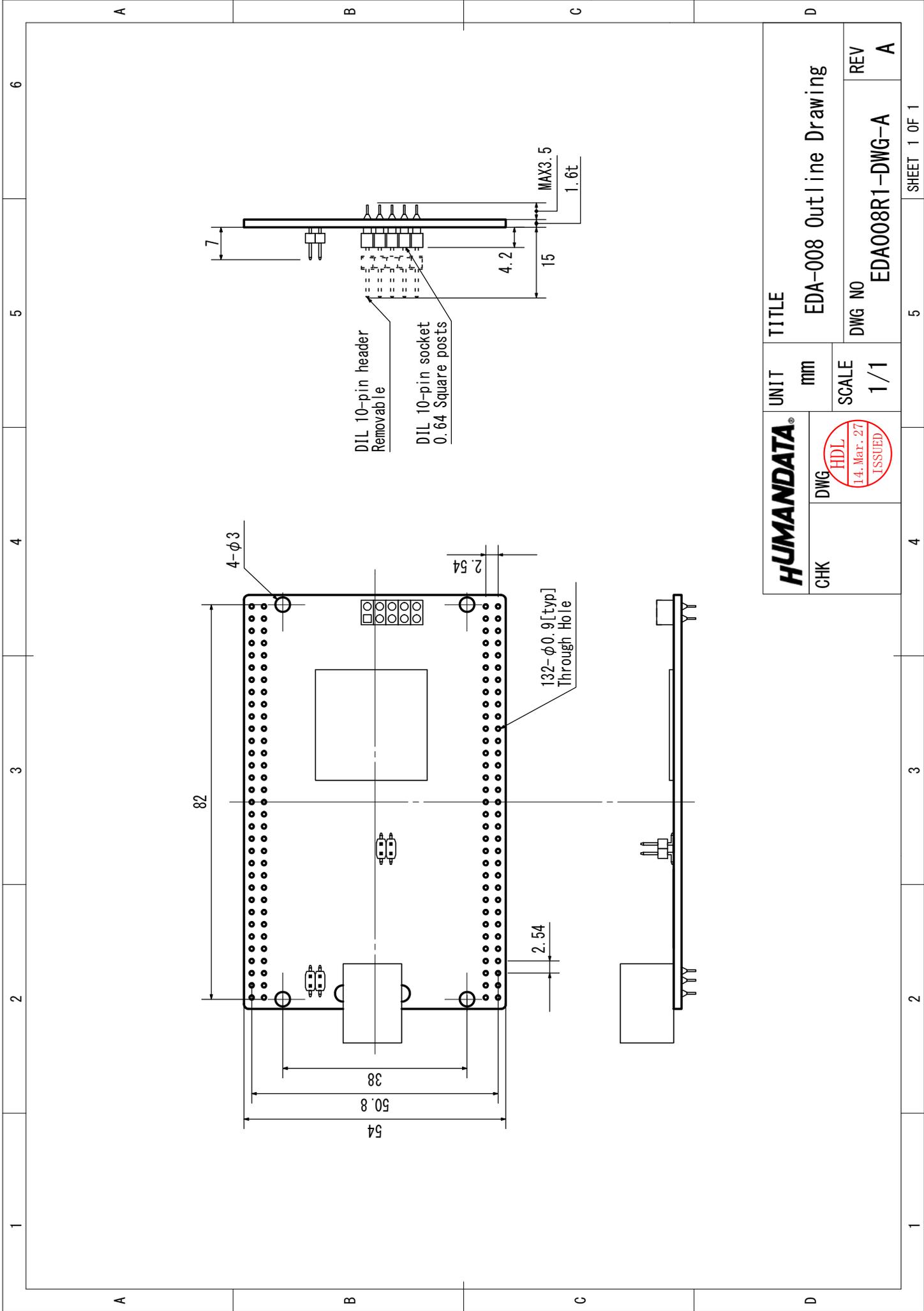
お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承くださいませ。



HUMANDATA		UNIT	TITLE
CHK	DWG	mm	EDA-008 Outline Drawing
		SCALE	DWG NO
		1/1	EDA008R1-DWG-A
			REV
			A

Cyclone V USB-FPGA ボード

EDA-008 シリーズ
ユーザーズマニュアル

2014/04/02 Ver. 1.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
