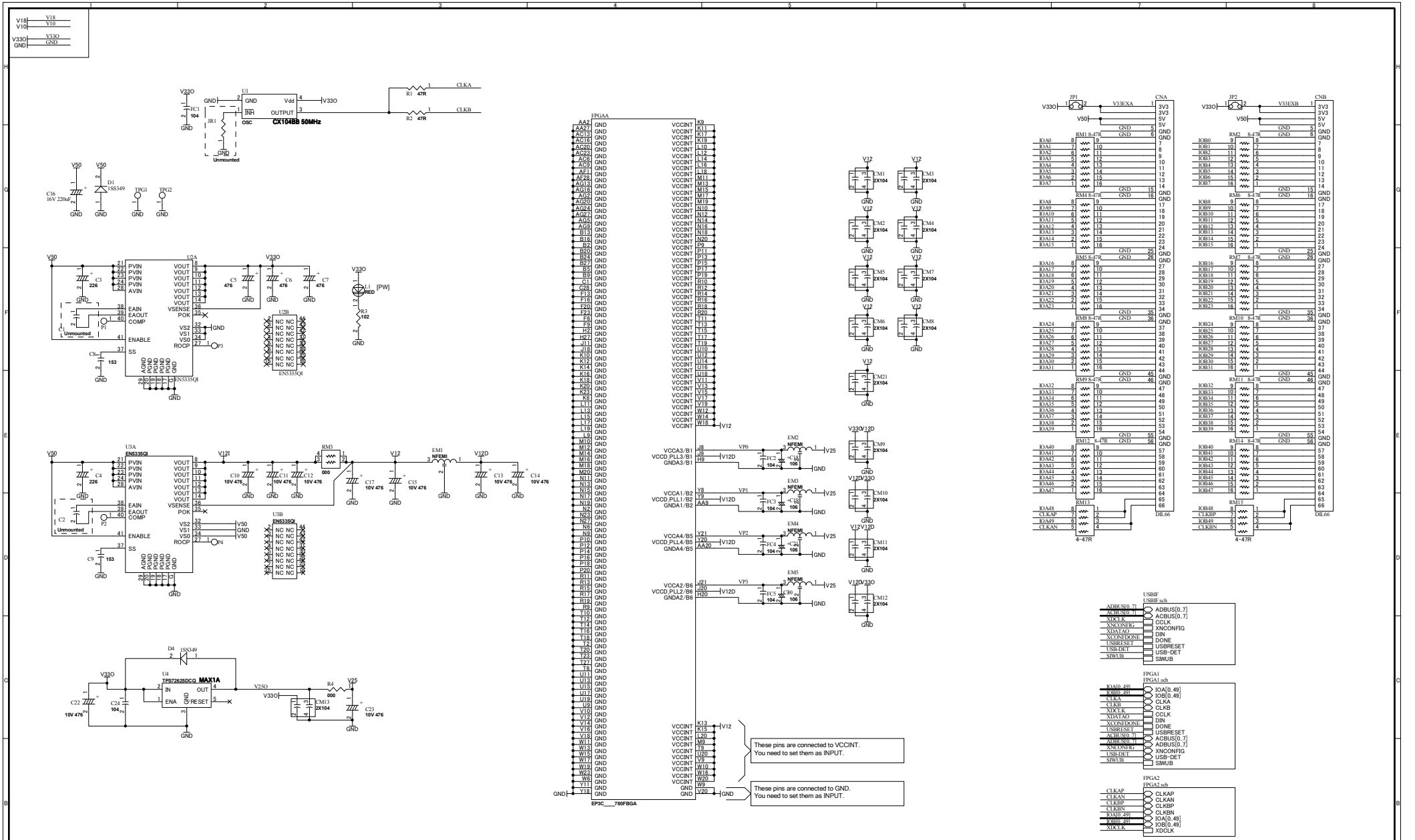
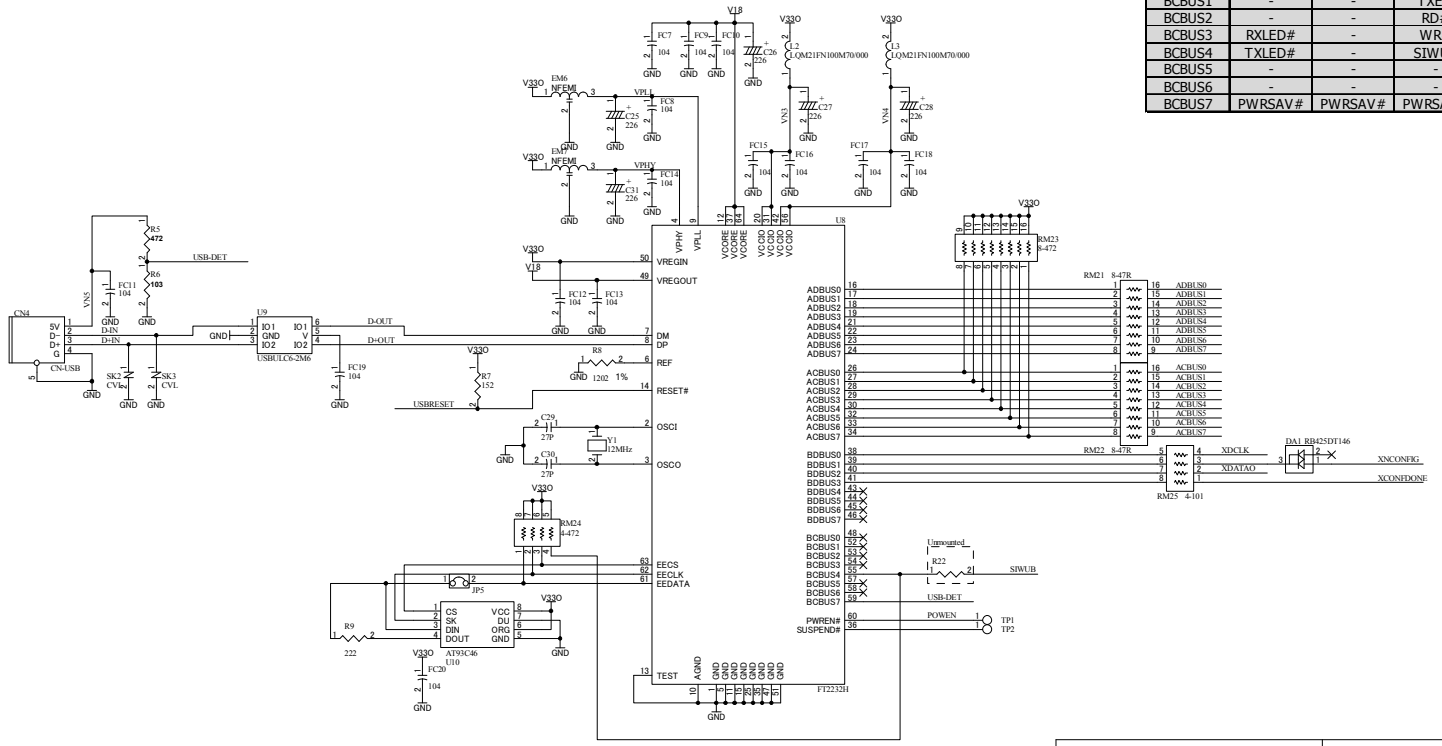


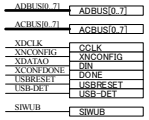
EDA004R2-SCH-C2.pdf

HuMANDATA LTD. OSAKA JAPAN www.hdl.co.jp/en/(Global) www.hdl.co.jp/(Japan)	Altera Cyclone III F780 USB-FPGA board Rev.2	
	DOC. No. EDA-004	C2
Date: 21-May-2013 11:52:43	File: EDA004C.sch	Sheet 1 of 4

NET LABEL	Operation Mode								
	RS232	245 FIFO Sync	245 FIFO	ASYNC Bit-bang	SYNC Bit-bang	MPSSE	Fast Serial	CPU Style FIFO	Host Bus Emulation
ADBUS0	TXD	D0	D0	D0	D0	TCK/SK	-	D0	AD0
ADBUS1	RXD	D1	D1	D1	D1	TDI/DO	-	D1	AD1
ADBUS2	RTS#	D2	D2	D2	D2	TDO/DI	-	D2	AD2
ADBUS3	CTS#	D3	D3	D3	D3	TMS/CS	-	D3	AD3
ADBUS4	DTR#	D4	D4	D4	D4	GPIOL0	-	D4	AD4
ADBUS5	DSR#	D5	D5	D5	D5	GPIOL1	-	D5	AD5
ADBUS6	DCD#	D6	D6	D6	D6	GPIOL2	-	D6	AD6
ADBUS7	RI#	D7	D7	D7	D7	GPIOL3	-	D7	AD7
ACBUS0	TXDEN	RXF#	RXF#	-	-	GPIOH0	-	CS#	A8
ACBUS1	-	TXE#	TXE#	WRSTB#	WRSTB#	GPIOH1	-	A0	A9
ACBUS2	-	RD#	RD#	RDSTB#	RDSTB#	GPIOH2	-	RD#	A10
ACBUS3	RXLED#	WR#	WR#	-	-	GPIOH3	-	WR#	A11
ACBUS4	TXLED#	SIWUA	SIWUA	SIWUA	SIWUA	GPIOH4	-	SIWUA	A12
ACBUS5	-	CLKOUT	-	-	-	GPIOH5	-	-	A13
ACBUS6	-	OE#	-	-	-	GPIOH6	-	-	A14
ACBUS7	-	-	-	-	-	GPIOH7	-	-	A15
BDBUS0	TXD	-	D0	D0	D0	TCK/SK	FSDI	D0	CS#
BDBUS1	RXD	-	D1	D1	D1	TDI/DO	FSCLK	D1	ALE
BDBUS2	RTS#	-	D2	D2	D2	TDO/DI	FSDO	D2	RD#
BDBUS3	CTS#	-	D3	D3	D3	TMS/CS	FSCTS	D3	WR#
BDBUS4	DTR#	-	D4	D4	D4	GPIOL0	-	D4	IORDY
BDBUS5	DSR#	-	D5	D5	D5	GPIOL1	-	D5	CLKOUT
BDBUS6	DCD#	-	D6	D6	D6	GPIOL2	-	D6	I/O0
BDBUS7	RI#	-	D7	D7	D7	GPIOL3	-	D7	I/O1
BCBUS0	TXDEN	-	RXF#	-	-	GPIOH0	-	CS#	-
BCBUS1	-	-	TXE#	WRSTB#	WRSTB#	GPIOH1	-	A0	-
BCBUS2	-	-	RD#	RDSTB#	RDSTB#	GPIOH2	-	RD#	-
BCBUS3	RXLED#	-	WR#	-	-	GPIOH3	-	WR#	-
BCBUS4	TXLED#	-	SIWUB	SIWUB	SIWUB	GPIOH4	SIWUB	SIWUB	-
BCBUS5	-	-	-	-	-	GPIOH5	-	-	-
BCBUS6	-	-	-	-	-	GPIOH6	-	-	-
BCBUS7	PWRSAV#	PWRSAV#	PWRSAV#	PWRSAV#	PWRSAV#	GPIOH7	PWRSAV#	PWRSAV#	PWRSAV#

HuMANDATA are not responsible for the pin function table above.
For accurate information, please refer to FTDI's official document.





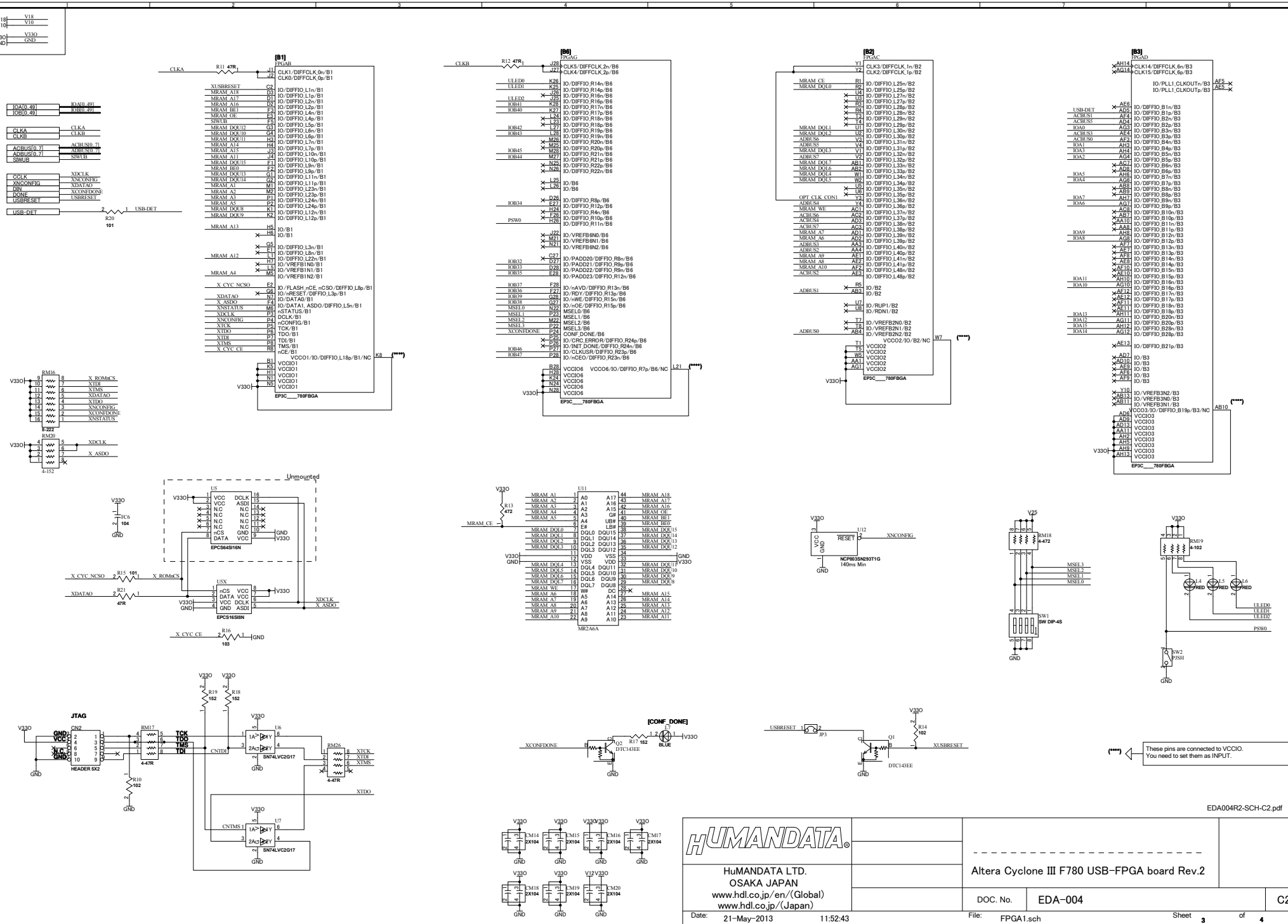
EDA004R2-SCH-C2.pdf

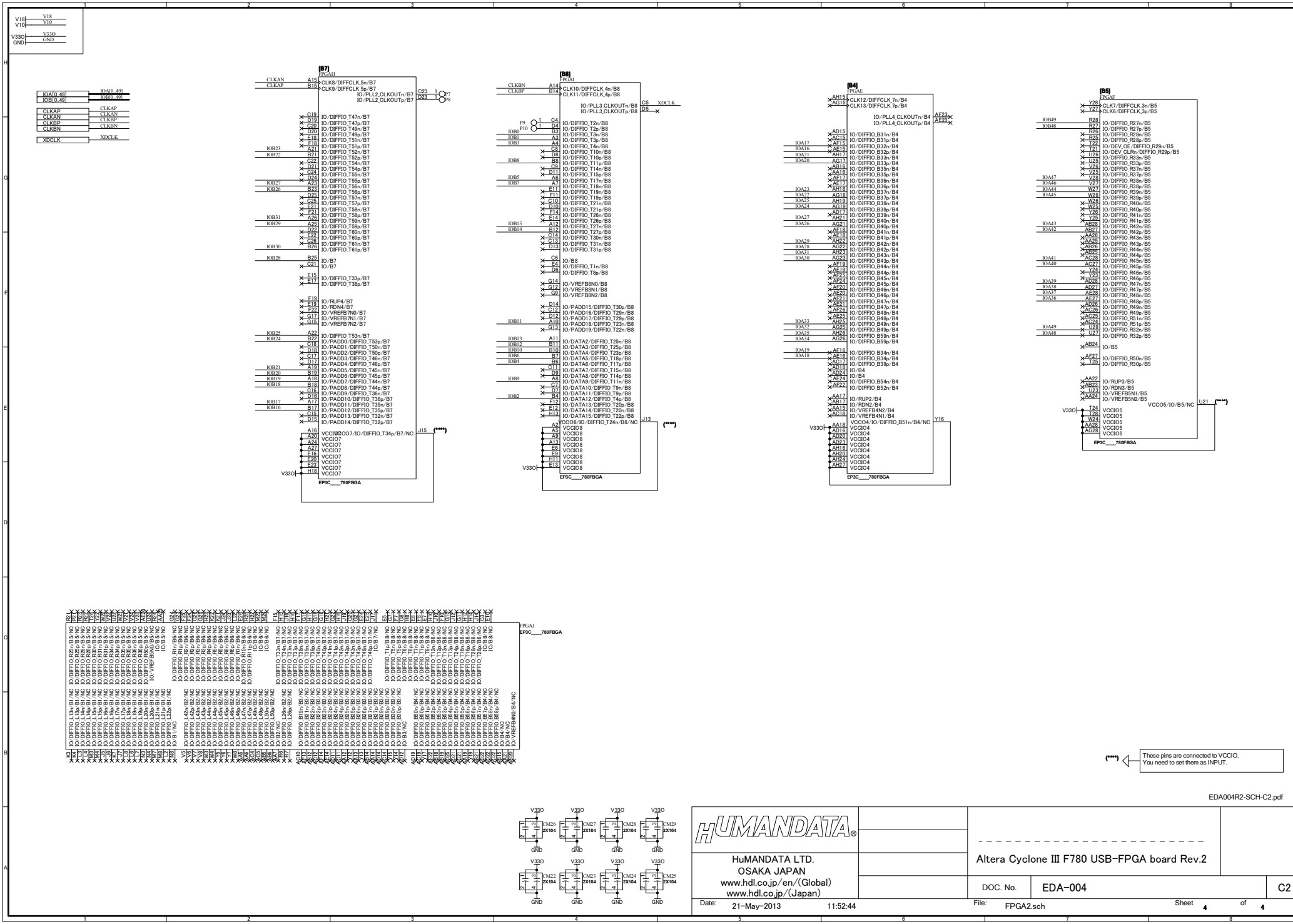
HuMANDATA LTD.
OSAKA JAPAN
www.hdl.co.jp/en/(Global)
www.hdl.co.jp/(Japan)

Altera Cyclone III F780 USB-FPGA board Rev.2

DOC. No. EDA-004 C2

Date: 21-May-2013 11:52:43 File: USBIF.sch Sheet 2 of 4


[B1]
FPGAB
[B6]
FPGAG
[B2]
FPGAC
[B3]
FPGAD
EP3C___780FBGA
Unmounted
JTAG
HEADER 5X2
SN74LVC2G17
EPCS64SI16N
EPCS16SI8N
NCP803SN293T1G
SW DIP-4S
[CONF_DONE]
BLUE
DTC143EE
HuMANDATA LTD.
OSAKA JAPAN
www.hdl.co.jp/en/(Global)
www.hdl.co.jp/(Japan)
Altera Cyclone III F780 USB-FPGA board Rev.2
EDA-004
C2
Date: 21-May-2013 11:52:43
File: FPGA1.sch
Sheet 3 of 4
These pins are connected to VCCIO.
You need to set them as INPUT.
EDA004R2-SCH-C2.pdf


V18
V10
V33O
GND
IOA[0..49]
IOB[0..49]
CLKAP
CLKAN
CLKBP
CLKBN
XDCLK
[B7]
FPGAH
CLK8/DIFFCLK_5n/B7
CLK9/DIFFCLK_5p/B7
IO/PLL2_CLKOUTn/B7
IO/PLL2_CLKOUTp/B7
IO/DIFFIO_T47n/B7
IO/DIFFIO_T47p/B7
IO/DIFFIO_T48n/B7
IO/DIFFIO_T48p/B7
IO/DIFFIO_T51n/B7
IO/DIFFIO_T51p/B7
IO/DIFFIO_T52n/B7
IO/DIFFIO_T52p/B7
IO/DIFFIO_T54n/B7
IO/DIFFIO_T54p/B7
IO/DIFFIO_T55n/B7
IO/DIFFIO_T55p/B7
IO/DIFFIO_T56n/B7
IO/DIFFIO_T56p/B7
IO/DIFFIO_T57n/B7
IO/DIFFIO_T57p/B7
IO/DIFFIO_T58n/B7
IO/DIFFIO_T58p/B7
IO/DIFFIO_T59n/B7
IO/DIFFIO_T59p/B7
IO/DIFFIO_T60n/B7
IO/DIFFIO_T60p/B7
IO/DIFFIO_T61n/B7
IO/DIFFIO_T61p/B7
IO/B7
IO/B7
IO/DIFFIO_T33p/B7
IO/DIFFIO_T38p/B7
IO/RUP4/B7
IO/RDN4/B7
IO/VREFB7N0/B7
IO/VREFB7N1/B7
IO/VREFB7N2/B7
IO/DIFFIO_T53n/B7
IO/PADD0/DIFFIO_T53p/B7
IO/PADD1/DIFFIO_T50n/B7
IO/PADD2/DIFFIO_T50p/B7
IO/PADD3/DIFFIO_T46n/B7
IO/PADD4/DIFFIO_T46p/B7
IO/PADD5/DIFFIO_T45n/B7
IO/PADD6/DIFFIO_T45p/B7
IO/PADD7/DIFFIO_T44n/B7
IO/PADD8/DIFFIO_T44p/B7
IO/PADD9/DIFFIO_T36n/B7
IO/PADD10/DIFFIO_T36p/B7
IO/PADD11/DIFFIO_T35n/B7
IO/PADD12/DIFFIO_T35p/B7
IO/PADD13/DIFFIO_T32n/B7
IO/PADD14/DIFFIO_T32p/B7
VCCIO7/IO/DIFFIO_T34p/B7/NC
VCCIO7
EP3C___780FBGA
[B8]
FPGAI
CLK10/DIFFCLK_4n/B8
CLK11/DIFFCLK_4p/B8
IO/PLL3_CLKOUTn/B8
IO/PLL3_CLKOUTp/B8
IO/DIFFIO_T2n/B8
IO/DIFFIO_T2p/B8
IO/DIFFIO_T3n/B8
IO/DIFFIO_T3p/B8
IO/DIFFIO_T4n/B8
IO/DIFFIO_T10n/B8
IO/DIFFIO_T10p/B8
IO/DIFFIO_T11p/B8
IO/DIFFIO_T14n/B8
IO/DIFFIO_T15p/B8
IO/DIFFIO_T17n/B8
IO/DIFFIO_T18n/B8
IO/DIFFIO_T19n/B8
IO/DIFFIO_T19p/B8
IO/DIFFIO_T21n/B8
IO/DIFFIO_T21p/B8
IO/DIFFIO_T26n/B8
IO/DIFFIO_T26p/B8
IO/DIFFIO_T27n/B8
IO/DIFFIO_T27p/B8
IO/DIFFIO_T30n/B8
IO/DIFFIO_T31n/B8
IO/DIFFIO_T31p/B8
IO/B8
IO/DIFFIO_T1n/B8
IO/DIFFIO_T8p/B8
IO/VREFB8N0/B8
IO/VREFB8N1/B8
IO/VREFB8N2/B8
IO/PADD15/DIFFIO_T30p/B8
IO/PADD16/DIFFIO_T29n/B8
IO/PADD17/DIFFIO_T29p/B8
IO/PADD18/DIFFIO_T23n/B8
IO/PADD19/DIFFIO_T22n/B8
IO/DATA2/DIFFIO_T25n/B8
IO/DATA3/DIFFIO_T25p/B8
IO/DATA4/DIFFIO_T23p/B8
IO/DATA5/DIFFIO_T18p/B8
IO/DATA6/DIFFIO_T17p/B8
IO/DATA7/DIFFIO_T15n/B8
IO/DATA8/DIFFIO_T14p/B8
IO/DATA9/DIFFIO_T11n/B8
IO/DATA10/DIFFIO_T9n/B8
IO/DATA11/DIFFIO_T9p/B8
IO/DATA12/DIFFIO_T4p/B8
IO/DATA13/DIFFIO_T20p/B8
IO/DATA14/DIFFIO_T20n/B8
IO/DATA15/DIFFIO_T22p/B8
VCCO8/IO/DIFFIO_T24n/B8/NC
VCCIO8
EP3C___780FBGA
[B4]
FPGAE
CLK12/DIFFCLK_7n/B4
CLK13/DIFFCLK_7p/B4
IO/PLL4_CLKOUTn/B4
IO/PLL4_CLKOUTp/B4
IO/DIFFIO_B31n/B4
IO/DIFFIO_B31p/B4
IO/DIFFIO_B32n/B4
IO/DIFFIO_B32p/B4
IO/DIFFIO_B33n/B4
IO/DIFFIO_B33p/B4
IO/DIFFIO_B35n/B4
IO/DIFFIO_B35p/B4
IO/DIFFIO_B36n/B4
IO/DIFFIO_B36p/B4
IO/DIFFIO_B37n/B4
IO/DIFFIO_B37p/B4
IO/DIFFIO_B38n/B4
IO/DIFFIO_B38p/B4
IO/DIFFIO_B39n/B4
IO/DIFFIO_B40n/B4
IO/DIFFIO_B40p/B4
IO/DIFFIO_B41n/B4
IO/DIFFIO_B41p/B4
IO/DIFFIO_B42n/B4
IO/DIFFIO_B42p/B4
IO/DIFFIO_B43n/B4
IO/DIFFIO_B43p/B4
IO/DIFFIO_B44n/B4
IO/DIFFIO_B44p/B4
IO/DIFFIO_B45n/B4
IO/DIFFIO_B45p/B4
IO/DIFFIO_B46n/B4
IO/DIFFIO_B46p/B4
IO/DIFFIO_B47n/B4
IO/DIFFIO_B47p/B4
IO/DIFFIO_B48n/B4
IO/DIFFIO_B48p/B4
IO/DIFFIO_B49n/B4
IO/DIFFIO_B49p/B4
IO/DIFFIO_B59n/B4
IO/DIFFIO_B59p/B4
IO/DIFFIO_B34n/B4
IO/DIFFIO_B34p/B4
IO/DIFFIO_B39p/B4
IO/B4
IO/B4
IO/DIFFIO_B54n/B4
IO/DIFFIO_B52n/B4
IO/RUP2/B4
IO/RDN2/B4
IO/VREFB4N2/B4
IO/VREFB4N1/B4
VCCO4/IO/DIFFIO_B51n/B4/NC
VCCIO4
EP3C___780FBGA
[B5]
FPGAF
CLK7/DIFFCLK_3n/B5
CLK6/DIFFCLK_3p/B5
IO/DIFFIO_R27n/B5
IO/DIFFIO_R27p/B5
IO/DIFFIO_R28n/B5
IO/DIFFIO_R28p/B5
IO/DEV_OE/DIFFIO_R29n/B5
IO/DEV_CLRn/DIFFIO_R29p/B5
IO/DIFFIO_R33n/B5
IO/DIFFIO_R33p/B5
IO/DIFFIO_R37n/B5
IO/DIFFIO_R37p/B5
IO/DIFFIO_R38n/B5
IO/DIFFIO_R38p/B5
IO/DIFFIO_R39n/B5
IO/DIFFIO_R39p/B5
IO/DIFFIO_R40n/B5
IO/DIFFIO_R40p/B5
IO/DIFFIO_R41n/B5
IO/DIFFIO_R41p/B5
IO/DIFFIO_R42n/B5
IO/DIFFIO_R42p/B5
IO/DIFFIO_R43n/B5
IO/DIFFIO_R43p/B5
IO/DIFFIO_R44n/B5
IO/DIFFIO_R44p/B5
IO/DIFFIO_R45n/B5
IO/DIFFIO_R45p/B5
IO/DIFFIO_R46n/B5
IO/DIFFIO_R46p/B5
IO/DIFFIO_R47n/B5
IO/DIFFIO_R47p/B5
IO/DIFFIO_R48p/B5
IO/DIFFIO_R49n/B5
IO/DIFFIO_R49p/B5
IO/DIFFIO_R51n/B5
IO/DIFFIO_R51p/B5
IO/DIFFIO_R52n/B5
IO/DIFFIO_R52p/B5
IO/B5
IO/DIFFIO_R50n/B5
IO/DIFFIO_R50p/B5
IO/RUP3/B5
IO/RDN3/B5
IO/VREFB5N1/B5
IO/VREFB5N2/B5
VCCO5/IO/B5/NC
VCCIO5
EP3C___780FBGA
FPGAJ
EP3C___780FBGA
(****)
These pins are connected to VCCIO.
You need to set them as INPUT.
CM26
CM27
CM28
CM29
CM22
CM23
CM24
CM25
2X104
GND
EDA004R2-SCH-C2.pdf
HUMANDATA
HuMANDATA LTD.
OSAKA JAPAN
www.hdl.co.jp/en/(Global)
www.hdl.co.jp/(Japan)
Altera Cyclone III F780 USB-FPGA board Rev.2
DOC. No.
EDA-004
C2
Date:
21-May-2013
11:52:44
File:
FPGA2.sch
Sheet
4
of
4