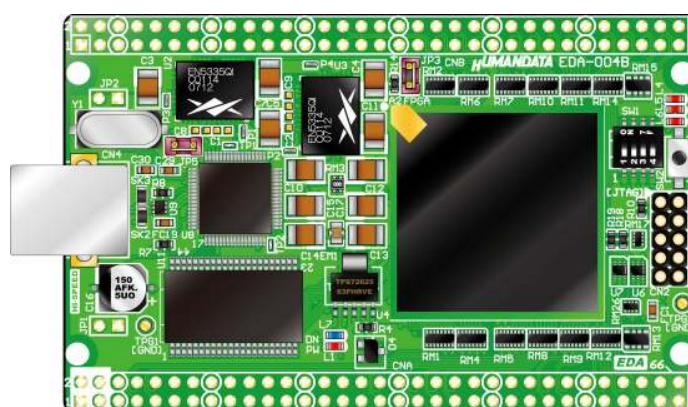




Cyclone III USB-FPGA ボード
EDA-004
ユーザーズマニュアル
初版



目次

● はじめに.....	3
● ご注意	3
1. 製品の内容について.....	4
2. 仕様	4
3. 製品説明	5
3.1. 各部名称	5
3.2. ブロック図	6
3.3. 電源	7
3.4. クロック	7
4. 開発環境	7
5. USB ドライバ	8
5.1. インストール	8
5.2. アンインストール	10
6. FPGA コンフィギュレーション	11
6.1. ダウンロードケーブル	11
6.2. ディップスイッチ	11
6.3. USB コンフィギュレーション	12
6.4. JTAG コンフィギュレーション	12
7. コンフィギュレーション ROM	13
7.1. プログラミングファイルの作成	13
7.2. 書込み	13
7.3. 消去	13
8. FT2232H 用 EEPROM の初期値 (参考)	14
9. FPGA ピン割付け表	15
9.1. ユーザ I/O (CNA)	15
9.2. ユーザ I/O (CNB)	16
9.3. オンボードクロック	17
9.4. 外部クロック入力	17
9.5. optional clock	17
9.6. 汎用スイッチ	17
9.7. 汎用 LED	17
9.8. USB インタフェース	18
9.9. MRAM [MR2A16AYS35]	19
10. サポートページ.....	20
11. 付属資料	20

● はじめに

この度は USB-FPGA ボード EDA-004 をお買い上げいただきまして、誠にありがとうございます。



Cyclone III 搭載 USB-FPGA ボード EDA-004 は USB インタフェースをもつ PC に接続し、ALTERA 社の開発ソフト (Quartus II) などにより設計した回路を USB 経由でコンフィギュレーションできるボードです。

USB インタフェースに FTDI 社の FT2232H を採用しており、Ch. A をアプリケーション通信に、Ch. B をコンフィギュレーション用に使用できます。アプリケーション通信は仮想 COM ポートドライバにより行うことができます。

EDA-004 は専用コンフィギュレーションソフト (exe ファイル 1 本) により、bit ファイルさえあれば、ALTERA 社の開発環境をインストールしていなくても FPGA へのコンフィギュレーションが行えますので、検査治具などにも便利にご利用いただけます。

[コンフィギュレーション ROM への書き込みには、ALTERA 社対応ダウンロードケーブルが別途必要になります。](#)

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。 万一、不足などがございましたら、弊社宛にご連絡ください。

デバイスドライバとコンフィギュレーションソフト(BitCfg)は弊社サポートページよりダウンロードしてください。(10章.「サポートページ」参照)

USB-FPGA ボード EDA-004	1
付属品	1
マニュアル (本書)	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

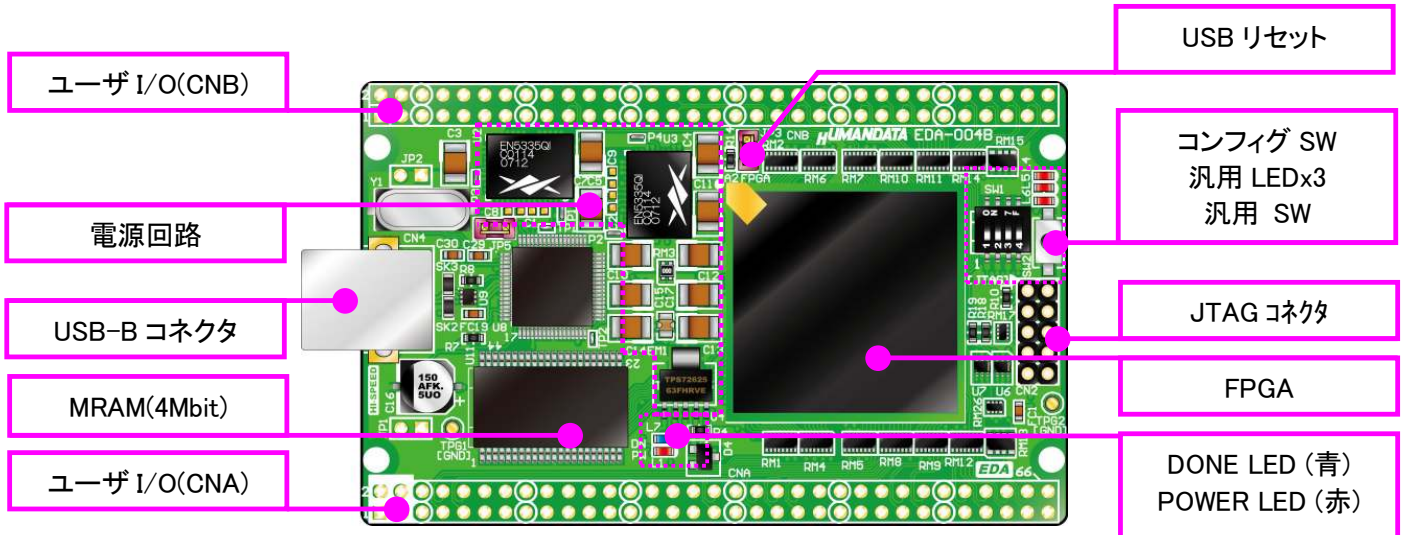
2. 仕様

製品型番	EDA-004
搭載 FPGA	EP3C55F780C8N
USB インタフェース	FT2232H (FTDI)
電源	DC 5.0 [V] (セルフパワー)
消費電流	N/A (詳細は FPGA データシートご参照)
コンフィグ ROM	EPCS16S18N または EPCS16S116N (16Mbit) *
MRAM	MR2A16AYS35 (EverSpin, 4Mbit) *
外形寸法	86 x 54 [mm]
質量	約 35 [g]
ユーザー I/O	100 本
汎用スイッチ	1
汎用 LED	3
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] x2 組 2.54mm ピッチ *
プリント基板	ガラスエポキシ 6 層基板 1.6t
クロック	オンボード 50MHz (外部供給可能) *
コンフィグ用リセット回路	内蔵 (140ms min.) *
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ *
ステータス LED	2 個: POWER (赤), DONE (青) *
付属品	DIL80 ピンヘッド 2 個 (任意にカット可能) *
	USB ケーブル(1.8m) *

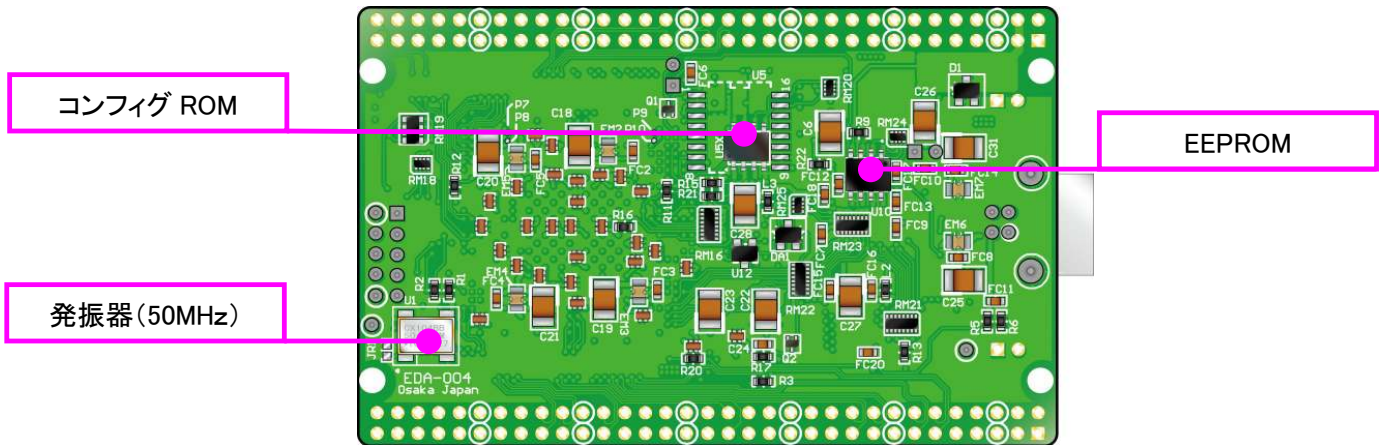
* 互換品と変更になる場合がございます

3. 製品説明

3.1. 各部名称

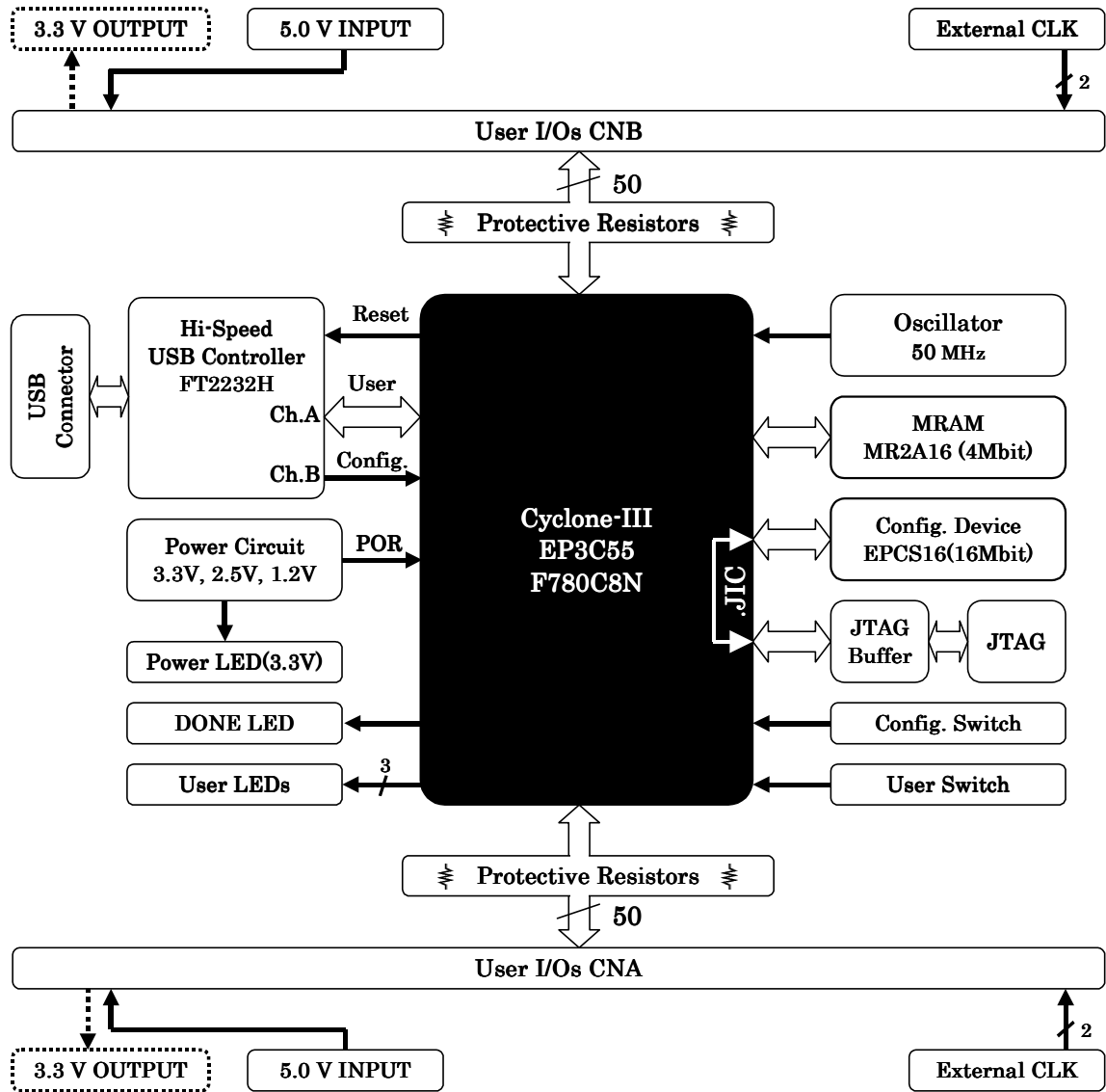


部品面



はんだ面

3.2. ブロック図



3.3. 電源

電源は CNA, CNB より 5V を供給してください。FT2232H はセルフパワーで動作します。バスパワーはご使用になれませんのでご注意ください。

内部で必要になる 3.3V、2.5V、1.2V はオンボードレギュレータにより生成されます。外部から供給する 5.0V 電源は充分安定して、充分な余裕のあるものをご用意ください。立ち上がりは単調増加である必要があります。

詳しくは FPGA のデータシートや回路図などを参照してください。

3.4. クロック

FT2232H へはクリスタルより 12MHz を、FPGA へは発振器より 50MHz を供給します。

FPGA へは CNA, CNB を介して外部クロックを供給することが可能です。

詳しくは回路図、ピン割付け表をご参照ください。

4. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、ALTERA 社が無償配布する QuartusII にて可能です。

使用する際には、インターネットによるライセンス登録が必要となります。

製品開発時の QuartusII 環境は Ver. 9.0 です。

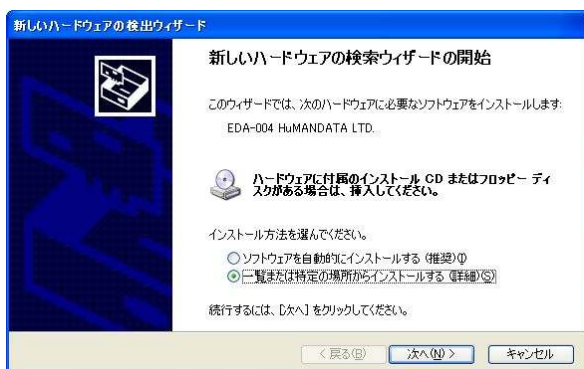
5. USB ドライバ

5.1. インストール

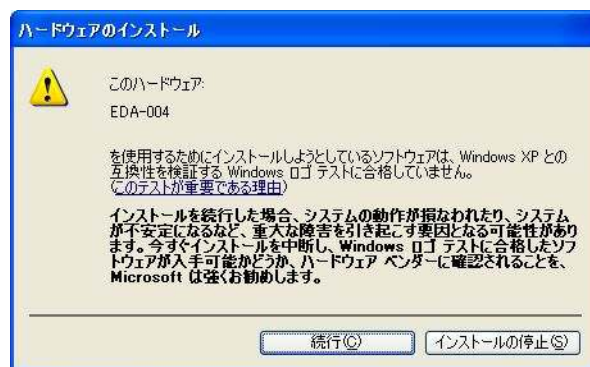
FPGA へのコンフィギュレーションと USB ユーザ通信には、FTDI 社の提供するドライバを PC にインストールする必要があります。ドライバファイルはサポートページにてダウンロードできます。

本章で説明するインストール作業が完了後、USB からの FPGA コンフィギュレーションが可能になります。次の手順に従ってインストール作業を完了してください。

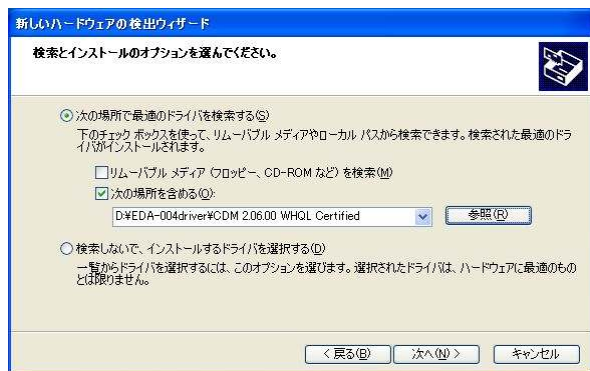
本マニュアルは Windows XP を例に作成しています。



1. 「一覧または特定の場所からインストールする」を選択し「次へ」をクリックしてください



3. 警告が表示されますが「続行」をクリックしてください。



2. ドライバフォルダを指定し「次へ」をクリックしてください。



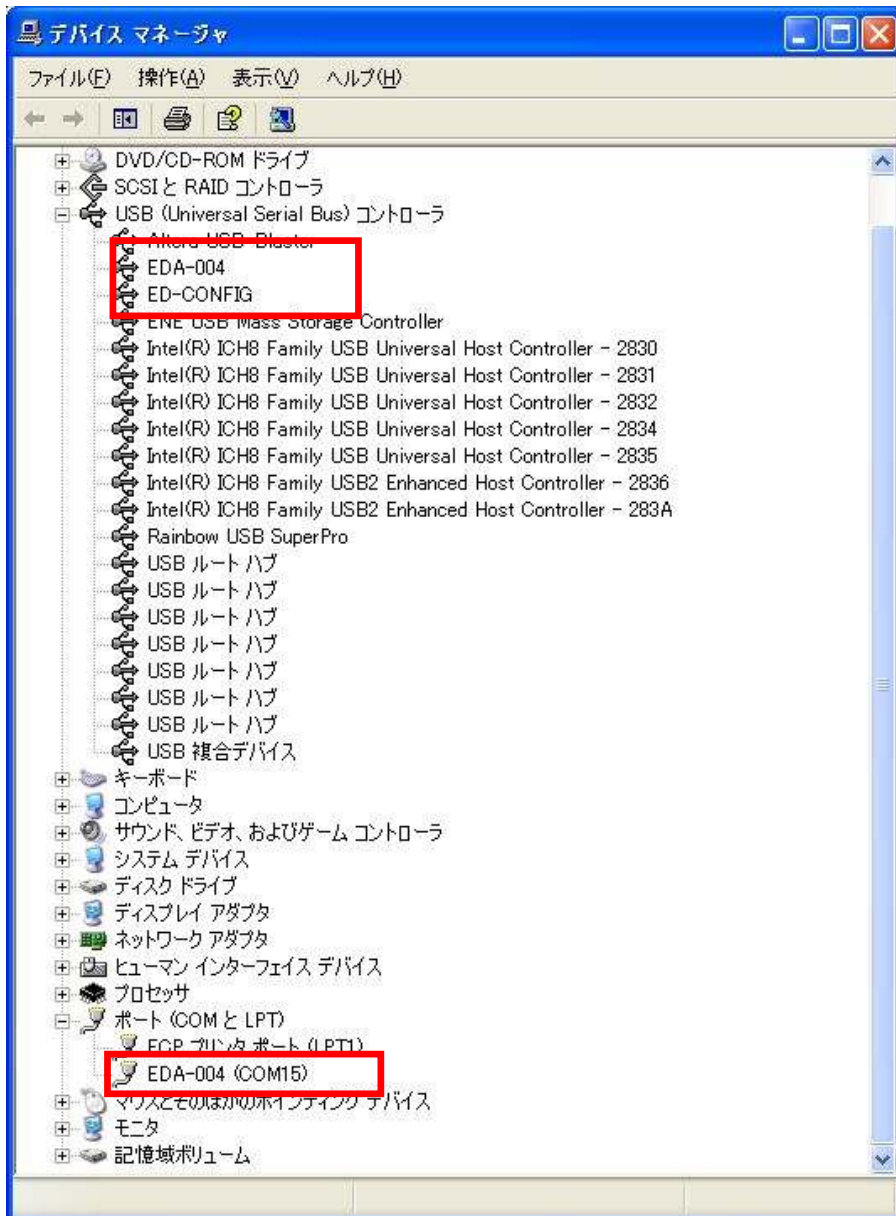
4. 「完了」をクリックしてください。

5. 続けて
 - ・ ED-CONFIG
 - ・ USB Serial Port
 が認識されます。同様の手順を繰り返してください。

これでドライバの組み込みが完了しました。デバイスマネージャで確認すると下図のようになっているはずです。COMポート番号はお客様の環境により異なります。COMポート番号を確認するためにも一度ご確認を御願います。

デバイスマネージャは、**マイコンピュータのプロパティ**を選択し、**ハードウェアタブ**から**デバイスマネージャのボタン**をクリックするか、**マイコンピュータの管理**から、**デバイスマネージャ**をクリックするかのいずれかの方法で起動することができます。

新しいドライバが提供されたときは、弊社のサポートページの説明に従ってください。



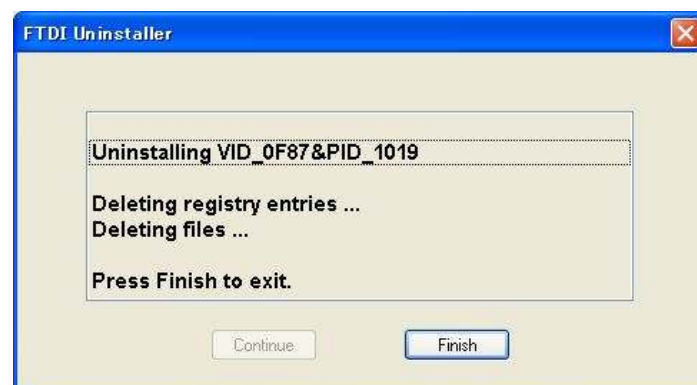
5.2. アンインストール

コントロールパネルの「アプリケーションの追加と削除」から「EDA-004 HuMANDATA LTD.」を選択し、「変更と削除」を実行してください。

アンインストールは PC と EDA-004 を接続しない状態で行ってください。



1. 「Continue」をクリックします



2. 「Finish」をクリックすれば完了です。

6. FPGA コンフィギュレーション

6.1. ダウンロードケーブル

FPGA へのコンフィギュレーションには、専用のダウンロードケーブルを必要としません。添付の USB ケーブルをご使用ください。

[コンフィギュレーション ROM をご使用になる際は ALTERA 社対応ダウンロードケーブルが必要です。](#)

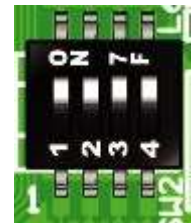
6.2. ディップスイッチ

SW1 によりコンフィギュレーションモードを設定できます。ON で Low に固定されます。その他の設定項目については Cyclone III のデータシートをご参照ください。

SW1

	1	2	3	4
NET LABEL	MSEL3	MSEL2	MSEL1	MSEL0
出荷時設定	ON	ON	ON	ON
機能	コンフィギュレーションモード			

モード	MSEL3	MSEL2	MSEL1	MSEL0
AS *1	1	1	0	1
PS *2	0	0	0	0
JTAG	X	X	X	X



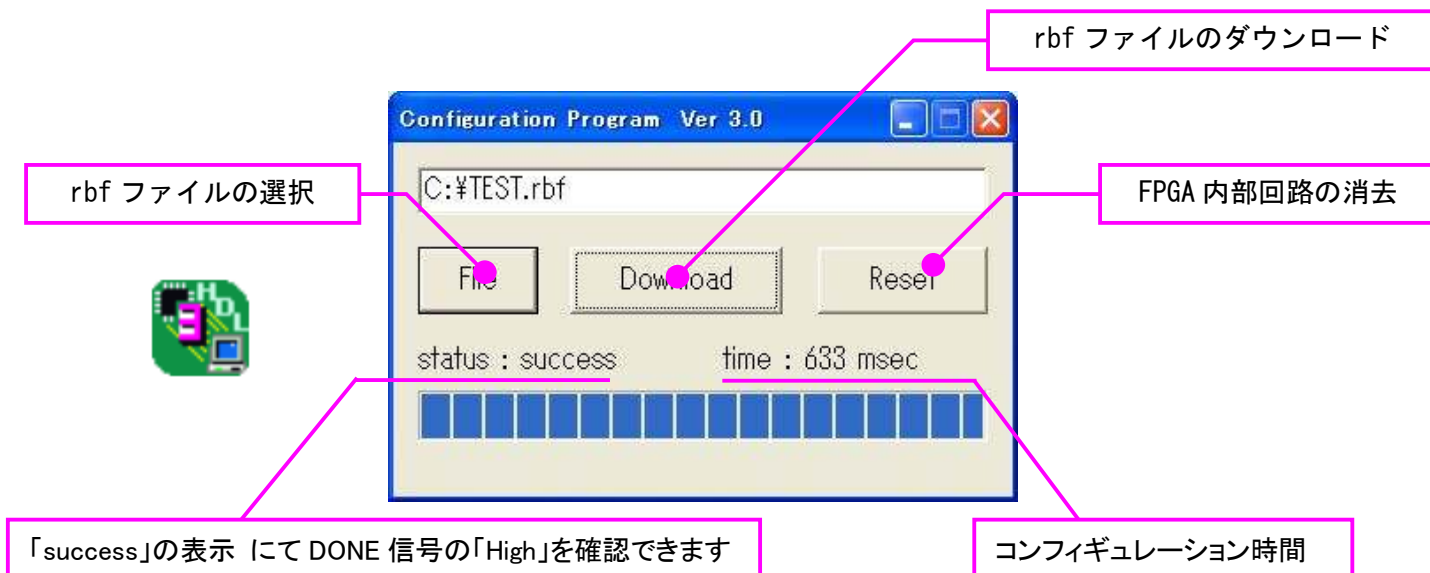
X : Don't Care

(*1) FPGA リセット時、ROM からコンフィギュレーションする際に使用します。

(*2) USB からコンフィギュレーションする際に使用します。

6.3. USB コンフィギュレーション

弊社アプリケーション「BitCfg.exe」をご使用ください。
SW1 の設定が必要です。詳しくは 6.2 節を参照してください。



BAT ファイルを使用して頂くことで、より便利にお使い頂けます。
使用できる変数は下記の 3 つです。

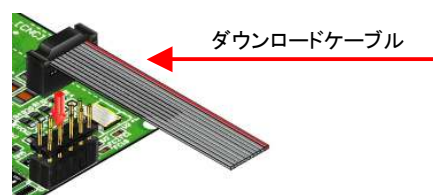
- ・ /D= : FT2232 Ch.B のディスクリプション (“EDA-004 HuMANDATA B” 固定)
- ・ /C= : コンフィギュレーションレートを指定します
- ・ /F= : rbf ファイルをフルパスで指定します

(使用例)

BitCfg /D="EDA-004 HuMANDATA B" /C=1000000 F=C:\%TEST.rbf

6.4. JTAG コンフィギュレーション

FPGA へのコンフィギュレーション及び
コンフィギュレーション ROM の ISP に使用します。
ピン配置は次表のとおりです。



CN2

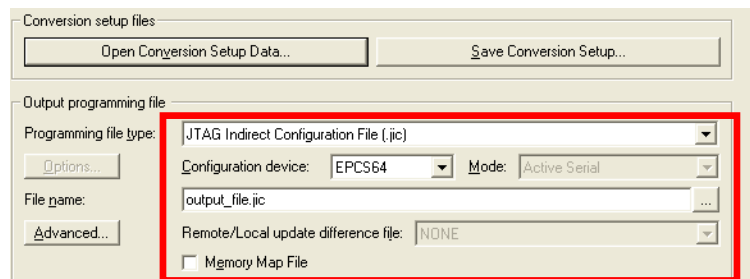
回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3の10ピンコネクタと1:1で対応しています。
ALTERA 社の純正ケーブルを用いることもできます。
また、ダウンロードケーブルと本品との接続には付属品の DIL10 ピン
ヘッダをご利用できます。

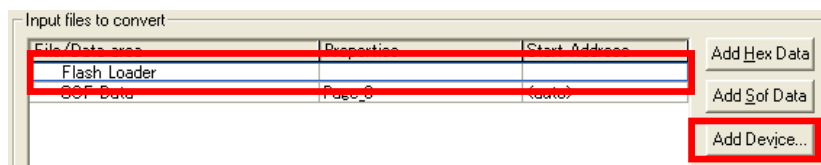
7. コンフィギュレーション ROM

7.1. プログラミングファイルの作成

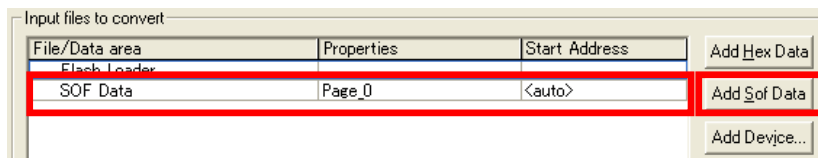
1. QuartusII を起動し [File -> Convert Programming Files..] をクリックします。
2. [Programming file type] : JTAG Indirect Configuration File (.jic)
 [Configuration device] : EPCS16
 [File name] : 任意
 を指定し [Memory Map File] のチェックを外します。



3. [Flash Loader] を選択し [Add Device..] をクリックします



4. 搭載デバイスを選択し [OK] をクリックします。(CycloneIII EP3C55)
5. [SOF Data] を選択し [Add Sof Data] をクリックし sof データを割り当てます。



6. [Generate] をクリックします。

7.2. 書込み

書き込む前に FPGA にコンフィギュレーションし十分な動作の確認を行ってください。
 SW1 の設定を AS として下記の手順を参考にしてください。

1. [Programmer] を起動し [Auto Detect] よりデバイスを認識させます。
2. [Add Files..] または <none> をダブルクリックし jic ファイルを選択します。
3. [Program/Configure] と [Verify] にチェックをいれ [Start] をクリックします。

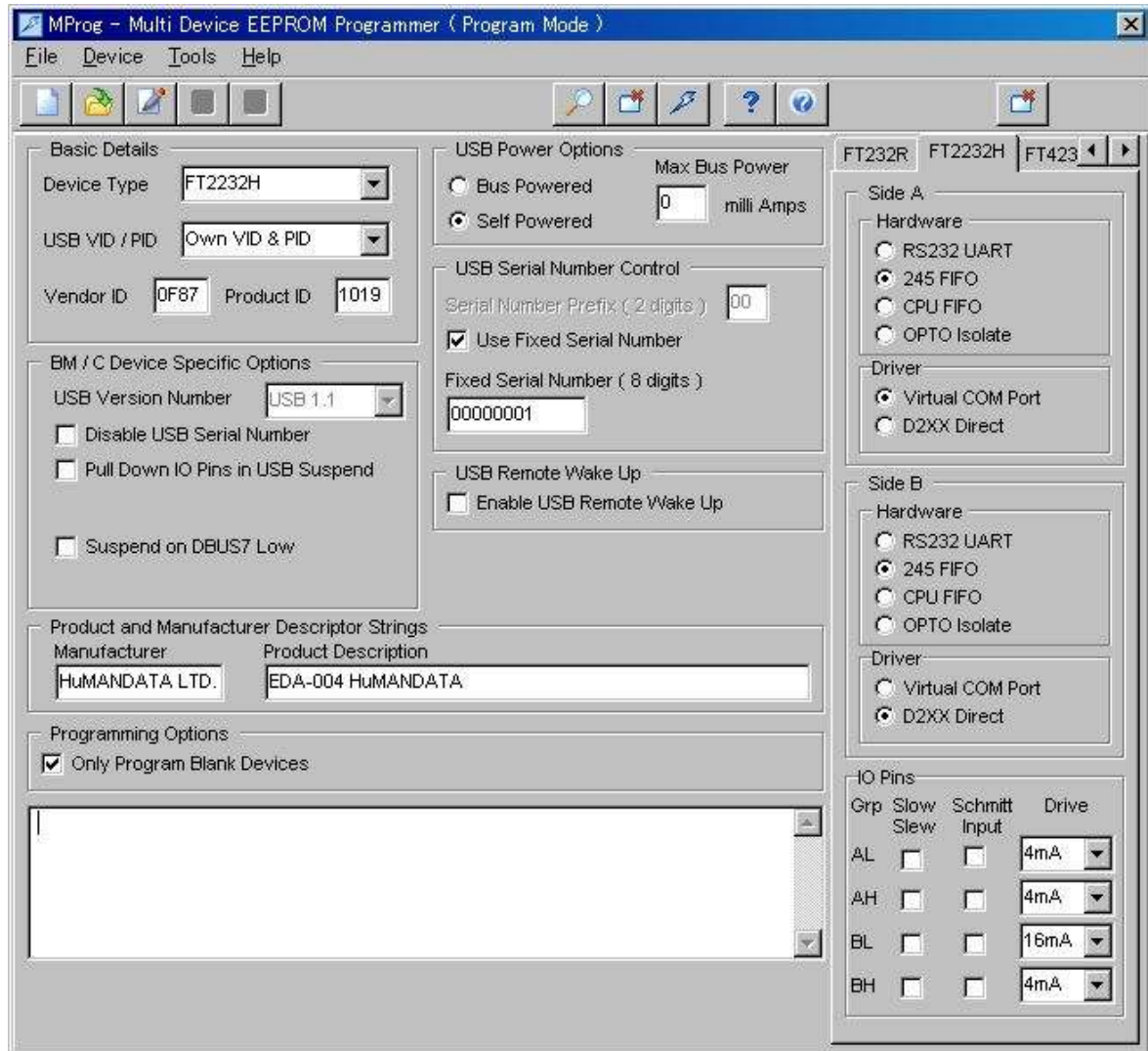
コンフィギュレーション完了後、電源を入れ直すと自動的に ROM から FPGA へコンフィギュレーションされます。

7.3. 消去

[Erase] にチェックをいれ [Start] をクリックします。

8. FT2232H 用 EEPROM の初期値（参考）

出荷時には下図のように設定されております。



(MPROG Version 3.5)

9. FPGA ピン割付け表

9.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA Pin	CNA Pin		FPGA Pin	NET LABEL	BANK
		3.3V*1 (output)	1	2	3.3V*1 (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
A	IOA0	AG3	7	8	AH3	IOA1	A
A	IOA2	AG4	9	10	AH4	IOA3	A
A	IOA4	AG6	11	12	AH6	IOA5	A
A	IOA6	AG7	13	14	AH7	IOA7	A
		GND	15	16	GND		
A	IOA8	AG8	17	18	AH8	IOA9	A
A	IOA10	AG10	19	20	AH10	IOA11	A
A	IOA12	AG11	21	22	AH11	IOA13	A
A	IOA14	AG12	23	24	AH12	IOA15	A
		GND	25	26	GND		
A	IOA16	AE15	27	28	AF15	IOA17	A
A	IOA18	AE16	29	30	AF16	IOA19	A
A	IOA20	AG17	31	32	AH17	IOA21	A
A	IOA22	AG18	33	34	AH18	IOA23	A
		GND	35	36	GND		
A	IOA24	AG19	37	38	AH19	IOA25	A
A	IOA26	AG21	39	40	AH21	IOA27	A
A	IOA28	AG22	41	42	AH22	IOA29	A
A	IOA30	AG23	43	44	AH23	IOA31	A
		GND	45	46	GND		
A	IOA32	AG25	47	48	AH25	IOA33	A
A	IOA34	AG26	49	50	AH26	IOA35	A
A	IOA36	AE27	51	52	AE28	IOA37	A
A	IOA38	AD27	53	54	AD28	IOA39	A
		GND	55	56	GND		A
A	IOA40	AC27	57	58	AC28	IOA41	A
A	IOA42	AB27	59	60	AB28	IOA43	A
A	IOA44	W27	61	62	W28	IOA45	A
A	IOA46	V27	63	64	V28	IOA47	A
A *2	IOA48	U27	65	66	U28	IOA49	A *3

*1 3.3V 出力。使用する場合は JP1 をショートしてください

*2 抵抗アレイ (RM13) を介して CLKAP に接続しています

*3 抵抗アレイ (RM13) を介して CLKAN に接続しています

9.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA Pin	CNB Pin		FPGA Pin	NET LABEL	BANK
		3.3V*4 (output)	1	2	3.3V*4 (output)		
		5V (input)	3	4	5V (input)		
		GND	5	6	GND		
B	IOB0	B3	7	8	A3	IOB1	B
B	IOB2	B4	9	10	A4	IOB3	B
B	IOB4	B6	11	12	A6	IOB5	B
B	IOB6	B7	13	14	A7	IOB7	B
		GND	15	16	GND		
B	IOB8	B8	17	18	A8	IOB9	B
B	IOB10	B10	19	20	A10	IOB11	B
B	IOB12	B11	21	22	A11	IOB13	B
B	IOB14	B12	23	24	A12	IOB15	B
		GND	25	26	GND		
B	IOB16	B17	27	28	A17	IOB17	B
B	IOB18	B18	29	30	A18	IOB19	B
B	IOB20	B19	31	32	A19	IOB21	B
B	IOB22	B21	33	34	A21	IOB23	B
		GND	35	36	GND		
B	IOB24	B22	37	38	A22	IOB25	B
B	IOB26	B23	39	40	A23	IOB27	B
B	IOB28	B25	41	42	A25	IOB29	B
B	IOB30	B26	43	44	A26	IOB31	B
		GND	45	46	GND		
B	IOB32	D27	47	48	D28	IOB33	B
B	IOB34	E27	49	50	E28	IOB35	B
B	IOB36	F27	51	52	F28	IOB37	B
B	IOB38	G27	53	54	G28	IOB39	B
		GND	55	56	GND		
B	IOB40	K27	57	58	K28	IOB41	B
B	IOB42	L27	59	60	L28	IOB43	B
B	IOB44	M27	61	62	M28	IOB45	B
B	IOB46	P27	63	64	P28	IOB47	B
B *5	IOB48	R27	65	66	R28	IOB49	B *6

*4 3.3V 出力。使用する場合は JP2 をショートしてください

*5 抵抗アレイ (RM15) を介して CLKBP に接続しています

*6 抵抗アレイ (RM15) を介して CLKBN に接続しています

9.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	CLKA	J1
		J2
	CLKB	J28
		J27

9.4. 外部クロック入力

周波数	NET LABEL	FPGA Pin
User	CLKAN	A15
	CLKAP	B15
	CLKBN	A14
	CLKBP	B14

9.5. optional clock

NET LABEL	FPGA OUT	FPGA IN
OPT_CLK_CON1	Y3	Y1
		Y2

9.6. 汎用スイッチ

SILK	NET LABEL	FPGA Pin
SW2	PSW0	H26

9.7. 汎用 LED

SILK	NET LABEL	FPGA Pin
L6	ULED0	K26
L5	ULED1	K25
L4	ULED2	J25

9.8. USB インタフェース

NET LABEL	FPGA Pin	Operation Mode				
		RS232	245 FIFO (Sync)	Sync/Async Bit-bang	MPSSE	CPU Style FIFO
ADBUS0	AB4	TDX	D0	D0	TCK/SK	D0
ADBUS1	AB3	RXD	D1	D1	TDI/DO	D1
ADBUS2	AA4	RTS#	D2	D2	TDO/DI	D2
ADBUS3	AA3	CTS#	D3	D3	TMS/CS	D3
ADBUS4	Y4	DTR#	D4	D4	GPIOL0	D4
ADBUS5	V4	DSR#	D5	D5	GPIOL1	D5
ADBUS6	V3	DCD#	D6	D6	GPIOL2	D6
ADBUS7	V2	RI#	D7	D7	GPIOL3	D7
ACBUS0	AF3	TXDEN	RXF#	-	GPIOH0	CS#
ACBUS1	AF4	-	TXE#	WRSTB#	GPIOH1	A0
ACBUS2	AE3	-	RD#	RDSTB#	GPIOH2	RD#
ACBUS3	AE4	RXLED#	WR#	-	GPIOH3	WR#
ACBUS4	AD3	TXLED#	SIWUA	SIWUA	GPIOH4	SIWUA
ACBUS5	AD4	-	CLKOUT *1	-	GPIOH5	-
ACBUS6	AC2	-	OE# *1	-	GPIOH6	-
ACBUS7	AC3	-	-	-	GPIOH7	-
USB-DET	AD5					
XUSBRESET	C2					

*1 Synchronous-FIFO mode

9.9. MRAM [MR2A16AYS35]

MRAM (U11)		NET LABEL	FPGA Pin
Pin No	Pin NAME		
1	A0	MRAM_A1	M1
2	A1	MRAM_A2	M2
3	A2	MRAM_A3	P1
4	A3	MRAM_A4	M5
5	A4	MRAM_A5	P2
18	A5	MRAM_A6	AD2
19	A6	MRAM_A7	AD1
20	A7	MRAM_A8	AE2
21	A8	MRAM_A9	AE1
22	A9	MRAM_A10	AF2
23	A10	MRAM_A11	J4
24	A11	MRAM_A12	L1
25	A12	MRAM_A13	H5
26	A13	MRAM_A14	H4
27	A14	MRAM_A15	J3
42	A15	MRAM_A16	D2
43	A16	MRAM_A17	D1
44	A17	MRAM_A18	D3
7	DQL0	MRAM_DQL0	R2
8	DQL1	MRAM_DQL1	U1
9	DQL2	MRAM_DQL2	U2
10	DQL3	MRAM_DQL3	V1
13	DQL4	MRAM_DQL4	W1
14	DQL5	MRAM_DQL5	W2
15	DQL6	MRAM_DQL6	AB2
16	DQL7	MRAM_DQL7	AB1
29	DQU8	MRAM_DQU8	K1
30	DQU9	MRAM_DQU9	K2
31	DQU10	MRAM_DQU10	G4
32	DQU11	MRAM_DQU11	H3
35	DQU12	MRAM_DQU12	G3
36	DQU13	MRAM_DQU13	G1
37	DQU14	MRAM_DQU14	G2
38	DQU15	MRAM_DQU15	F1
41	G#	MRAM_OE	E3
17	W#	MRAM_WE	AC1
6	E#	MRAM_CE	R1
39	LB#	MRAM_BE0	F2
40	UB#	MRAM_BE1	F3

10. サポートページ

「BitCfg」「USB ドライバ」は下記より最新のをダウンロードしてご使用ください。

<http://www.hdl.co.jp/ftpdata/EDA-004/index.html>

その他のサポートにつきましては下記アドレスのページをご覧ください。

http://www.hdl.co.jp/support_c.html

搭載デバイスのデータシートは、各社のホームページからダウンロードしてください。

Xilinx 社のホームページ

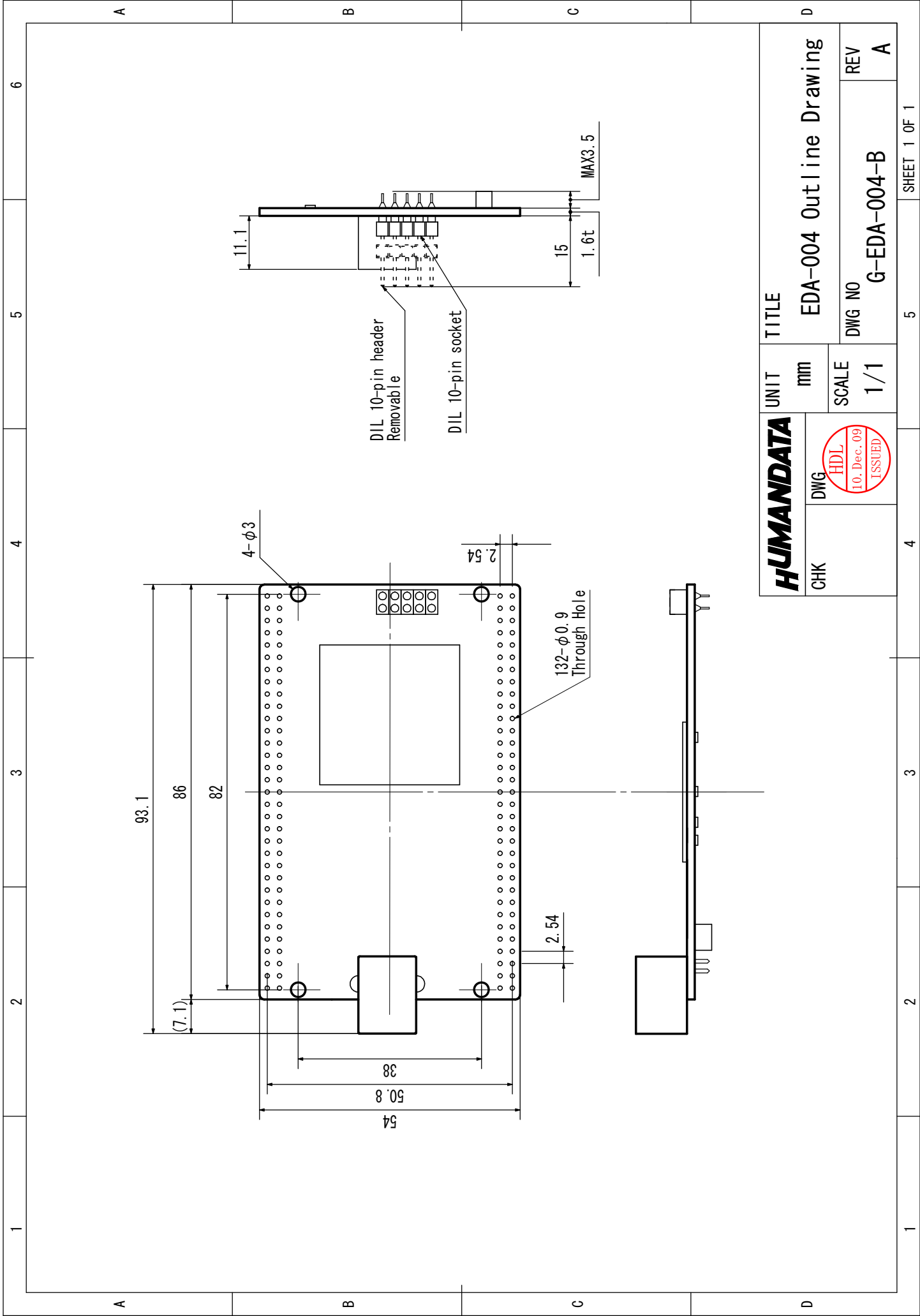
<http://www.xilinx.com/>


FTDI 社のホームページ

<http://www.ftdichip.com/>

11. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA		UNIT	TITLE
CHK	DWG	mm	EDA-004 Outline Drawing
		SCALE	DWG NO
		1/1	G-EDA-004-B
			REV
			A

Cyclone III USB-FPGA ボード
EDA-004
ユーザーズマニュアル

2009/12/16 初版

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
