





目次

はじめに	1
付属品	1
ご注意事項	1
概要	2
基板外観	2
ブロック図	2
開発環境	3
ダウンロードケーブル	3
クロック	3
7セグメント LED	3
押しボタンスイッチ	3
赤色 LED	3
電源	3
FPGA コンフィグレーション	3
FPGA ピンアサイン表	4
クロック	4
7セグメント LED	4
押しボタンスイッチ	4
赤色 LED	4
Quartus II による開発手順	5
プロジェクトの新規作成	5
VHDL による AND 回路	8
新規ソースの追加	9
コンパイル	
ピンの割り当て	
シミュレーション	
RBF ファイルの作成	21
専用ソフトウェアによる FPGA コンフィグレーション	
動作の確認	
EDA-002 サンプル回路	26
サンプル回路の動作	
サンプル回路のコンフィグレーション手順	
付属 CD-ROM の内容	27

はじめに

この度は、FPGAトレーナ EDA-002 をお買い上げいただきまして、誠にありがとうございます。

EDA-002 は、ALTERA 社の FPGA である ACEX (EP1K10TC100-3:56,000 ゲート) を実装し たトレーナです。4桁数字表示 LED、汎用 LED、押しボタンスイッチ、クロックモジュール、FPGA コ ンフィグレーションに使用する USB インターフェースを実装しておりますので、快適に FPGA 設計を 進めることができます。

VHDLや Verilog-HDL による論理回路設計の習得に、ご活用ください。

付属品

EDA - 002 本体 USB ケーブル マニュアル(本書) ユーザー登録はがき 付属 CD

ご注意事項

- 1. 本製品及び本書の内容は、改良のために予告なく変更することがあります。
- 2. 本書の内容については万全を記して作成しましたが、万一誤りなど、お気づきの点がございま したら、ご連絡をお願いいたします。
- 3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご 了承願います。
- 4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
- 5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

概要

基板外観



押しボタンスイッチ

ブロック図



開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツールが必要です。 これらの開発ツールは、ALTERA社が無償配布するQuartus IIにて可能です。使用する際には インターネットによるライセンス登録が必要となります。

ダウンロードケーブル

FPGA へのコンフィグレーションには、専用のダウンロードケーブルを必要としません。付属の USB ケーブルをご使用ください。

クロック

6MHz セラミック発振子より、USB コントローラと FPGA にクロックを供給します。

7セグメント LED

4 つの 7SEG の一つを選択する信号 SA0、SA1、SA2、SA3 のいずれかを L とし、その他をハイ インピーダンスまたはオープンドレインにてオフとします。数 kHz で順番に表示させることによって 連続して点灯しているようにみえます。また、複数を同時に L とすると電流が過大となりますので、注 意して下さい。



押しボタンスイッチ

押すとLになります。このピンは FPGA に対して、<u>入力となりますので、出力しないでください</u>。 押しボタンスイッチに対して **FPGA 側から出力するとショートします**ので注意してください。

赤色 LED

赤色 LED は負論理です。L にて点灯します。完全に消灯させるには、ハイインピーダンスとするか オープンドレインにてオフとしてください。

電源

電源は USB から 5.0V が供給されます。 FPGA が必要とする 3.3V、 2.5V はオンボードのレギュレータとダイオードにより生成されます。

FPGA コンフィグレーション

FTDI 社提供のダイレクトドライバをインストールすることで、USB 経由で FPGA をコンフィグレーションすることができます。コンフィグレーションが終了し、DONE 信号が H になると赤色 LED(LED9) が点灯します。



FPGA ピンアサイン表

クロック

信号名	I/O	ピン番号	備考
CLK0	I	P39	6 MHz

7セグメント LED

信号名	I/O	ピン番号	備考
SA0	0	P49	
SA1	0	P48	
SA2	0	P47	
SA3	0	P46	
SG0	0	P20	
SG1	0	P21	
SG2	0	P22	
SG3	0	P23	
SG4	0	P30	
SG5	0	P31	
SG6	0	P32	
SG7	0	P33	小数点

押しボタンスイッチ

信号名	I/O	ピン番号	備考
PSW_A		P15	
PSW_B		P14	
PSW_C		P13	

赤色 LED

信号名	I/O	ピン番号	備考	
LED0	0	P71		
LED1	0	P70		
LED2	0	P69		
LED3	0	P68		
LED4	0	P58		
LED5	0	P57		
LED6	0	P56		
LED7	0	P55		
-		-	-	

Quartus II による開発手順

EDA-002 に搭載されている FPGA をコンフィグレーションするには rbf ファイルが必要となります。 このファイルを生成する手順について説明します。rbf ファイルを生成するには ALTERA 社の Quartus II が必要となります。

プロジェクトの新規作成

プロジェクトを新規作成するには、[File] [New Project Wizard] をクリックします。 下の画面が、出るので「Next」をクリックします。

New Pro	ject Wizard: Introduction	×
The follo	New Project Wizard helps you enter settings that apply to your entire project, including the wing:	
:	Project name and directory Name of the top-level design entity Design files, other source files, and libraries to be used in the project Device and family to be used for compilation EDA tool settings	
You with page and	can change the settings for an existing project and specify additional project-wide settings the Settings command (Assignments menu). You can use the various is of the Settings dialog box, including the Timing Settings, the Default Parameter Settings, the Default Logic Option Settings pages, to add functionality to the project.	
	Don't show me this introduction again	
	Back Next Finish キャンセル	_

プロジェクトディレクトリは、「C: ¥ WORK」とします。

上段	プロジェクトを保存するフォルダ	C: ¥WORK¥AND
中段	プロジェクト名	AND_TOP
下段	作成するロジックの Entity 名	AND_TOP

入力項目は上記ですが、中段のプロジェクト名と下段の作成するロジックの Entity 名は、同じにしておかなければこの先のコンパイルでエラーになります。

U:#WURK#AND				
What is the name of this entity.	project? If you wish,	you can use the	name of the proje	ct's top-level
AND_TOP				
What is the name of the	top-level entity in yo	ur project? Entity	names are case	sensitive, so
the capitalization must e	xactly match that of t	the name of the e	ntity in the file.	
AND_TOP				

「Next」をクリックすると下の画面が表示されますが、何も入力せずに「Next」をクリックします。

ile name	Туре	<u>A</u> dd
		Add A <u>l</u> l
		Remove
		Properties
		Up
		Down

下の画面が表示されますが、何も入力せずに「Next」をクリックします。

T 1.				12	
lool type		loolname			<u> </u>
Design entry/sy Simulation	nthesis	<none></none>			
Timing analysis		<none></none>			
Board-level	20	<none></none>			
Resynthesis	ION	<none></none>			-
Tool settings -					
Tool type:	Design	entry/synthesis			
Tool name:	<none< td=""><td>></td><td></td><td></td><td>-</td></none<>	>			-
🔲 Run this to	ol automa	ically to synthesize t	he current design	Sett	ings
				1 du	ACCESSION 1

デバイスファミリーの指定画面が表示されますので、ACEX1Kを選択して「Next」をクリックします。

New Projec	ct Wizard: Device Family [page 4 of 6]	×
Which a	device family do you wish to target?	
<u>F</u> amily:		
Do you ເຈັ <u>Y</u> es	uwant to assign a specific device? s	
С <u>N</u> o,	I want to allow the Compiler to choose a device	
	Back Next Finish キャンセル	1

デバイスの指定画面が表示されますので、EP1K10TC100-3 を選択して「Next」をクリックします。

EP1K10FC256-1 EP1K10FC256-2	_	Package:	Any	-
EP1K10F1256-2 EP1K10FC256-3		Pin <u>c</u> ount:	Any	•
EP1K10QC208-1 EP1K10QC208-2		Speed grade:	Any	-
EP1K10QC208-3 EP1K10TC100-1		Voltage:	2.5V	10000
EP1K10TC100-2 EP1K10TT100-2				
P1K101C100-3 P1K10TC144-1				
EP1K101C144-2 EP1K10TC144-3	•			
	_			

下の確認画面が表示されますので、間違いがなければ「Finish」をクリックしてください。

Project directory:	
c:/work/and/	
Project name:	AND_TOP
Top-level design entity:	AND_TOP
Number of files added:	0
Number of user libraries added:	0
EDA tools:	
Design entry/synthesis:	<none></none>
Simulation:	<none></none>
Timing analysis:	<none></none>
Board design:	<none></none>
Device assignments:	
Family name:	ACEX1K
Device:	EP1K10TC100-3

VHDL による AND 回路

VHDLでは、AND 回路は次のように記述します。



入力 A を「押しボタンスイッチ」の「SW3(A)」、入力Bを「押しボタンスイッチ」の「SW2(B)」とします。 出力 C は「赤色 LED」の「LED1」とします。 実装する手順について説明します。

新規ソースの追加

[File] - [New] を選択します。

File	<u>E</u> dit	<u>V</u> iew	<u>P</u> roject	<u>A</u> ssignment
	ew	ζ		Ctrl+N
j in ² ⊆	pen			Ctrl+O

下の画面が表示されますので Device Design Files から VHDL File を選択して OK」をクリックしてください。

New	×
Device Design Files Software Files Other Files AHDL File	1
Block Diagram/Schematic File EDIF File Verilog HDL File	
VHUL File	
ОК	Cancel

下の画面のように白紙のテキストエディタが現れます。 (Quartus II では自動的に VHDL コードの雛型は、生成されません。)

Countie B - E Awak Amerikanity TDF - AND TDF	× Dia
In the fee Deer Andrees Preserve Into Bardes I	- H/GO D + 5 N E O O HUTTH
List Completion Herardy AND, TOP AND, TOP	Kor (
al af Niddae (Process III (Trace)	
**	a.com)
Fire Holp, press F1	Tun L. Cel 1 TI-B-B He NUM

エディタに AND 回路の VHDL コードを入力します。

📾 Vhd1 vhd+	
1 library IEEE;	
2 use IEEE.STD LOGIC 1164.ALL;	
3 use IEEE.STD_LOGIC_ARITH.ALL;	
4 use IEEE.STD LOGIC UNSIGNED.ALL;	
5	
6 Entity AND_TOP is	
7 Port (PSW A ; in std logic;	
8 PSW B : in std logic;	
<pre>9 LED_C : out std_logic);</pre>	
10 end AND TOP;	
11	
12 architecture RTL of AND_TOP is	
13	
14 begin	
15 LED_C <= PSW_A and PSW_B;	
16	
17 end RTL;	
	-1
	×12
laided	

AND 回路の VHDL コードの入力が、終了したらファイル名を付けて保存します。

名前を付けて保存						×
保存する場所①:	🔁 and	+	£	d *	.	
🗋 db		0				
			_		2 0 ()	
ノア1ル名(<u>N</u>):	JAND_TOP			L	保存的	
ファイルの種類(工):	VHDL File (*.vhd;*.vhdl)		•		キャンセル	
▽ A	dd file to current project					
						11.

コンパイル

次に作成したソースコードのコンパイルを行います。 [Tools] - [Compiler Tool]を選択します。



下のような画面が表示されますので、「Start」を押します。

Analysis & Synthesis	Fitter	Assembler 0 % 00:00:00 Astri	Timing Analyzer	EDA Netlist Writer
		0 %		
		00:00:00		

コンパイル処理が始まると、処理状況が表示されます。

コンパイル処理が正常に終了すると、下のような画面が表示されますので、「OK」をクリックして ください。



ピンの割り当て

VHDLソースファイルで宣言した入出力ピンを、実際のデバイスの何番ピンに割り振るかを 指定します。[Assignments] - [Pins]を選択します。

Eile <u>E</u> dit <u>V</u> iew <u>P</u> roject	<u>A</u> ssignments P <u>r</u> ocessing <u>T</u> ools <u>W</u> ii	ndow <u>H</u> elp
0 🚅 🖬 🎒 🐰 🗉	🔮 <u>D</u> evice	
	🔮 Pins	
Entity Compilation Hierarchy	Iming Settings Image: EDA Tool Settings Image: Settings Settings Ctrl+Shift+E	DGIC_1164
me	<u>W</u> izards	, pgic_unsi
	<u>Assignment Editor</u> Ctrl+Shift+A <u>Remove Assignments</u> <u>Demote Assignments</u>	is A : in s B : in s C : out :
Full Compilation	Back-Annotate Assignments Import Assignments Export Assignments	L of AND
Fitter	Time <u>G</u> roups	

下のような画面が表示されます。ここで、VHDLのソースファイルで宣言した端子をデバイスの ピンに割り当てます。

🎸 Assignment Editor				<u>_D×</u>
≝ Category: P	n	💌 🔽 A	I Pin 💍 Timing	Logic Options
Show assignments	for specific nodes:			
				Check All
				Uncheck All
ter:				Delete All
Edit:	<pre><<new>></new></pre>			
То	Location	General Function	Special Function	Reserved
1 < <new>></new>	< <new>></new>			

To の<<New>>をクリックすると、VHDL のソースファイルで宣言した端子が表示されるので 選択します。

🤣 Assie	gnment Editor*				
× +	Category:	Pin	•	All 🖻 Pin 💍 T	iming 🕒 Logic Options
× -	Show assignment:	s for specific nodes:			
Z					Check All
de F					Uncheck All
l lter:					Delete All
× -	This cell specifies the	e pin name to which you (want to make an assignment		*
العال		746 - Cec			<u></u>
×	Edit: 🔀 💊	LED_C			
	То	Location	General Function	Special Function	Reserved
1	C	▼ PIN_71	Row I/O		
2	TED C	PIN_15	Row I/O		
3	PSW A	PIN_14	Row I/O		
4	PSW B	< <new>></new>			

Location の<<New>>をクリックすると、デバイスの端子番号が表示されるので、割り当てる 端子番号を指定します。ピンの割り当てができたら保存します。

🎸 Assi	ignment Editor*					
× •	Category: Pi	n		• 🕅	Al 🖙 Pin 🧔 1	iming Logic Options
M el	Show assignments f	or specific nodes				
z						Check All
8						Unchards All
10						Oncheok All
3						Delete All
	,					
7 🗉	Assigns a location on t	he device for the	current node(s)	and/or pin(s).		-
	J					<u></u>
즤	Edt: XV	PIN 71				
<u> </u>	<u></u>					
	To	Location	Ger	eral Function	Special Function	Reserved
1	@LED_C	PIN_71	▼ Rov	r I/O		
2	IPSW_A	PIN_71	Row I/O			
3	IIPPSW_B	PIN_77	Column 1/0	DATA1		
4	< <new>></new>	PIN_78	Column I/C	DATA2		_
		PIN_79	Column 1/0	DATA3		
		PIN_80	Column I/C	DATA4		
1		PIN_81	Column 1/C	DATAS		•
-		PIN_02	Column 1/C	DATAG		
		PIN_84	Column 1/C	DATA7		
		PIN_85	Column 1/0		ht	tp://www.altera.c
AND_TO		PIN_86	Column I/C			
		PIN_87	Column I/C	DEV_CUS	in E	
to LED_C	-remove	PIN_89	Dedicated	input .		
to LED_C	2	PIN 90	Dedicated	Clock Global C	ж	
to PSW /	A	PIN 91	Dedicated	input .	_	
An DOW D	D					

ピンの割り振りが終了して保存したら、コンパイルの手順で再度コンパイルを実行して Fitter Report を確認します。

Fitter Report は、矢印のボタンを押すと表示されます。

Analysis & Synthesis –	Fitter	Assembler	Timing Analyzer	EDA Netlist Writer
100 %	100 % 00:00:06	100 % 00:00:03	100 % 00:00:03	0 %
▶ MAP → 魚 操	💥 🎲 🤮 😻	ASM 🚓 📎		K 10A 🕀 🔮
		100 %		
		00:00:21		
Start	•	500 Stop		Report

指定したピン番号になっていることを確認できます。

	UP.	.fit.rpt															- !
126	12																
127	;	Input	Р	ins													
128	+-		+			+-		+-		+		-+-		-+			+-
129	;	Name	;	Pin	#	;	Row	;	Col.	; 1	an-Out	;	Global	;	I/O Re	gister	;
130	+-		+			+-		+-		+		+-		+-			+-
131	;	PSW_A	;	15		;	в	;		; :	L	;	no	;	no		;
132	;	PSW_B	;	14		2	в	;		; ;	L	;	no	;	no		;
133	+-		+-			+-		+-		+		+-		+-			+-
134																	
135																	
135	+-			Dina													
138				PINS													
13.9		Name		Pin	#		Row		Col.		I/O Rea	is	ter : Ha	3e	Local	Routino	1 0
140	+-		+		"	+-		+-		+			+				
141	;	LED C	;	71		;	A	;	6 <u>232</u> 7	; 1	10		; no	5			
142	+-		+			+-		+-		+			+				
143																	
144																	

シミュレーション

入出力のピンの割り当てに間違いがないことを確認できましたので、シミュレーションを行います。 [Tools] - [Simulator Tool]を選択します。



下のような画面がでるので、画面の設定になっていることを確認して「Open」のボタンを押します。

🚌 Simulator Tool 📃 🗌 🗙
Simulation mode: Timing Generate Functional Simulation Netlist
Simulation input:
Simulation period
Run simulation until all vector stimuli are used
C End simulation at: 100 ns
Simulation options
Automatically add pins to simulation output waveforms
Check outputs
Setup and hold time violation detection
Glitch detection: 1.0 Ins 🗾
Overwrite simulation input file with simulation results
0 %
🚬 Start 💷 Stop 🤨 Open 🤮 Report



下のような画面が表示されます。

D i V	/aveform1.vwf*						
Mast	ter Time Bar:	0 ps	· · Pointe	r: 4.6 ns Inter	rval: 4.6 ns Sta	art: En	d:
		Value	0 ps		10.0 ns		20.0 ns
	Name	0 ps	DS J				
		_			2 2 2 2 4 4		
					1		•

「Name」の部分を右クリックすると、ポップアップメニューが開きます。

			100 ps	200 n
	Nama Value		10.0 113	20.911
_	Gagy	Gtrl+X Ctrl+C	- A	
	Paste	Gtrl+V	4. 4.	
	Paste Special			
	Repeat Paste			
	<u>D</u> elete	Del		
	Insert Node or <u>B</u> us			
l	Locate in Assignment	Editor Ctrl+Shift+A		
	Zoom	•		

「Insert Node or Bus」を選択すると、下の画面がでるので、「Node Finder」をクリックします。

<u>N</u> ame:	I		ОК
<u>T</u> ype:	INPUT	-	Cancel
<u>V</u> alue type:	9-Level	-	Node <u>F</u> inder
<u>R</u> adix:	Binary	-	
Bus <u>w</u> idth:	1		
Start index:	0		

下の Node Finder の画面がでるので、「Filter」で「Pins: output」を選択して「List」を クリックすると、「Nodes Found」に entity に宣言されている出力端子が表示されます。

Node Finder				
Named:		output	▼ <u>C</u> ustomize	List OK
Look in: AND_TOP			🔽 Include subentities	Stop 💙 Cancel
Nodes Foun <u>d</u> :		Selected Nodes		
Name	Assignmen Type	Name	Assignmen	Туре
		\geq		
		>>		
•		> <		Þ

「Nodes Found」の「LED_C」を選択して画面中央の ≥ か》をクリックすると 「Selected Nodes」に「LED_C」が登録されます。

Named * Eilter Pins: output Qustomize List Of Can Nodes Found: Name Assignmen Type Selected Nodes: Name Assignmen Type @ AND_TOP LED_C PIN_71 Output E LED_C PIN_71 Output	ode Finder					
Look in: IAND_TOP Vodes Found: Name Assignmen Type ILED_C PIN_71 Output IAND_TOP LED_C PIN_71 PIN	Named: *	-	Eilter Pins: output		<u>C</u> ustomize	ist OK
Name Assignmen Type Image: Display the second	.ook_ in: AND_TOP		and the second		✓ Include subentities S	top Cancel
Name Assignmen Type IED_C PIN_71 Output Image: Second se	Nodes Foun <u>d</u> :			Selected Nodes:		
LED_C PIN_71 Output AD_TOP LED_C PIN_71 Output S	Name	Assignmen	Туре	Name	Assignmen	Гуре
	➡ LED_C	PIN_71	Output	AND_TOP LED_C	PIN_71 (Jutput

1

次に「Filter」で「Pins: input」を選択して「List」をクリックすると、「Nodes Found」に entity に宣言 されている入力端子が表示されます。

「Nodes Found」の「PSW_A」と「PSW_B」を選択して、画面中央の ≥ か 》をクリック すると、「Selected Nodes」に「PSW_A」と「PSW_B」が登録されます。 必要なピンが「Selected Nodes」の登録されたら、「OK」をクリックします。

Node Finder						×
Named: *	•	<u>F</u> ilter Pins: input		▼ <u>C</u> ustomize	<u>List</u>	ОК
Look in: AND_TOP				Include subentities	Stop 🔨	Cancel
Nodes Foun <u>d</u> :			Selected Nodes:			5 <u>0</u>
Name	Assignmen	Туре	Name	Assignmen	Type	
PSW_A ■ PSW_B	PIN_15 PIN_14	Input Input	AND_TOPILED_O IAND_TOPIPSW_A IAND_TOPIPSW_B IAND_TOPIPSW_B	: PIN_71 A PIN_15 3 PIN_14	Output Input Input	
		Þ	•		Þ	

「Insert Node or Bus」の「Name」と「Type」の欄に「* * Multiple Items * *」と表示されていること を確認して「OK」をクリックしてください。

lame:	*≫Multiple Items**		OK
Гуре:	**Multiple Items**		Cancel
Value type:	9-Level	•	Node <u>F</u> inder
<u>R</u> adix:	Binary		
Bus <u>w</u> idth:	1		
Start index:	0		

下の画面のように、シュミレーションを行うピンが登録されます。

Gi Wa	aveform1.vwf*	8		
Maste	er Time Bar:	0 ps	Pointer: 18.4 ns Interval: 18.4 ns	Start: End:
	Name	Value 0 ps	0 ps 10.0 ns bs l	20.0 ns
	LED_C	ВX		******
	PSW_A PSW_B	B 0 B 0		

表示領域に合わせて表示されます。

次に「Name」の部分を右クリックして「Zoom」 「Fit in Window」を選択すると画面右の時間軸が

J Wavefor	m1.vwf*						
Master Tim	e Bar: Ops 🚺	Pointer: 0 ps	Interval:	0 ps	Start:	End:	
	. Value 0 r	os 160.0 ns	320.0 ns	480.0 ns	640.0 ns	800.0 ns	960.0 _, ns
0 1 1	Cu <u>t</u> <u>C</u> opy <u>P</u> aste Paste <u>S</u> pecial <u>R</u> epeat Paste <u>D</u> elete	Ctrl+X Ctrl+C Ctrl+V Del			******	******	*****
	Insert Node or <u>B</u> us						
	Locate in Assignmen	t Editor Otrl+Shift	+A				
	Zoom		► <u>E</u> it	in Window	Ctrl+W		
			200 Zoo 200	m_ln m_Out m	Ctrl+Space Ctrl+Shift+Spa	ace	

シュミレーションに必要な波形を「PSW_A」と「PSW_B」に入力します。

シュミレーションに必要な波形の入力は、赤い矢印のマークをクリックして、「PSW A」と 「PSW_B」の波形表示エリアの、適当な部分をマウスでドラッグして動かすと、ドラックした範囲に パルス波形が現れます。

A	Maste	Master Time Bar: 960.0 ns 🕩 Pointer: 151.3 ns Interval: -t									
₩ €		Name	Value at 960.0 ns	0 ps 160.0 ns 320.0 ns 44 0 ns							
本 》 这些小型短期		LED_C PSW_A PSW_B	BX B0 B0								

<u>Б</u> Р	ND_TOP.vwf*								
Mas	ter Time Bar:	0 ps	· · Po	inter: 782.51	1 ns Interval:	782.51 ns	Start: 685.0 r	ns End:	800.0 ns
	Name	Value O ps	0 ps ps	160.0 ns	320.0 ns	480.0 ns	640.0 ns	800.0 ns	960.0 _, ns
	LED_C	ВX		******	*******	******	********	*****	*******
	PSW_A	BO							
	PSW_B	BO							
		at sees	1						

シュミレーションを行う波形を「PSW_A」と「PSW_B」に設定できたら、「Simulator Tool」の画面に 戻って「Start」ボタンを押すと、vwf ファイルを保存する確認画面がでますので、「はい(Y)」をクリッ クすると保存ファイル名を聞いてきますので、「ファイル名」を「AND_TOP」として「保存」をクリックす ると、シュミレーションが行われます。

Quartus II	1	名前を付けて保存					×
Waveform1.vwf* への変更を保存しますか? (パいえい) キャンセル		保存する場所①: ⁽) db	and	•	← Ē (* *	
		ファイル名(<u>い</u>): ファイルの種類(①: ▽ A	AND_TOP Vector Waveform File (*.vwf) dd file to current groject			保存(S) キャンセル	

シュミレーションが成功すると、下の画面がでますので、「OK」をクリックして「Simulator Tool」 画面の「Report」ボタンを押すと、シュミレーション結果が表示されます。

Quartus II	×
•	Simulation was successful (0 errors, 0 warnings)
	C OK

AND_TOP Simulation I Compared Simulation Report Compared Sympacy Compared Sympacy	Report Simu Mast	t Iation Wavefor er Time Bar: [ms Ops _	Pointer: 33.94 ns Interval: 33.94 ns Start: End:
		Name	Value at 0 ps	D ps bs
- 🗃 📰 Simulator :	0	LED_C	BO	
🚭 😳 Simulation		PSW_A	BO	
⊡∰⊞ Simulator : ⊇∰ Simulator		PSW_B	B0	

RBF ファイルの作成

RBF ファイルを生成するためには、使用しないピンをトライステートに設定してコンパイル時に *.rbf ファイルを生成するように設定する必要があります。



「Assignments」-「Device」を選択します。

以下の画面が表示されますので、デバイスが EP1K10TC100-3 であることを確認して 「Device & Pin Options」をクリックしてください。

General	Device
 Files User Libraries Device Timing Requirements & Options EDA Tool Settings Compilation Process Analysis & Synthesis Settings Fitter Settings Timing Analyzer Design Assistant SignalT ap II Logic Analyzer SignalProbe Settings Simulator Software Build Settings 	Select the family and device you want to target for compilation. Eamily: ACEXIK Particle Device & Pin Options Routing Options Conting Options Particle Auto device selected by the Fitter from the 'Available devices' list © Specific device selected in 'Available devices' list Specific devices: EPIK10FC256-1 EPIK10FC256-2 EPIK10FC256-3 EPIK10FC256-3 EPIK100C208-1 Specific devices' list Package: Any Pin gount: Any Specific devices: Specific devices' list Pin K10FC256-2 Pin gount: EPIK10FC208-3 Pin gount: Any Specific devices' list Pin gount: Any Specific devices: Y EPIK10TC100-1 Specific devices EPIK10TC144-2 Specific devices EPIK10TC144-3 Specific devices Migration compatibility: 0 migration devices selected Migration Devices

「Device & Pin Options」の設定画面が開きますので、「Unused Pins」の 「Reserve all unused pins」の設定で、「As inputs,tri-stated」をチェックしてください。

Dual-Purpose	Pins	Voltage	Pin Placement	Error Detection CRC
General		Configuration	Programming Files	Unused Pins
dual-purpose co reserve other pir Settings dialog b	nfigurat ns indiv iox.	tion pins, go to the ridually, click the 'A	Dual-Purpose Pins on the dev Dual-Purpose Pins tab. T ssign Pins' button in the D	o ovice page of the
- Reserve all un	used pr	ns — — — — — — — — — — — — — — — — — — —		
e ens inputs,	tri=sta	ieu:		
C As outputs	- drivin	a ground		
C As <u>o</u> utputs C As outputs	s, drivir s, <u>d</u> rivir	ng ground ng an unspecified si	ignal	
C As <u>o</u> utputs C As outputs	s, drivir s, <u>d</u> rivir	ng ground ng an unspecified si	ignal	
C As <u>o</u> utputs C As outputs Description: Reserves all un tri-stated, as ou	s, drivir s, <u>d</u> rivir used pi itputs t	ng ground ng an unspecified si ns on the target de hat drive ground, or	ignal vice in one of three states as outputs that drive an i	s as inputs that are unspecified signal.

次に「Programming Files」の設定画面を開き「Raw Binary File (rbf)」をチェックします。

Dual-Purpose Pins Voltage	Pin Placement	Error Detection CR
General Configuration	Programming Files	Unused Pins
Selects the optional programming file form configuration schemes, if you select a pas Configuration tab, the Quartus II software - either a Partial SRAM Object File (psof) o depending on the configurable device you -	ats to generate. For device sive configuration scheme always generates an SRAM r a Programmer Object File are targeting. File (hex) into the output	e families with multipl in the Object File (sof) and (pof), files:
n/a in ACEX1K	_	
I labular lext File (ttf)	Serial Vector Form	at File (svf)
Raw Binary File (rbf)	🔽 In System Configur	ation File (isc)
Jam STAPL Byte Code 2.0 File (jbc)	UEDEC STAPL For	mat File (jam)
🥅 <u>H</u> exadecimal (Intel-Format) Output File	e (hexout)	
Start <u>a</u> ddress: 0	Count: Up	*
Description		
Generates a Raw Binary File (rbf) contair	ning configuration data that	an intelligent
lexternal controller can use to configure th	ne target device.	
		<u>R</u> eset

rbf ファイルを生成するためにコンパイルと同じ手順で、[Tools] - [Compiler Tool] を選択し 「Commpailer Tool」の「Start」ボタンをクリックしてください。

Analysis & Synthesis — 0 %	Fitter	Assembler	Timing Analyzer	EDA Netlist Write
00:00:00	00:00:00	00:00:00	00:00:00	00:00:00
😵 🎦 🕋 🦉	🛱 🎲 💮 🧐	ASM 💮 🧶	►0 _2 ∰ ⊕	🔓 🛃 🌚 🍕
-		0 %		
		00:00:00		
Ctaut		The Stee		

コンパイルが成功すると、下の画面が表示されますので、「OK」をクリックしてください。

Quartus II	×
i	Full compilation was successful (0 errors, 3 warnings)
	<u>OK</u>

これで C: ¥WORK¥AND に AND_TOP.rbf が生成されていることを、確認してください。

⇔戻る ▼ ⇒ ▼ 🔁	Q検索 372	ルダ 🎯 💾 🙄 🕽	< 50 III+		
アドレス(D) 🧰 C:¥WOF	(K¥and			∂移動	Norton AntiVirus 🔙 🕶
名前	サイズ	種類 ∠	更新日時		900
🗋 db		ファイル フォルダ	2004/10/01 13:48		
sim.cfg	1 KB	CFG ファイル	2004/10/01 13:40		
AND_TOP.done	1 KB	DONE ファイル	2004/10/01 13:48		
AND_TOP.fit.eqn	1 KB	EQN ファイル	2004/10/01 13:47		
AND_TOP.map.eqn	1 KB	EQN ファイル	2004/10/01 13:47		
AND_TOP.pin	15 KB	PIN ファイル	2004/10/01 13:47		
AND_TOP.pof	208 KB	POF ファイル	2004/10/01 13:48		
AND_TOP.qsf	3 KB	QSF ファイル	2004/10/01 13:47		
AND_TOP.qpf	2 KB	Quartus II Project F	2004/10/01 13:47		
AND_TOP.vwf	4 KB	Quartus II Vector W	2004/10/01 13:40		
AND_TOP.qws	1 KB	QWS ファイル	2004/10/01 15:24		
AND_TOP.rbf	20 KB	RBF ファイル	2004/10/01 13:48		
AND_TOP.asm.rpt	9 KB	RPT ファイル	2004/10/01 13:48		
AND_TOP.fit.rpt	22 KB	RPT ファイル	2004/10/01 13:47		
AND_TOP.flow.rpt	4 KB	RPT ファイル	2004/10/01 13:48		
AND_TOP.map.rpt	12 KB	RPT ファイル	2004/10/01 13:47		
AND_TOP.sim.rpt	5 KB	RPT ファイル	2004/10/01 13:40		
AND_TOP.tan.rpt	8 KB	RPT ファイル	2004/10/01 13:48		
AND_TOP.sof	20 KB	SOF ファイル	2004/10/01 13:48		
AND_TOP.fit.sum	1 KB	SUMMARY ファイル	2004/10/01 13:47		
AND_TOP.map.su	1 KB	SUMMARY ファイル	2004/10/01 13:47		
AND_TOP.tan.sum	1 KB	SUMMARY ファイル	2004/10/01 13:48		
AND_TOP.vhd	1 KB	VHD ファイル	2004/10/01 11:46		
🏘 cmp_state.ini	1 KB	設定ファイル	2004/10/01 15:24		

EDA-002 の FPGA へのコンフィグレーションは、USB 経由で行うため ALTERA 社のダウンロードツールを利用することはできません。 付属の専用ソフトウェアにて USB コンフィグレーションをおこなってください。

専用ソフトウェアによる FPGA コンフィグレーション

付属 CD 内にある「BitCfg.exe」を起動させると、次のウィンドウが起動します。

		Configuration Pr	rogram Rev.1.1	x
BitCfg.ex	e	File status :	Download time :	Reset
			「File」を選択]
ファイルを開く				<u>? ×</u>
ファイルの場所(型) 履歴 デスクトップ マイコンピュータ	⊶ and → db ▲AND_TOP.bf 生成し1	こプロジェクトの格納場	所 C:¥WORK¥AND	
२२ २७। २७। २०।	」 ファイル名(N): ファイルの種類(T):	AND_TOPzbf ビットストリームもitzbf)	¥ •	開((<u>(</u>)) キャンセル

生成した AND 回路「and_top.rbf」を選択し、「Download」を選択します。「DONE LED」が点灯し ウィンドウの「status:success」であれば正常に FPGA にコンフィグレーションであることを意味します。



動作の確認

赤色 LED と押しボタンスイッチが負論理であるため、押すと点灯するのではなく両方の押しボタン を押していない状態で消灯し、それ以外は点灯となっています。



両方、押した時だけ点灯させるには、次のように「インバータ」を挿入します。



EDA-002 サンプル回路

これまでに説明した回路をもとに、サンプル回路の VHDL ソースコードを含む Quartus プロジェク トを付属の CD に収録しています。 EDA-002 用の USB ドライバがインストールされた状態で FPGA のコンフィグレーションを行ってください。

サンプル回路の動作

押しボタンスイッチ『A』『B』『C』を押すことによって、7セグメント LED と赤色 LED が点灯します。 以下に動作を図示します。



サンプル回路のコンフィグレーション手順

1. 付属 CD 内の [®] BitCfg.exe_sを起動する

2. 付属 CD 内の[®]spl_top.rbf_aを指定し、「Download」ボタンを押す。

Eguration Pr ¥BitFiles¥s	ogram Rev.I.I	
File	Download	Reset
itus : succe	ss time:5	541 msec

付属 CD-ROM の内容

CD 内の「readme.txt」をご覧ください。

最新のデータシートは、各社のホームページからダウンロードしてください。

ALTERA 社のホームページ <u>http://www.altera.com/</u>

FTDI 社のホームページ <u>http://www.ftdichip.com/</u>

ACEX FPGA トレーナ EDA-002 ユーザーズマニュアル 2004/10/05 第 2 版 2005/05/09 第 3 版 2006/06/27 第 4 版 2008/02/08 第 5 版 2008/06/25 第 6 版

有限会社ヒューマンデータ

〒567−0034

大阪府茨木市中穂積1-2-10 ジブラルタ生命茨木ビル TEL 072-620-2002

FAX 072-620-2003

URL http://www.hdl.co.jp

<u>このマニュアルは2色で印刷されております</u>