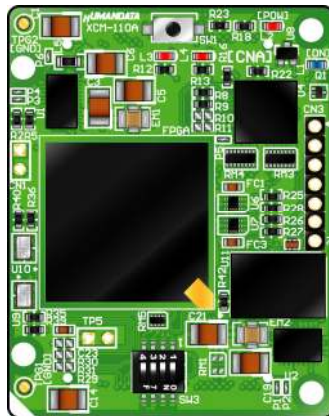


Spartan-6 FPGA ボード
XCM-110
ユーザーズマニュアル
Ver. 1. 2



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 共通ピンについて 【重要】	2
2. 開発環境.....	2
3. 製品の内容について.....	3
4. 仕様.....	3
5. 製品説明.....	4
5.1. 各部名称.....	4
5.2. ブロック図.....	5
5.3. 電源.....	5
5.4. クロック.....	6
5.5. 設定スイッチ (SW3).....	6
6. FPGA コンフィギュレーション.....	7
6.1. JTAG/バウンダリスキャン.....	7
6.2. コンフィグ ROM ファイルの作成.....	8
6.3. コンフィグ ROM アクセス.....	9
7. FPGA ピン割付け表.....	10
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. DDR2 SDRAM (U12).....	12
7.4. MRAM (U11).....	13
7.5. オンボードクロック.....	14
7.6. 外部クロック入力.....	14
7.7. 汎用 LED.....	14
7.8. 汎用スイッチ.....	14
7.9. 共通ピン.....	14
8. サポートページ.....	15
9. 付属資料.....	15
10. お問い合わせについて.....	15


● はじめに

この度は Spartan-6 FPGA ボード XCM-110 シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-110 は、XILINX の高性能 FPGA Spartan-6 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
13 静電気にご注意ください。	

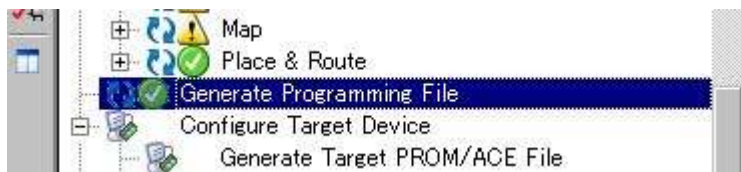
● 改訂記録

日付	バージョン	改訂内容
2011/01/18	1.0	・初版発行
2011/10/27	1.1	・仕様 DDR2 SDRAM 変更 [MT47H32M16HR-3-F] → [MT47H32M16HR-25E-G]
2012/05/16	1.2	・2章「開発環境」についての記述を編集 ・10章「お問い合わせについて」を追加

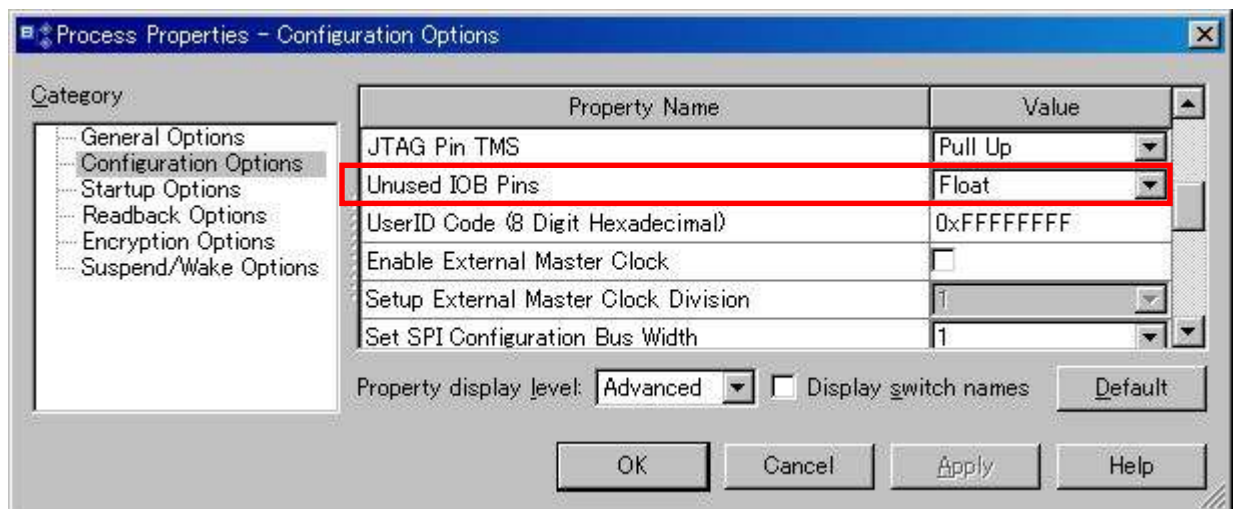
1. 共通ピンについて **【重要】**

本ボードでは、下表の Vref ピンが共通になっています。
意図しないショートを避けるため、未使用ピンの設定を【Float】としておくことを推奨します。ISE での未使用ピン処理設定の確認は下記をご参照ください。

VRFB	V09_REF
A4	K8
A9	Y1
A13	M4
C16	B3



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

2. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。
開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード	XCM-110	1
付属品		1
マニュアル (本書)		1 *
ユーザ登録はがき		1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

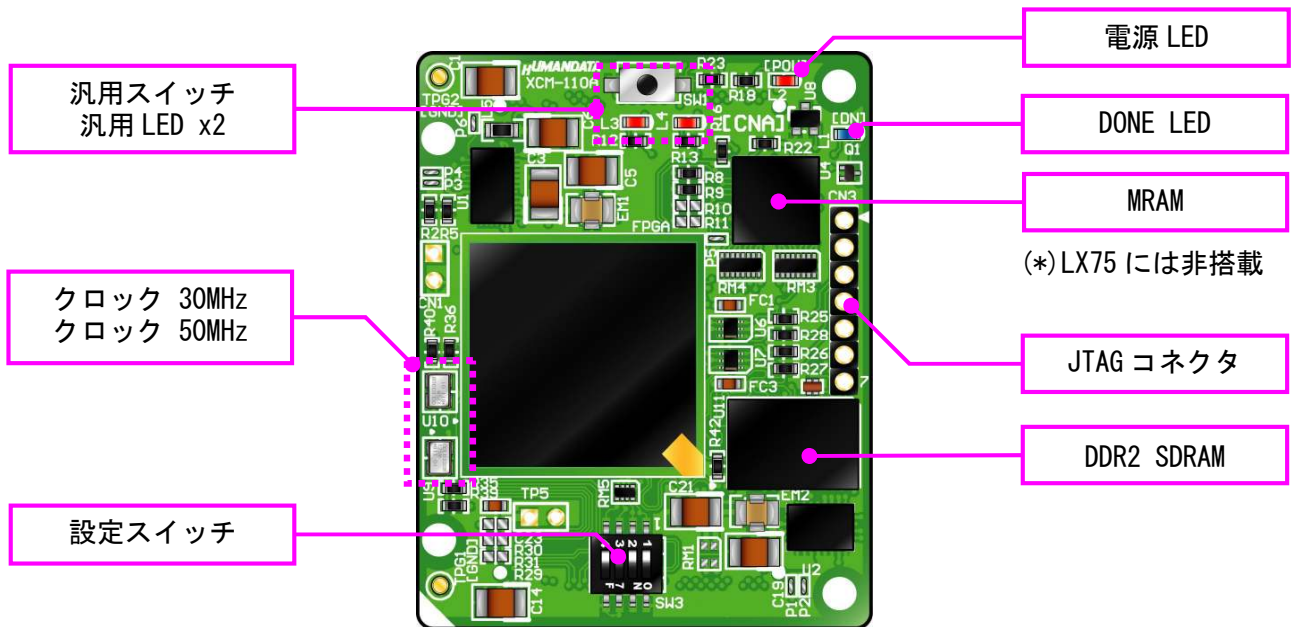
4. 仕様

製品型番	XCM-110-LX75	XCM-110-LX45	XCM-110-LX100	XCM-110-LX150
搭載 FPGA	XC6SLX75 -2FGG484C	XC6SLX45 -2FGG484C	XC6SLX100 -2FGG484C	XC6SLX150 -2FGG484C
コンフィグ ROM	M25P32-VMF6P (32Mbit)		M25P64-VMF6P (64Mbit)	
DDR2 SDRAM	MT47H32M16HR-25E-G (Micron, 512Mbit)			
MRAM	非搭載	MR2A16AYS35 (Everspin, 4Mbit)		
オンボードクロック	50MHz、30MHz			
外部クロック入力	ユーザ I/O コネクタ (CNA-11/12, CNB-11/12)			
電源	DC 3.3[V]			
消費電流	N/A (詳細は FPGA データシートをご参照ください)			
基板寸法	43 x 54 [mm]			
質量	約 19 [g]			
ユーザ I/O	128 本			
汎用スイッチ	2 (Push x1, DIP x1bit)			
汎用 LED	2			
プリント基板	ガラスエポキシ 8 層基板 1.6t			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
付属品	SIL7 ロングピンヘッダ (本体に取付け済み) x1			
	FX10A-80S/8-SV(71) (ヒロセ電機) x2			

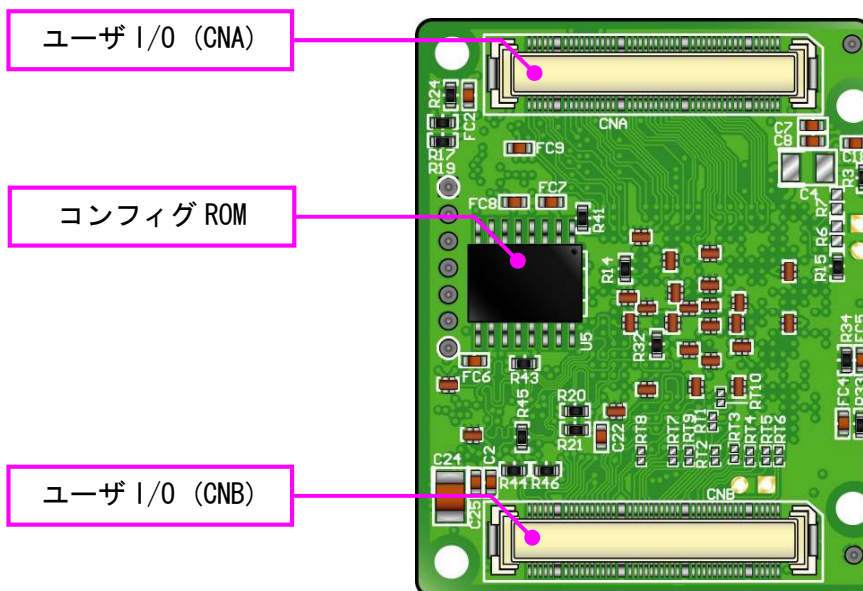
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称

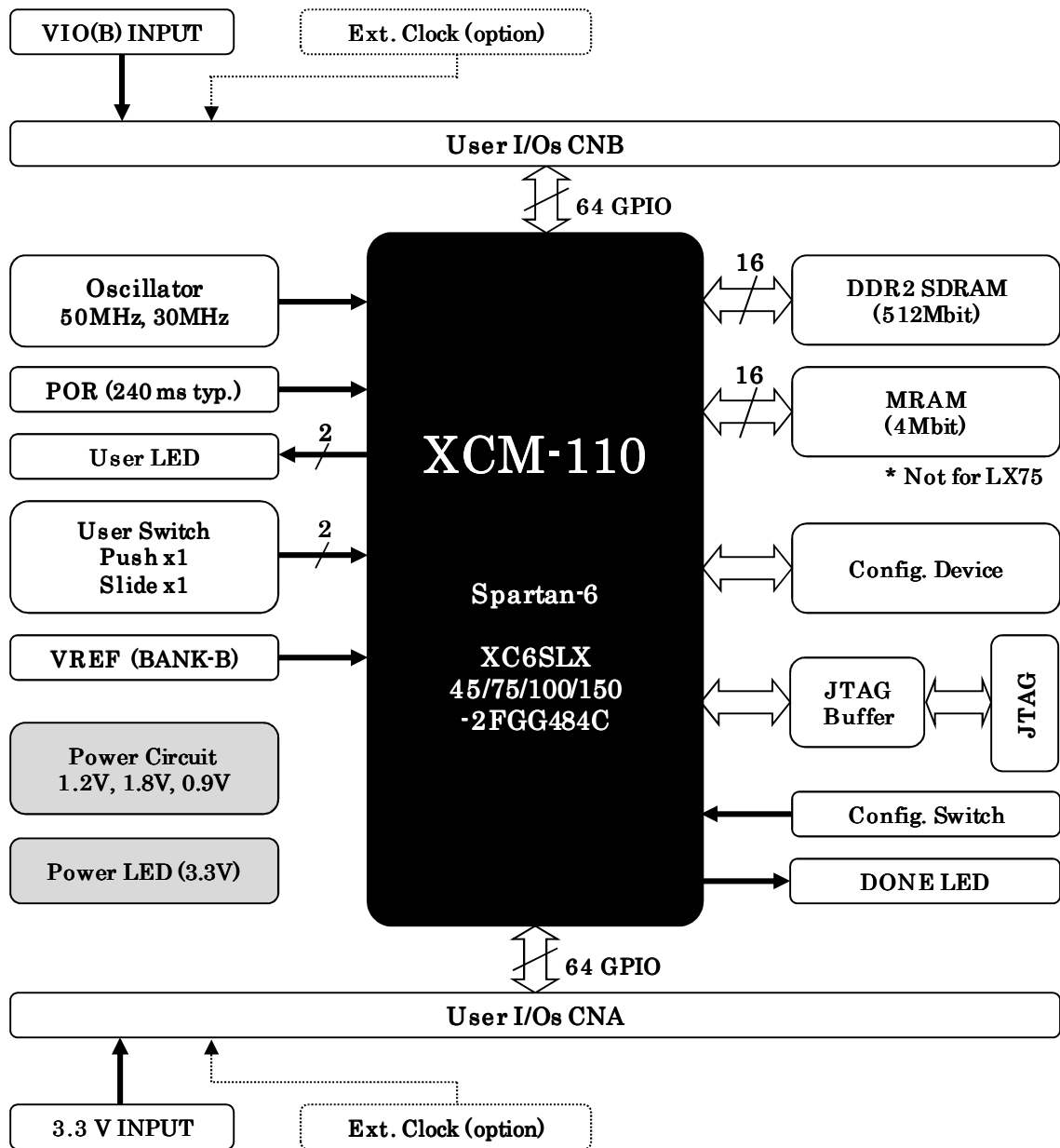


部品面



はんだ面

5.2. ブロック図



5.3. 電源

電源はCNA, CNBより3.3Vを供給してください。内部で必要になる1.2V、1.8V、0.9Vはオンボードレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

BANK BのVccioはボード上の3.3Vとは接続されていません。任意の値をCNBから入力してください。

詳しくはFPGAのデータシートや回路図などを参照してください。

5.4. クロック

オンボードクロックとして 50MHz (U9) と 30MHz (U10) を搭載しています。CNA、CNB より外部クロックを入力することも可能です。
詳しくは回路図をご参照ください。

5.5. 設定スイッチ (SW3)

設定スイッチによりコンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Spartan-6 コンフィギュレーションユーザガイドをご参照ください。

SW3

番号	4	3	2	1
記号	ASWO	X_M1	X_MO	X_HSWAPEN
出荷時	OFF	OFF	OFF	OFF
説明	汎用	コンフィグモード設定		プルアップ設定

コンフィギュレーションモード

	X_M1	X_MO
マスタシリアル/SPI	ON	OFF
JTAG	OFF	X

ON: Low(0), OFF: High(1), X: Don't Care

- **ASWO**
汎用用途としてご使用頂けます。
- **X_M1, X_MO**
コンフィギュレーションモードを設定します。
本来 JTAG モードにてご使用される場合の設定値は自由ですが、上記の設定値にてご使用になることを推奨致します。
- **X_HSWAPEN**
コンフィギュレーション前のユーザ I/O の状態を設定します。
ON : 内部プルアップ有り
OFF : 内部プルアップ無し



6. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、マスタシリアル/SPI モード設定時に電源投入にて自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

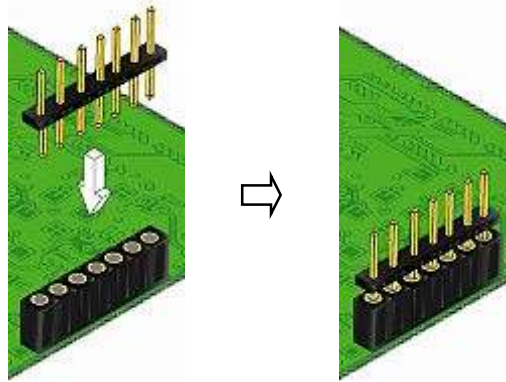
JTAG コネクタのピン配置は下表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O



ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



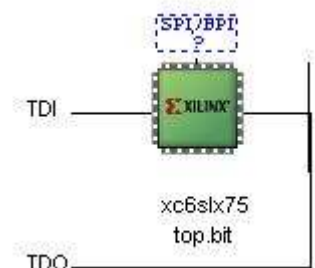
注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

6.1. JTAG/バウンダリスキャン

JTAG より FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。

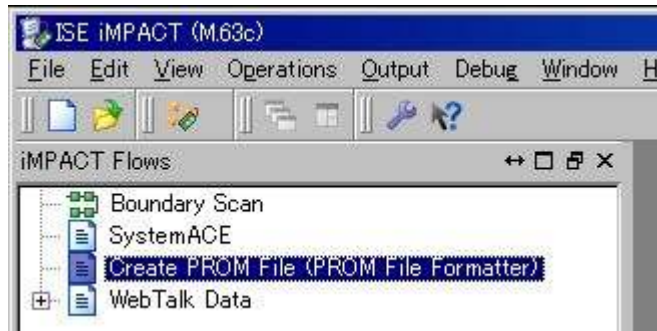
コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。



6.2. コンフィグ ROM ファイルの作成

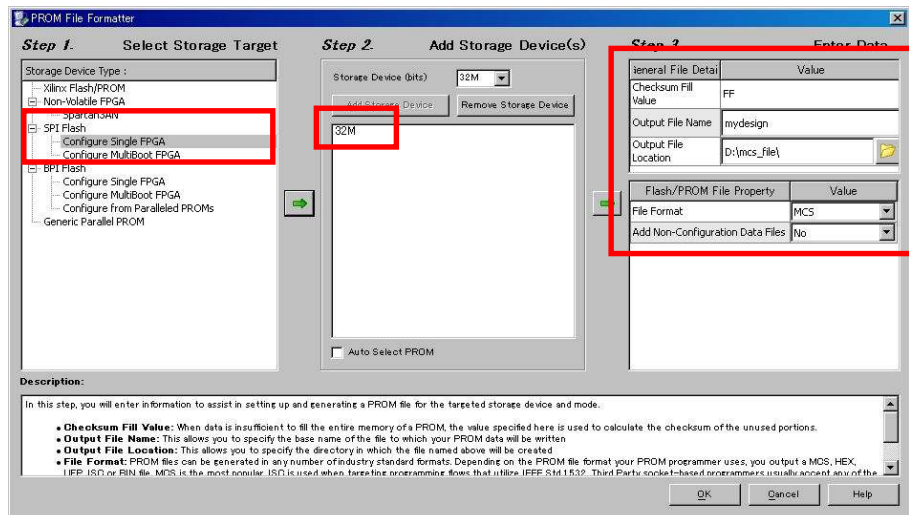
コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。

- (1) iMPACT にて「Create PROM File」をダブルクリックします



- (2) 設定画面にて必要な項目を設定します

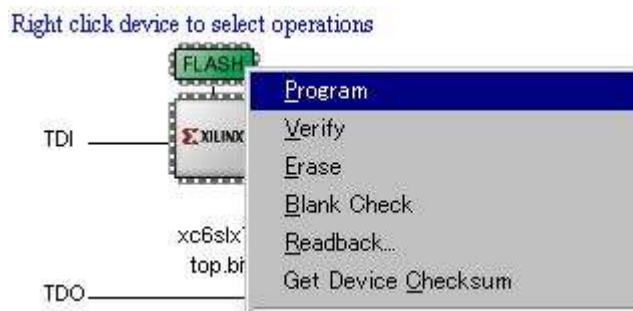
- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 32M または 64M (1つ)
- File Format: MCS
- その他項目: 任意



- (3) 使用する bit ファイルを選択します
- (4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします
- (5) 「Generate Succeeded」と表記されれば完了です

6.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MGS ファイルを割付けます。デバイスには【SPI PROM - M25P32】または【SPI PROM - M25P64】を選択してください。右クリックから各コマンドを実行できます。コンフィギュレーションモードはマスタシリアル/SPI モードに設定してください。



7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

ネットラベル	FPGA ピン	CNA ピン#		FPGA ピン	ネットラベル
V33A	3.3V (1N)	1, 3	2, 4	3.3V (1N)	V33A
-	Reserved	5, 7	6, 8	Reserved	-
-	N. C	9	10	N. C	-
-	GND	-	-	GND	-
ECLK_AP	Y11	11	12	AB11	ECLK_AN
-	N. C	13, 15	14, 16	N. C	-
IOA0	M21	17	18	AB17	IOA32
IOA1	M22	19	20	Y17	IOA33
IOA2	N22	21	22	AB16	IOA34
IOA3	N20	23	24	AA16	IOA35
IOA4	P22	25	26	AB15	IOA36
IOA5	P21	27	28	Y15	IOA37
IOA6	R22	29	30	AB14	IOA38
-	GND	-	-	GND	-
IOA7	T22	31	32	AA14	IOA39
IOA8	R20	33	34	Y13	IOA40
IOA9	T21	35	36	AB12	IOA41
IOA10	U20	37	38	Y12	IOA42
IOA11	U22	39	40	AA12	IOA43
IOA12	V21	41	42	W11	IOA44
IOA13	V22	43	44	V11	IOA45
IOA14	W22	45	46	AA10	IOA46
IOA15	W20	47	48	AB10	IOA47
IOA16	AB19	49	50	Y9	IOA48
-	GND	-	-	GND	-
IOA17	AA18	51	52	AB9	IOA49
IOA18	AB18	53	54	AA8	IOA50
IOA19	Y19	55	56	AB8	IOA51
IOA20	N19	57	58	Y7	IOA52
IOA21	U19	59	60	AB7	IOA53
IOA22	R19	61	62	AB6	IOA54
IOA23	P19	63	64	AA6	IOA55
IOA24	M19	65	66	AB4	IOA56
IOA25	P18	67	68	AA4	IOA57
IOA26	V15	69	70	Y4	IOA58
-	GND	-	-	GND	-
IOA27	P17	71	72	W4	IOA59
IOA28	M18	73	74	AB3	IOA60
IOA29	N16	75	76	Y3	IOA61
IOA30	M17	77	78	AB2	IOA62
IOA31	M16	79	80	AA2	IOA63

(*) 配線長は Web サポートページよりピン割付け表をご参照ください

7.2. ユーザ I/O (CNB)

ネットラベル	FPGA ピン	CNB ピン#		FPGA ピン	ネットラベル
V10(B)	V10(B) (IN)	1, 3	2, 4	V10(B) (IN)	V10(B)
-	Reserved	5, 7	6, 8	Reserved	-
-	N. C	9	10	N. C	-
-	GND	-	-	GND	-
ECLK_BP	D11	11	12	C12	ECLK_BN
-	N. C	13, 15	14, 16	N. C	-
IOB0	A18	17	18	C22	IOB32
IOB1	B18	19	20	B22	IOB33
IOB2	A17	21	22	B21	IOB34
IOB3	C17	23	24	A21	IOB35
IOB4	A16	25	26	C20	IOB36
IOB5	B16	27	28	A20	IOB37
IOB6	A15	29	30	K19	IOB38
-	GND	-	-	GND	-
IOB7	C15	31	32	K18	IOB39
IOB8	A14	33	34	J20	IOB40
IOB9	B14	35	36	K17	IOB41
IOB10	C14	37	38	K16	IOB42
IOB11	D14	39	40	H21	IOB43
IOB12	A11	41	42	J17	IOB44
IOB13	C11	43	44	G19	IOB45
IOB14	A10	45	46	E22	IOB46
IOB15	B10	47	48	D22	IOB47
IOB16	A8	49	50	F21	IOB48
-	GND	-	-	GND	-
IOB17	B8	51	52	D21	IOB49
IOB18	C10	53	54	E20	IOB50
IOB19	D10	55	56	C19	IOB51
IOB20	D9	57	58	D20	IOB52
IOB21	C8	59	60	D19	IOB53
IOB22	A7	61	62	F20	IOB54
IOB23	C7	63	64	F19	IOB55
IOB24	D7	65	66	F18	IOB56
IOB25	D8	67	68	F17	IOB57
IOB26	A6	69	70	H19	IOB58
-	GND	-	-	GND	-
IOB27	B6	71	72	F16	IOB59
IOB28	A5	73	74	G16	IOB60
IOB29	C5	75	76	H18	IOB61
IOB30	C6	77	78	G17	IOB62
IOB31	D6	79	80	J16	IOB63

(*) 配線長は Web サポートページよりピン割付表をご参照ください

7.3. DDR2 SDRAM (U12)

Memory Pin Name	ネットラベル	FPGAピン
A0	DDR_A0	H2
A1	DDR_A1	H1
A2	DDR_A2	H5
A3	DDR_A3	K6
A4	DDR_A4	F3
A5	DDR_A5	K3
A6	DDR_A6	J4
A7	DDR_A7	H6
A8	DDR_A8	E3
A9	DDR_A9	E1
A10	DDR_A10	G4
A11	DDR_A11	C1
A12	DDR_A12	D1
A13/RFU	DDR_A13	G6
A14/RFU	DDR_A14	F5
A15/RFU	-	-
BA0	DDR_BA0	G3
BA1	DDR_BA1	G1
BA2/RFU	DDR_BA2	F1
DQ0	DDR_DQ0	N3
DQ1	DDR_DQ1	N1
DQ2	DDR_DQ2	M2
DQ3	DDR_DQ3	M1
DQ4	DDR_DQ4	J3
DQ5	DDR_DQ5	J1
DQ6	DDR_DQ6	K2
DQ7	DDR_DQ7	K1
DQ8	DDR_DQ8	P2
DQ9	DDR_DQ9	P1
DQ10	DDR_DQ10	R3
DQ11	DDR_DQ11	R1
DQ12	DDR_DQ12	U3
DQ13	DDR_DQ13	U1
DQ14	DDR_DQ14	V2
DQ15	DDR_DQ15	V1

Memory Pin Name	ネットラベル	FPGAピン
LDQS	DDR_LDQS_P	L3
LDQS#	DDR_LDQS_N	L1
UDQS	DDR_UDQS_P	T2
UDQS#	DDR_UDQS_N	T1
LDM	DDR_LDM	L4
UDM	DDR_UDM	M3
RAS#	DDR_RAS	K5
CAS#	DDR_CAS	K4
WE#	DDR_WE	F2
CK	DDR_CK_P	H4
CK#	DDR_CK_N	H3
CKE	DDR_CKE	D2
ODT	DDR_ODT	J6
-	DDR_RZQ	Y2
-	DDR_Z10	W3

7.4. MRAM (U11)

MRAM		ネットラベル	FPGA ピン
Pin Name	Pin		
A0	1	MRAM_A1	V7
A1	2	MRAM_A2	V9
A2	3	MRAM_A3	Y8
A3	4	MRAM_A4	T11
A4	5	MRAM_A5	U9
A5	18	MRAM_A6	T16
A6	19	MRAM_A7	V13
A7	20	MRAM_A8	U16
A8	21	MRAM_A9	J19
A9	22	MRAM_A10	W14
A10	23	MRAM_A11	U17
A11	24	MRAM_A12	V17
A12	25	MRAM_A13	W13
A13	26	MRAM_A14	Y14
A14	27	MRAM_A15	W9
A15	42	MRAM_A16	V20
A16	43	MRAM_A17	Y10
A17	44	MRAM_A18	T14
DQL0	7	MRAM_DQL0	U6
DQL1	8	MRAM_DQL1	V5
DQL2	9	MRAM_DQL2	W17
DQL3	10	MRAM_DQL3	R8
DQL4	13	MRAM_DQL4	V18
DQL5	14	MRAM_DQL5	V19
DQL6	15	MRAM_DQL6	W18
DQL7	16	MRAM_DQL7	Y18
DQU8	29	MRAM_DQU8	R9
DQU9	30	MRAM_DQU9	T15
DQU10	31	MRAM_DQU10	R13
DQU11	32	MRAM_DQU11	R15
DQU12	35	MRAM_DQU12	R16
DQU13	36	MRAM_DQU13	L17
DQU14	37	MRAM_DQU14	L19
DQU15	38	MRAM_DQU15	L15
G#	41	MRAM_OE	T7
W#	17	MRAM_WE	R7
E#	6	MRAM_CE	W8
LB#	39	MRAM_BE0	W10
UB#	40	MRAM_BE1	R11

7.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	GCLK_30A	H22
	GCLK_30B	W12
50MHz	GCLK_50A	K20
	GCLK_50B	AB13

7.6. 外部クロック入力

コネクタ	NET LABEL	FPGA ピン
CNA_11	ECLK_AP	Y11
CNA_12	ECLK_AN	AB11
CNB_11	ECLK_BP	D11
CNB_12	ECLK_BN	C12

7.7. 汎用LED

LED	NET LABEL	FPGA ピン
L4	ULED4	L20
L3	ULED3	L22

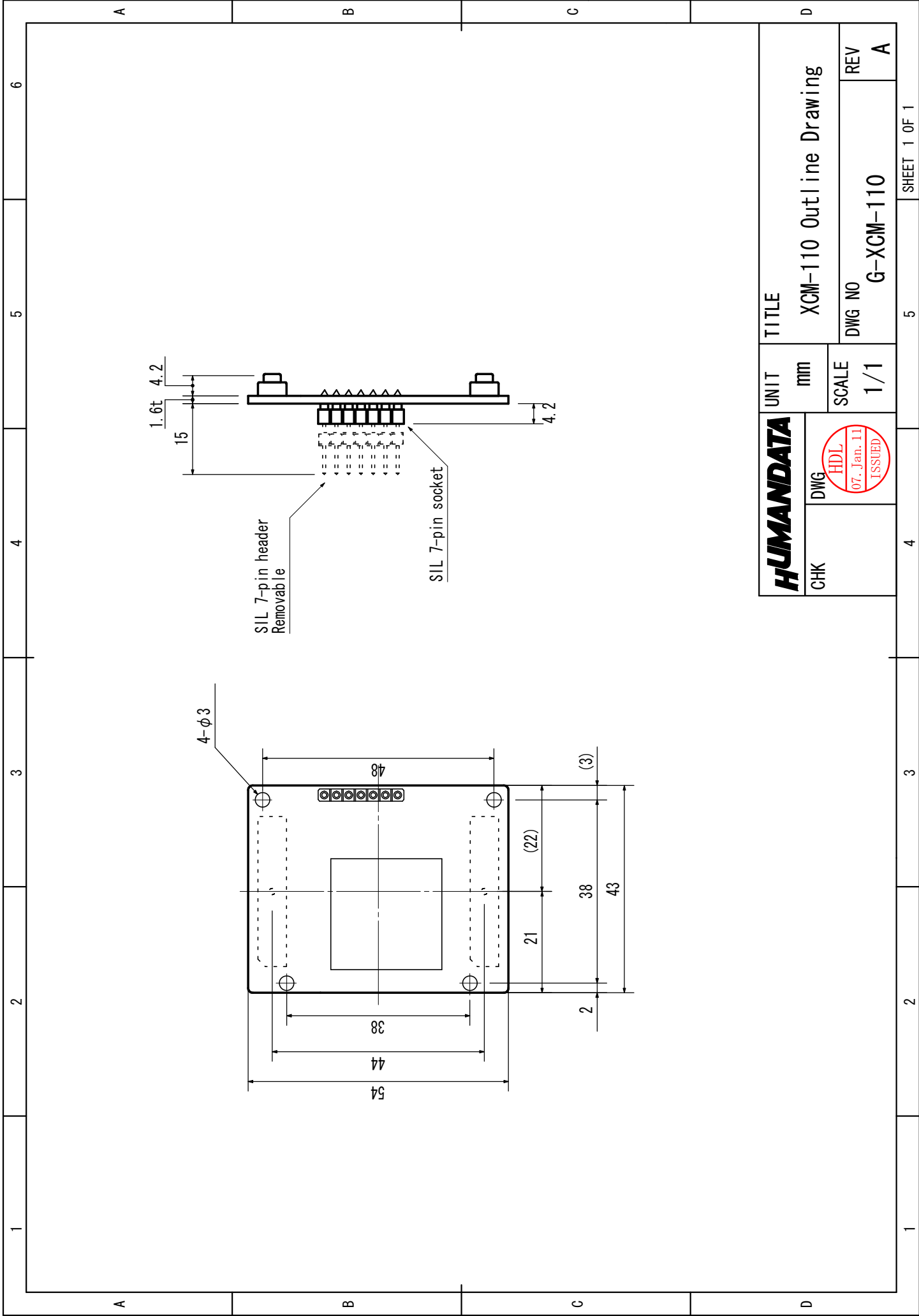
7.8. 汎用スイッチ

SW	NET LABEL	FPGA ピン
SW1	PSWO	K21
SW3[4]	ASWO	K22

7.9. 共通ピン

下記の汎用ポートは、VREF 機能を兼ねているため共通となっています。
出力ポートとして使用しないようにご注意ください。詳しくは1章をご参照ください。

VRFB	V09_REF
A4	K8
A9	Y1
A13	M4
C16	B3



CHK	DWG		UNIT	TITLE
			mm	XCM-110 Outline Drawing
			SCALE	DWG NO
			1/1	G-XCM-110
				REV
				A

Spartan-6 FPGA ボード
XCM-110 シリーズ
ユーザーズマニュアル

2011/01/18 Ver. 1.0 (初版)

2011/10/27 Ver. 1.1

2012/05/16 Ver. 1.2

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL : 072-620-2002

FAX : 072-620-2003

URL : <http://www.hdl.co.jp/>
