

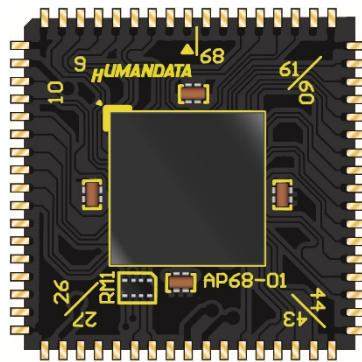
MAX II PLCC CPLD モジュール



AP68-01

ユーザーズマニュアル

Ver. 1.2



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 開発環境.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. ピン配置.....	3
3.2. 各部名称.....	4
3.3. 電源.....	4
3.4. クロック.....	4
4. GPLD プログラミング.....	5
4.1. JTAG 信号.....	5
5. IC ソケットへの実装.....	5
6. サポートページ.....	6
7. お問い合わせについて.....	6



● はじめに

この度は MAX II PLCC CPLD モジュール、AP68-01 シリーズをお買い上げいただきまして、誠にありがとうございます。

AP68-01 は、ALTERA 社の高性能 CPLD MAX II シリーズを PLCC 68 ピンサイズに変換した、IC ソケットに実装が可能な CPLD モジュールです。

ディップタイプの IC ソケットを用いて、2.54mm ピッチのユニバーサル基板に実装が可能です。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れしないでください。
	5	定格を越える電圧を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2011/04/21	1.0	・ 初版発行
2011/05/11	1.1	・ 仕様 プリント基板 訂正
2020/03/05	1.2	・ 「3.1. ピン配置」の修正

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

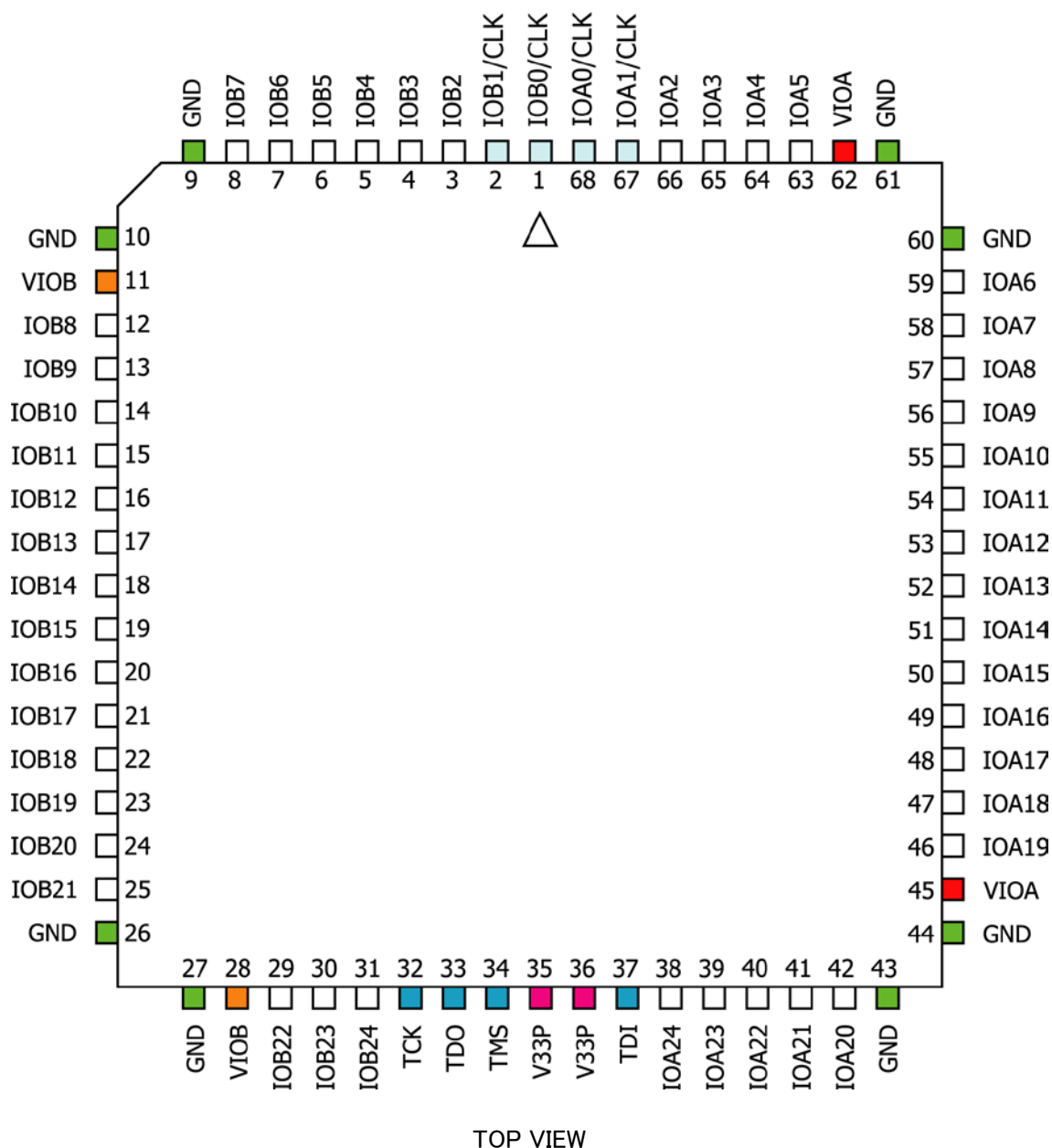
2. 仕様

製品型番	AP68-01-240	AP68-01-570
搭載 CPLD	EPM240F100C5N	EPM570F100C5N
ユーザ I/O	50 本	
I/O バンク	2 系統 (VIOA, VIOB)	
クロック	外部入力 2 本 (ユーザ I/O と共通)	
電源	DC 3.3[V]	
I/O 電源 (VIOA/VIOB)	1.2[V] ~ 3.3[V] (CPLD のデータシートをご参照下さい)	
消費電流	内部デザインに依存	
外形寸法	25.3 x 25.3 [mm] (約 4 mm 厚)	
質量	約 4 [g]	
プリント基板	ガラスエポキシ 4 層基板 2.5t	
挿抜耐久	10 回以上 (対 IC ソケット)	

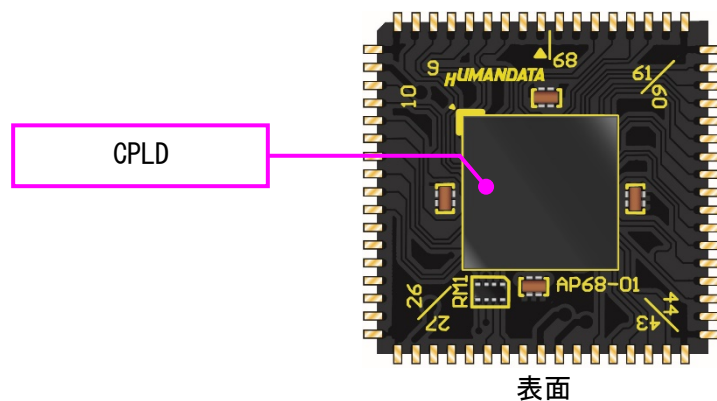
*これらの部品や仕様は、改良等の為、予告無く変更となる場合がございます

3. 製品説明

3.1. ピン配置



3.2. 各部名称



表面

(裏面に部品実装はありません)

3.3. 電源

電源入力ピン(35, 36)には 3.3V を供給してください。外部から供給する 3.3V 電源は充分安定して、余裕のあるものをご用意ください。

VIOA(45, 62), VIOB(11, 28)には任意の I/O 電圧を入力して下さい。未入力には出来ませんのでご注意ください。

いずれも CPLD データシートの定める最大定格を超えることはできません。

詳しくは CPLD のデータシートや回路図などを参照してください。

3.4. クロック

IOA(0/1), IOB(0/1)より外部クロックを入力することが可能です。また、CPLD 内蔵の発振器もご使用頂けます。

詳しくは CPLD のデータシート、回路図をご参照ください。

4. CPLD プログラミング

JTAG 信号はピンに引き出されています。モジュール外部にてコネクタ等に接続してご使用ください。外部コネクタよりバウンダリスキャンを行い、CPLD へのプログラミングを行います。

十分に検査した安全性のあるデータを書き込むようにしてください。

4.1. JTAG 信号

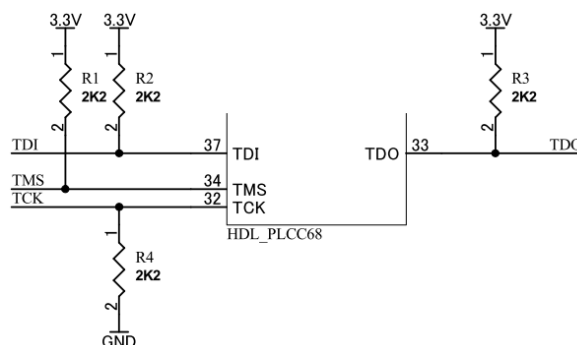
JTAG 信号のピン配置は下表のとおりです。必要な処理を製品外部にて行った上でご使用ください。使用状況に応じて、バッファ等を追加されることをお勧め致します。

未使用の際には、全ピンを GND に接続されるなどの処理をし、オープンにならないようにしてください。

(内部プルアップ、プルダウン抵抗による消費電流が問題になる際には、内部回路の処理に合わせ、GND または V33P への接続をしてください)

誤接続には充分注意してください。

ピン	信号名	方向
32	TCK	IN
33	TDO	OUT
34	TMS	IN
37	TDI	IN



(JTAG 信号処理の例)

5. IC ソケットへの実装

AP68-01 は 68 ピン IC ソケットへ実装して、ご使用頂くことを想定しております。裏面に部品搭載はありませんので、基板などに直接はんだづけをしてご使用頂くことも可能です。

IC ソケットへの挿入・取外しの際には充分お気を付け下さい。

弊社では下記 IC ソケットにて搭載・動作確認を行っております。

タイプ	メーカー	メーカー型番
ディップ型	Tyco Electronics	1-822473-6
	3M	8468-11B1-RK-TP
表面実装	山一電機	IC160Z-0684-240
		IC160Z-0684-300

6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/PLCC/ap68-01/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
 - ピンリスト
 - 外形図
 - ネットリスト
- ... 等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

MAX II PLCC CPLD モジュール
AP68-01 シリーズ
ユーザーズマニュアル

2011/04/21 Ver.1.0 (初版)
2011/05/11 Ver.1.1

2020/03/05 Ver.1.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <https://www.hdl.co.jp/> (JP)
<https://www2.hdl.co.jp/en/> (Global)
